

논문 2005-42SD-9-8

전원 잡음을 줄이기 위한 평면계획 단계에서의 Decoupling Capacitance 할당

(Decoupling Capacitance Allocation at the Floorplan Level for Power Supply Noise Reduction)

허창룡*, 임종석**

(Chang-Ryong Heo and Chong-Suck Rim)

요약

본 논문에서는 평면계획 단계에서 모듈의 전원 잡음을 줄이기 위해 필요한 decoupling capacitance를 효과적으로 할당하는 방법을 제시한다. 먼저, 각 모듈의 decoupling capacitance가 과대평가되고 추가 면적 삽입으로 모듈의 전원 잡음이 변하는 기존 접근 방법의 문제점을 살펴보고, 이를 해결할 수 있는 새로운 방법을 제시한다. 또한, 선형프로그래밍 방법보다 빠른 시간 내에 decoupling capacitance 면적을 위한 빈 공간을 할당하는 간단한 휴리스틱 방법을 제안한다. 실험결과에서 제시된 방법은 Zhao[4]의 방법과 비교하여 decoupling capacitance 면적이 평균 7.9% 감소하고, 이로 인해 평면계획 결과의 전체 면적과 와이어 길이가 감소하였다. 또한, 추가 면적 삽입으로 인한 모듈의 전원 잡음 문제를 잘 해결하고 있음을 확인하였다. 수행시간 비교에서는 평균 11.6%의 향상을 보였다.

Abstract

This paper proposes a method which efficiently allocates decoupling capacitance to reduce power supply noise at the floorplan level. We observe problems of previous approach that the decoupling capacitance of each module was overestimated and the power supply noises of modules were changed by inserting additional area for decoupling capacitance, and then suggest a new approach. And, we also present a simple heuristic method which can effectively allocate white space modules for decoupling capacitance area within more faster time instead of LP technique. Experimental results show that our approach can reduce the area of decoupling capacitance to average 7.9 percent compared with Zhao's approach in [4]. Therefore both total area and wire length of floorplan result are decreased. Also, we confirm that our approach solves well the problem caused by inserting additional area. In execution time comparison, our approach shows average 11.6 percent improvement.

Keywords : VLSI Design, Power Supply Noise, Decoupling Capacitance, Floorplan

I. 서론

최근 VLSI 회로 공정기술이 나노 시대로 접어들어 따라 집적도가 높고, 고주파 상에서 동작하는 회로를 설계하는데 있어 전원 잡음(power supply noise) 문제

가 큰 이슈로 떠오르고 있다. 전원 잡음이란 모듈에 파워를 공급하기 위한 power supply network의 와이어(wire)상에서 발생하는 전압 강하를 의미하며, 일반적으로 와이어의 저항(resistance) 성분에 의한 IR drop과 인덕턴스(inductance) 성분에 의한 Ldi/dt drop을 말한다^[1,2].

과거에는 회로 내부의 전원 잡음의 주 요인으로 IR drop만이 고려되었다. Deep sub-micron 시대로 접어들면서 회로의 크기가 점점 감소하고, 회로의 직접도와 주파수가 증가하게 되면서, 동시에 스위칭 하려는 모듈

* 정희원, 삼성전자 통신연구소
(Telecommunication Network, Samsung Electronics)

** 정희원, 서강대학교 컴퓨터학과
(Department of Computer Science, Sogang University)

접수일자: 2005년2월25일, 수정완료일: 2005년8월22일

들로 인해 급격한 전류 변화가 발생하게 되었다. 이로 인해 와이어 상의 인덕턴스 성분에 의한 Ldi/dt drop도 점차 중요한 요소로 고려되어지기 시작했다^[2,14]. 이러한 전원 잡음은 회로의 잡음 한계(noise margin)를 줄이고 회로를 오작동 시킬 수 있으며, 지연 시간을 늘리는 문제를 발생시킨다^[2,3,4].

그동안 전원 잡음을 분석하고 해결하기 위해 다양한 연구 활동들이 있어왔다^[2,3,4,7,8]. Wire sizing 방법^[7]은 power supply network 와이어의 메탈 두께를 조정하여 저항을 최소화시켜 전원 잡음을 줄이는 시도를 하였고, topology optimization 방법^[8]은 power supply network 모양을 회로의 파워 요구에 적합하도록 설계한다. Decoupling capacitance를 할당하는 방법^[2,3,4,15]은 전원 잡음 문제를 해결하기 위해 전원 잡음이 발생하는 모듈의 주변에 decap*을 할당하여 모듈의 스위칭 할 때 필요한 전류를 decap으로부터 공급하도록 한다. 이로 인해 와이어를 통해 흐르는 전류가 감소하게 되며 감소한 전류에 비례하여 전원 잡음이 줄어들게 된다.

최근까지 VLSI 공정상에서 decap의 할당은 평면계획 과정이 끝난 이후에 고려되어져 왔다^[5,6]. 평면계획 이후의 방법은 모든 모듈의 위치가 고정되어지고 decap을 위한 빈 공간이 충분히 있다는 가정 하에서 수행되었다. 그러나 평면계획으로 얻어진 결과가 파워의 요구가 많은 모듈들이 한 곳으로 모여 있게 되고, 모듈 주변에 decap을 위한 빈 공간이 없을 경우에는 전원 잡음 문제를 효과적으로 해결하지 못하게 된다. 이러한 이유로 평면계획 이후가 아닌 평면계획 단계에서 전원 잡음이 고려되어져야 할 필요가 제기되었다^[2,4].

평면계획 단계에서 각 모듈의 전원 잡음을 제한선 아래로 낮추기 위해 필요한 decap을 할당하는 알고리즘은 Zhao^[4]에 의해 구체화되었다. Zhao의 방법은 시뮬레이티드 어닐링 과정시 하나의 평면계획 이웃 해가 주어지면 각 모듈의 전원 잡음을 계산하는 과정, 전원 잡음을 제한선 아래로 낮추기 위해 필요한 decap을 계산하는 과정, 기존의 빈 공간(white space)으로부터 decap을 위한 면적을 할당하는 과정 그리고 모듈 간 확장을 통해 부족한 면적을 추가하는 과정을 거치게 된다. 이러한 일련의 과정을 거친 후 추가된 면적과 그로 인하여 변화한 와이어 길이를 시뮬레이티드 어닐링의 비용함수에 추가시킨 후 해당 결과를 채택할 지를 결정한다.

Zhao의 방법에서는 각 모듈의 필요한 decap을 계산

하기 위해 먼저 모듈들을 전원 잡음에 따라 내림차순으로 정렬한다. 그리고 전원 잡음이 가장 큰 모듈부터 전원 잡음을 제한선 아래로 낮추기 위해 필요한 decap을 계산하고 전원 잡음 계산을 다시 수행한다. 이 경우 먼저 decap이 계산된 모듈은 나중에 계산된 모듈에 의해 영향을 받아 전원 잡음이 줄어들게 되며 필요 이상의 decap을 갖게 된다. 또한, 부족한 decap 면적을 확보하기 위한 모듈 간 확장으로 모듈의 위치가 달라지고, 이로 인해 각 모듈의 전원 잡음이 변화할 수 있게 되는데 Zhao의 방법에서는 이 문제를 해결하지 못하고 있다.

본 논문에서는 Zhao의 방법에서 나타난 문제를 해결하면서 보다 빠른 수행시간 안에 좀더 좋은 decap 할당 결과를 얻을 수 있는 방법을 제시한다. 이를 위해, 평면계획을 표현하는 방법으로 Zhao가 사용한 sequence pair 모델^[11]보다 해공간이 적고, 자료의 표현으로부터 평면계획 결과로 변환하는데 시간이 짧다고 알려진 corner block list(CBL) 모델^[9,10]을 기반으로 한다. 제시된 방법은 하나의 평면계획 이웃 해에 대해 전원 잡음을 계산한 후 모든 모듈의 전원 잡음이 제한선에 수렴하는 지를 판정하게 되며, 수렴조건을 만족하지 않으면 반복적인 decap 조정 과정을 거치게 된다. Decap 조정 과정은 decap의 추가 및 제거, 빈 공간으로부터의 decap 면적 할당, 추가적인 decap 면적 할당 그리고 전원 잡음 재 계산으로 이루어진다. 이러한 decap 조정 과정의 반복 수행으로 모든 모듈의 전원 잡음은 제한선에 수렴하게 되고 최소의 decap 면적을 얻을 수 있게 된다. 또한 decap을 위한 면적 할당이 끝난 평면계획 결과에 대해 전원 잡음 평가를 수행해 줌으로써 추가 면적 삽입으로 인한 전원 잡음의 변화를 고려할 수 있게 된다. 또한 제시된 방법은 전원 잡음 계산이 모든 모듈의 decap 계산이 끝나고 한 번 이루어지므로 하나의 모듈에 대한 decap 계산시마다 전원 잡음 계산이 이루어지는 Zhao의 방법보다 전원 잡음 계산 횟수를 감소시켜 전체 수행시간 향상을 기대할 수 있다.

최근 발표된 Li^[15]의 논문에서 이상에서 설명한 early stage에서의 decap 할당 문제를 다루고는 있으나 Li의 경우에는 각 모듈의 필요한 decap 계산까지만 수행하고, 계산된 decap을 위한 면적을 할당하는 내용이 전혀 언급되지 않고 있다. 그리고, Li의 방법을 시뮬레이티드 어닐링 과정시 적용하기에는 상당한 시간적 부담이 있다.

본 논문은 다음과 같이 구성된다. II장에서는 본 논문에서 해결하고자 하는 문제를 정의하고, 본 논문에서

* decoupling capacitance의 약어.

제안하는 평면계획 단계에서 decap을 할당하는 방법의 전체적인 과정을 소개한다. III장에서는 전원 잡음을 계산 하는 방법론에 대해 설명한다. IV장에서는 전원 잡음에 따른 decap의 추가 및 제거 방법과 빈 공간을 활용하여 모듈이 필요로 하는 decap 영역을 효율적으로 할당하는 방법에 대해 설명한다. V장에서는 실험 결과를 보이며, 마지막으로 VI장에서 결론을 내린다.

II. 알고리즘 개요

1. 문제정의

일반적인 평면계획은 모듈 정보와 네트 정보를 가지고 전체 면적과 와이어 길이의 최소화만을 목적으로 하나 본 논문에서는 모듈의 전원 잡음을 줄이기 위해 필요한 decap 면적의 최소화도 같이 고려한다. 본 논문에서 해결하고자 하는 평면계획 단계에서의 decap 할당 문제는 다음과 같이 정의된다.

문제 : 평면계획 단계에서의 decap 할당 문제

입력으로 n개의 모듈 M_1, M_2, \dots, M_n , 네트 리스트, 각 모듈의 소모전력 등이 주어졌을 때, 각 모듈의 전원 잡음이 제한선 V_L 이하의 값이 되도록 decap 영역을 할당하는 평면계획 결과를 찾는다. 이 때, 전체 면적과 decap을 위한 면적 그리고 전체 배선 길이 등을 가능한 최소화 시키도록 한다.

2. Decoupling capacitance 할당 알고리즘

본 논문에서는 제시하는 방법은 평면계획에서 가장 널리 사용되는 시뮬레이티드 어닐링 상에서 이루어진다. 하나의 평면계획 이웃 해가 주어지면 power supply network와 각 모듈의 연결점에서 전원 잡음이 계산되고, 계산된 전원 잡음에 따라 필요한 decap 값이 계산된다. Decap 값은 다음 식 1에 의해 면적으로 변환된다.

$$S^{(m)} = \frac{C^{(m)}}{C_{ox}} \quad (1)$$

식 1에서 C_{ox} 는 MOS(Metal Oxide Semiconductor) 캐패시터(capacitor)의 단위 면적 용량을 의미하며, ϵ_{ox} (SiO_2 의 permittivity)를 t_{ox} (산화물의 두께)로 나눈 값이다. $C^{(m)}$ 은 모듈 m 이 필요한 decap 값이며, $S^{(m)}$ 은 모듈 m 에 할당될 decap 면적을 나타낸다.

식 1에 의해 각 모듈이 필요로 하는 decap 면적이 결정되면, 먼저 decap 면적을 위해 기존의 빈 공간을 할당한다. 이 때, 전원 잡음을 효과적으로 줄이기 위해서는 decap의 위치는 모듈과 가까운 곳이어야 하며, 모듈의 decap을 위해 필요한 면적은 모듈과 인접한 빈 공간에만 할당한다고 가정한다. 기존의 빈 공간이 부족할 경우는 추가적으로 면적을 확보해주게 된다.

그림 1에 Zhao^[4]의 방법과 본 논문 방법의 과정을 보인다. Zhao^[4] 방법(그림 1(a))의 경우 평면계획 이웃 해에 대해 패키징을 수행하고, 전원 잡음 계산에 의해 모듈의 잡음을 계산한다. 그리고 전체 모듈을 전원 잡음 값에 따라 내림차순으로 정렬을 수행한 후 잡음이 제일 큰 모듈에서 작은 모듈 순서대로 decap의 계산을 수행하는데, 이 때 각 모듈의 decap을 계산한 후 전원 잡음 재 계산을 통해 모든 모듈의 전원 잡음을 갱신시킨다. 모든 모듈의 전원 잡음 값이 제한선인 V_L 보다 작을 때까지 decap 계산과 전원 잡음 갱신 과정을 반복한다. 각 모듈의 decap이 결정되면 기존의 빈 공간에서 decap을 위한 면적을 할당하기 위해 선형 프로그래밍 방법을 사용하고, 부족한 면적은 모듈 간 확장을 통해 확보한다.

그러나 어떤 모듈에 decap을 할당하면 그 주변 모듈들도 영향을 받게 되어 전원 잡음이 줄어들게 되며, 따라서 먼저 decap을 할당받은 주변 모듈은 나중에 할당받은 모듈의 영향으로 decap 양이 덜 필요하게 된다. Zhao^[4]의 방법은 decap 계산 시 이러한 영향을 고려하지 않고, 전원 잡음이 제한선 V_L 보다 큰 모듈에 대해서 decap을 일방적으로 추가하기만 한다. 또, decap을 위한 면적을 할당하는 과정에서 기존의 빈 공간이 부족할 경우 모듈 간 확장을 통해 decap을 위한 면적을 할

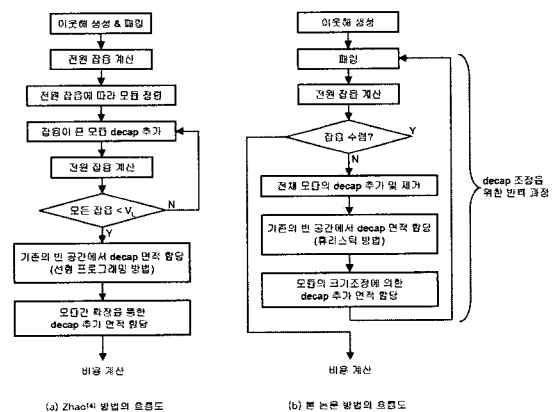


그림 1. 기존의 방법과 본 논문의 방법
 Fig. 1. Zhao's Method vs. Proposed Method.

당하는데, 이 경우 모듈의 최종 위치는 달라지며, 따라서 전원 잡음 값도 달라지는 문제가 발생하게 된다.

이러한 문제들을 해결하기 위해 본 논문의 방법에서는 그림 1(b)에서 보듯이 decap 조정을 위한 반복 과정을 수행한다. 하나의 평면계획 이웃 해가 주어지면 패키징을 통해 각 모듈의 위치가 결정된다. 위치가 결정된 모듈들은 power supply network 상의 연결점이 결정되어지며 전원 잡음 계산 방법에 따라 전원 잡음이 계산된다. 그리고 전원 잡음이 제한선인 V_L 에 수렴하는지를 판정하여 decap 조정을 위한 반복 과정을 수행할지를 결정하는데 decap을 할당받은 모든 모듈의 잡음이 $V_L - 0.005$ 보다 크고 V_L 보다 작은 값일 경우 조정 과정을 빠져나오도록 한다. 수렴 조건을 만족하지 못한 경우에는 모듈의 decap을 전원 잡음에 따라 추가 또는 제거한다. 그리고 기존의 빈 공간으로부터 decap을 위한 면적을 할당하고, decap 면적이 부족한 경우 추가 면적을 할당한다. 추가 면적 할당이 끝나면 다시 패키징을 수행한 후 전원 잡음을 계산하여 수렴 여부를 판정한다. 반복적인 조정 과정을 차례로 거치면서 전원 잡음 값은 점점 V_L 로 수렴해 나가게 되고, decap의 추가와 제거를 통해 필요한 최소의 decap을 계산해 낼 수 있다. 또한, 추가 면적 할당이 끝난 평면계획에 대해서 전원 잡음 계산을 수행하도록 함으로써 추가 면적에 의해 모듈의 위치가 달라져 전원 잡음 값이 변하는 문제를 해결할 수 있다.

본 논문의 방법에서 반복적인 decap의 조정과정은 수행시간 측면에서 부담으로 작용될 수 있다. 그러나 decap을 계산하는 과정에서 하나의 모듈의 decap을 계산할 때마다 전원 잡음 갱신을 수행하는 Zhao의 방법과 달리 전원 잡음 계산이 전체 모듈에 대해 한 번만 이루어지도록 함으로써 전원 잡음 계산 횟수를 감소시키고, decap 면적을 위해 빈 공간을 할당하는 선형 프로그래밍 방법 대신 간단한 휴리스틱 방법을 사용하여 Zhao의 방법보다 빠른 수행시간을 기대할 수 있다.

III. 전원 잡음 계산 방법

본 장에서는 모듈의 전원 잡음을 계산하는 방법에 대해 설명한다. 제 1 절에서는 최단거리 전류 패스만을 고려하여 전원 잡음을 계산하는 방법에 대해 소개하고, 제 2 절에서는 수정된 마다해석법에 의해 전원 잡음을 계산하는 방법에 대해 설명한다.

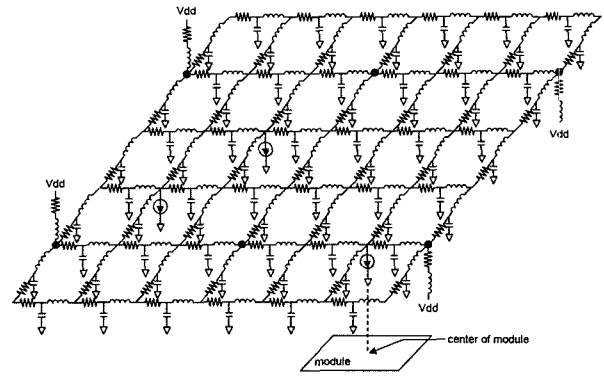


그림 2. Power Supply Network 모델

Fig. 2. The modeling of power supply network.

본 논문에서 사용한 power supply network 구조는 그림 2와 같은 가장 일반적인 모델이며 Zhao^[4]가 실험에서 사용한 망(mesh)구조의 power supply network를 모델로 삼는다.

그림 2에서 보듯이 power supply network의 각 격자는 덩어리진 저항(resistance), 인덕턴스(inductance), 캐패시턴스(capacitance)로 이루어지고, 모든 격자는 동일한 물리적 크기를 갖는다. 일정 격자 간격마다 Vdd핀이 분포하고, power supply network와 모듈의 연결점은 모듈의 중간 지점 위치에 의해 결정되어진다. 본 논문에서는 전원 잡음을 계산하기 위해 power supply network에 연결된 각 모듈의 스위칭 정보가 알려져 있고, 모든 모듈들이 동시에 스위칭이 일어나는 최악의 상황을 가정한다. 그림 2에서 각 모듈은 power supply network와 유사한 망구조의 ground network와도 연결되어지며, 이 경우 ground network와 모듈의 연결점에서는 전압상승(ground bounce)이 발생한다. 그러나 본 논문에서는 power supply network의 전압강하에 대해서만 다룬다.

1. 최단 거리 전류 패스만을 고려하는 방법

앞의 그림 2에서 정의한 power supply network 구조와 같이 Vdd 핀들이 일정 간격을 두고 분포하는 경우, Zhao^[4]는 n 개의 모듈에 대해 전원 잡음을 빠르게 계산할 수 있는 방법을 제안했다. 이 방법은 각 모듈이 스위칭 하는데 필요한 전류를 이웃한 N 개의 Vdd 핀으로부터만 공급받는다 가정 하에서 전원 잡음을 계산한다. Vdd 핀에서부터 모듈의 연결점까지의 최단 거리 전류 패스와 두 번째 최단 거리 전류 패스들만을 고려하며, 모듈의 필요한 총 전류를 각 전류 패스에 분배한다. 모듈 m 에서 가장 가까운 Vdd 핀까지의 최단 거리 패스

를 우세 패스(dominant path) p_m 이라 하고, p_m 을 포함하여 p_m 과 겹치는 모든 패스들의 집합을 $T_m = \{p_j : p_j \cap p_m \neq \emptyset\}$ 라 하면 모듈 m 의 전원 잡음은 식 2와 같다.

$$V_n^{(m)} = \sum_{p_j \in T_m} (i_{p_j} R_{p_{jm}} + L_{p_{jm}} \frac{di_{p_j}}{dt}) \quad (2)$$

식 2에서 $R_{p_{jm}}$ 과 $L_{p_{jm}}$ 은 패스 p_m 과 패스 p_j 가 겹치는 구간의 저항과 인덕턴스 값을 각각 의미한다. 즉, 모듈 m 의 전원 잡음은 Vdd에서 모듈 m 의 연결점까지 우세 패스 p_m 을 따라 흐르는 전류 i_{p_m} 와 동일한 Vdd에서부터 흐르고 패스 p_m 와 겹치는 패스들의 전류에 의해 발생하는 IR drop과 Ldi/dt drop를 의미한다.

최단 거리 패스를 고려한 전원 잡음 계산 방법은 평면계획 구성 모듈의 개수가 n 일 경우 $O(n)$ 의 시간 복잡도를 갖는 빠른 알고리즘이다. 그러나 이웃한 Vdd 핀들로부터의 몇 개의 패스들만 고려되고, 나머지 Vdd로부터 흘러들어오는 전류 패스는 무시하기 때문에 실제 SPICE 시뮬레이션으로 측정된 전원 잡음 값보다 약 10~15% 정도 과대평가되어진다.

2. 수정된 마디 해석법을 이용하는 방법

수정된 마디분석법(Modified Nodal Analysis)은 전기 회로의 각 마디 전압과 가지 전류의 값을 변수로 하고, 각 마디에서 키르히호프의 전류 법칙을 적용하여 방정식을 유도한 후 해당 방정식을 해결함으로써 회로의 각 마디의 전압과 가지 전류를 알아내는 방법이다.

본 논문에서 정의한 그림 2 형태의 power supply network 회로(RLC 회로)를 수정된 마디분석법을 이용하여 행렬 방정식으로 나타내면 식 3과 같다.

$$\bar{G}X + \bar{C}X' = \bar{U} \quad (3)$$

$$\bar{G} = \begin{bmatrix} G & A_l^T \\ -A_l & 0 \end{bmatrix}, \quad \bar{C} = \begin{bmatrix} C & 0 \\ 0 & L \end{bmatrix}, \quad X = \begin{bmatrix} V \\ I \end{bmatrix}, \quad \bar{U} = \begin{bmatrix} U \\ 0 \end{bmatrix}$$

위 식 3에서 G 는 컨덕턴스 행렬, C 는 캐퍼시턴스 행렬, L 은 인덕턴스 행렬, V 는 마디 전압 벡터, I 는 인덕턴스 요소를 포함하는 가지의 전류 벡터, U 는 모듈의 스위칭 전류, A_l 은 인덕턴스를 포함하는 가지의 인접행렬을 의미한다.

표 1. 측정방법에 따른 xerox 회로의 전원 잡음 비교
Table 1. Power supply noise of xerox circuit for each measurement.

측정방법 \ 블록 ID	0	1	2	3	4	5	6	7	8	9
최단거리	1.301	0.621	0.597	1.861	1.391	1.154	0	0.402	0.949	1.742
MNA	1.234	0.563	0.531	1.781	1.292	1.097	0	0.394	0.874	1.572
SPICE	1.234	0.563	0.531	1.781	1.293	1.096	0	0.395	0.874	1.571

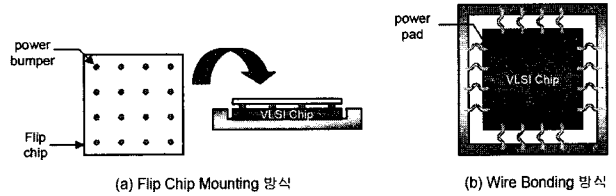


그림 3. packaging 단계에서 전원 공급 방식
Fig. 3. Power supply method at the packaging.

식 3은 $\tilde{A}X = b$ 형태로 나타내어지며, 행렬 \tilde{A} 가 symmetric 형태이고 positive definite인 경우 PCG(Preconditioned Conjugate Gradient)와 같은 iterative 방법에 의해 풀 수 있다^[13]. 이와 같이 수정된 마디분석법 방법으로 전원 잡음을 계산하는 방법은 power supply network 격자의 수가 k 개인 경우 $O(klogk)$ 의 시간 복잡도를 갖고, 계산된 결과와 실제 SPICE 시뮬레이션으로 측정된 전원 잡음 값을 비교한 결과 0.1% 오차범위 내의 값을 나타냄을 확인하였다. 표 1은 xerox 회로에 대해 두 계산 방법과 SPICE 시뮬레이션으로 측정된 전원 잡음 값을 나타낸다.

Zhao^[4]가 사용한 최단 거리 전류 패스만을 고려하는 방법은 시간은 매우 빠르나 그림 3(a)와 같이 Vdd(power bumper)가 power supply network 상에 일정하고 좁은 간격으로 분포한 경우에 한하여 적합한 방식으로, Vdd가 그림 3(b)와 같이 경계 영역에 분포할 경우 고려되어야 할 전류 패스가 너무 많아 복잡하게 된다. 또한, 계산 결과가 정확하지 않아 실제보다 더 많은 decap 면적을 필요로 하게 된다. 반면 수정된 마디 해석법의 경우는 계산속도는 느리지만 Vdd 핀의 분포에 관계없이 다양한 형태의 power supply network에서 전원 잡음 계산이 가능하고, 잡음이 과대평가되지 않고 정확하게 계산되므로 실제 필요한 decap의 양이 감소하게 된다. 이로 인해 평면계획 전체면적의 감소를 기대할 수 있다.

IV. Decoupling Capacitance 조정 방법

본 장에서는 모듈의 decap을 계산하기 위한 방법에 대해 설명한다. 제 1 절에서는 전원 잡음에 따라 decap을 추가 및 삭제하는 방법에 대해 설명한다. 제 2 절에서는 decap을 위해 필요한 면적을 기존의 빈 공간으로부터 할당하는 방법에 대해 설명하고, 제 3 절에서는 추가 면적을 할당하는 방법에 대해 설명한다.

1. Decoupling Capacitance 추가 및 제거

하나의 평면계획 이웃 해에 대해 각 모듈의 전원 잡음 값을 계산하고 나면, 전원 잡음을 제한선인 V_L 아래로 줄이기 위해 필요한 decap을 계산하여야 한다. 본 논문에서는 decap을 효과적으로 계산하기 위해 그림 1에서 보듯이 반복적인 decap 조정 과정을 수행한다. 첫 번째 반복 과정에서는 모든 모듈의 decap이 할당되지 않은 상태이므로 전원 잡음이 V_L 보다 큰 모듈에 대해서 decap의 추가만 이루어지며, 반복 과정이 진행되면서 decap의 추가 또는 제거가 이루어지게 되는데 이러한 과정을 통하여 각 모듈의 전원 잡음은 제한선 근처로 수렴하게 된다. 반복 과정에서 추가 또는 제거할 decap은 다음과 같이 계산된다.

먼저, 모듈의 전원 잡음 값 V_n 이 제한선 V_L 보다 큰 경우 V_n 을 줄이기 위해 decap이 추가되어진다. 그림 4는 decap이 추가되어지는 모습을 나타낸다. 그림 4에서 Q_z, Q_c, Q_Δ 는 각각 모듈의 필요 전하량, Vdd로부터 흘러들어오는 전하량, decap으로부터 공급되는 전하량을 의미하고, C, C_Δ 는 각각 기존의 decap과 추가될 decap을 의미한다. 이 때, V_n 을 V_L 의 θ 배라 놓으면, V_n 을 V_L 로 맞추기 위해서는 Vdd로부터 흘러들어오는 전하량 Q_z 를 $1/\theta$ 만큼 감소시켜야 하며, 모듈의 전압이 $1/\theta$ 감소되므로 원래의 decap으로부터 공급되던 Q_c 도 $1/\theta$ 만큼 감소된다. 전하량 보존 법칙에 의해 다음 식 4

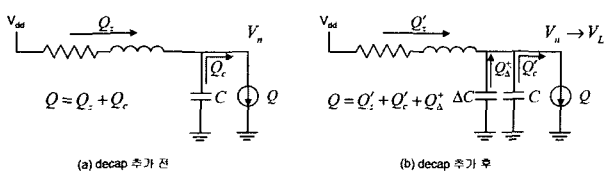


그림 4. decoupling capacitance 추가 모습
Fig. 4. The addition of decoupling capacitance.

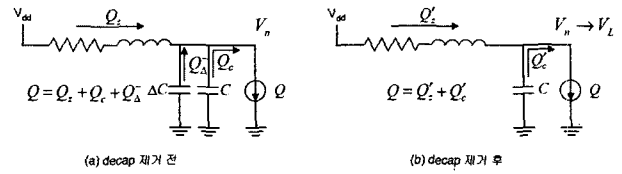


그림 5. decoupling capacitance 제거 모습
Fig. 5. The removal of decoupling capacitance.

가 만족된다.

$$Q = \frac{1}{\theta} Q_z + \frac{1}{\theta} Q_c + Q_\Delta^+ \tag{4}$$

따라서 새로 추가될 decap으로부터 공급되어야 하는 전하량 Q_Δ^+ 는

$$Q_\Delta^+ = (1 - \frac{1}{\theta}) Q \tag{5}$$

이고, 추가할 decap C_Δ 는 식 6과 같다.

$$C_\Delta = \frac{Q_\Delta^+}{V_L} \tag{6}$$

모듈의 전원 잡음 값 V_n 이 제한선 V_L 보다 작은 경우, 즉 필요량보다 많은 decap을 갖고 있는 경우는 decap이 제거되어야 한다.

그림 5는 decap이 제거되는 모습을 나타낸다. V_n 을 V_L 의 θ 배라 놓고, V_n 을 V_L 에 맞추기 위해 제거되어야 할 decap을 구한다. 그림 5에서 제거되어야 할 decap으로부터 공급되는 전하량을 Q_Δ^- 이라 하면, 전하량 보존 법칙에 의해 다음 식이 만족된다.

$$Q = \frac{1}{\theta} Q_z + \frac{1}{\theta} Q_c \tag{7}$$

식 7의 우변에 $1/\theta Q_\Delta^-$ 을 더하고 빼면, 제거될 decap으로부터 공급되는 전하량 Q_Δ^- 는 식 8과 같다.

$$Q_\Delta^- = (1 - \theta) Q \tag{8}$$

따라서, 제거될 decap C_Δ 은 식 9와 같다.

$$C_\Delta = \frac{Q_\Delta^-}{V_L} \tag{9}$$

Decap의 추가 및 제거 알고리즘을 그림 6에 나타내었다.

알고리즘 - Decoupling capacitance 추가 및 제거

입력 : 평면계획 패킹 정보, 모든 모듈의 전원 잡음 계산 결과

출력 : 각 모듈의 필요한 decoupling capacitance

for(평면계획의 각 모듈) {

제한선 V_L 에 대한 모듈의 전원 잡음 비율 $\theta = V_n/V_L$ 를 계산.

if($\theta > 1$) { // 모듈의 전원 잡음이 제한선보다 클 경우

추가할 전하량 Q_{Δ}^+ 를 계산;

모듈의 현재 decap에 Q_{Δ}^+/V_L 값을 추가;

}

else { // 모듈의 전원 잡음이 제한선보다 작거나 같은 경우

제거할 전하량 Q_{Δ}^- 를 계산;

모듈의 현재 decap으로부터 Q_{Δ}^-/V_L 값을 제거;

}

그림 6. Decoupling Capacitance 추가 및 제거 알고리즘.

Fig. 6. The algorithm of decoupling capacitance addition and removal.

2. Decap을 위한 빈 공간 활용

하나의 평면계획 해에 대해서 패킹 작업이 이루어지고 나면 모듈들에 의해 둘러싸여진 빈 공간(White Space)들이 존재한다. Decap을 위한 면적 할당은 바로 이러한 각 모듈 주변의 빈 공간을 최대한 많이 활용하여 추가 면적을 최소화함으로써 평면계획 전체 면적의 증가를 최소화하도록 한다. 모듈에 의해 둘러싸여진 빈 공간(White Space)들을 찾아내고 이를 빈 공간 모듈(White Space Module)로 간주한다. 그리고 빈 공간 모듈로부터 인접 모듈들의 decap을 위해 필요한 면적을 할당한다. Zhao의 방법^[4]에서는 빈 공간 모듈의 면적이 decap 면적으로 최대한 많이 사용되도록 하는 것을 목적으로 하는 선형 프로그래밍 방법을 이용한다. 이러한 선형 프로그래밍 방법을 통해 각 모듈이 필요로 하는 decap 면적은 빈 공간 모듈의 면적을 최대한 많이 사용되도록 배분한다. 그러나 선형 프로그래밍을 이용하는 방법은 수행시간 측면에서 부담이 된다.

본 논문에서는 빈 공간 모듈에서 decap을 위한 면적을 빠른 시간 내에 효과적으로 할당하는 간단한 휴리스틱 방법을 제안한다. 본 논문에서 제안된 휴리스틱 방법은 상대적으로 면적의 여유가 큰 빈 공간 모듈부터 이웃 모듈들에게 필요한 decap 면적을 할당해 줌으로써 여유가 없는 빈 공간 모듈들의 부담을 점차 덜어주는데 기초하고 있다. 휴리스틱 할당 방법을 수행하기 위한

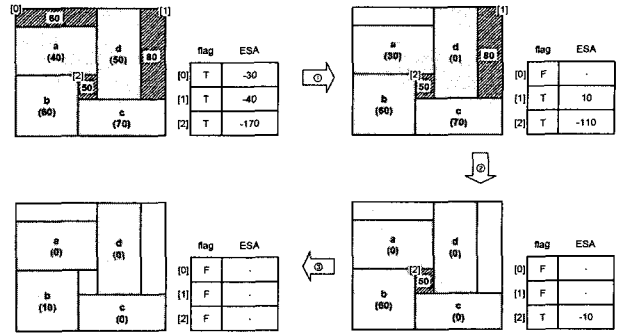


그림 7. 휴리스틱 방법에 의한 빈 공간 할당 과정.
Fig. 7. White space allocation by heuristic method.

각 빈 공간 모듈의 여유 공간 면적(Extra Space Area)을 다음 식 10과 같이 정의한다.

$$WS_{ESA}^{(m)} = WS_A^{(m)} - \sum_{j \in Ne} M_D^{(j)} \quad (10)$$

위 식 10에서 $M_D^{(j)}$ 는 빈 공간 모듈 m 에 이웃한 모듈 j 가 decap을 위해 필요로 하는 면적을 나타내고, $WS_A^{(m)}$ 은 빈 공간 모듈 m 의 면적을 의미한다. 빈 공간 모듈의 WS_{ESA} 값이 크다는 의미는 이웃 모듈들로부터 할당 요구가 적고, 할당할 수 있는 면적의 여유가 다른 빈 공간 모듈들에 비해 더 있다는 것을 의미한다. 휴리스틱 방법에 의한 빈 공간 할당 과정을 그림 7에 보인다. 네 개의 일반 모듈 a, b, c, d에서 괄호 안의 숫자는 각 모듈의 면적 요구량(M_D)을 나타내며, 빗금 친 빈 공간 모듈 안의 숫자는 빈 공간 모듈의 면적(WS_A)을 의미한다. 플래그(flag)는 해당 빈 공간 모듈이 decap을 위한 면적 할당 작업 시 고려될 것인지 아닌지를 나타낸다. 할당 작업 초기에는 모든 빈 공간 모듈들의 플래그는 참(true) 값을 갖으며 할당 작업이 끝난 빈 모듈들은 거짓(false) 값을 갖게 된다.

처음 할당 시에는 세 개의 빈 모듈이 고려되며 그 중 WS_{ESA} 값이 가장 큰 0번 빈 모듈이 이웃 모듈 a와 b에게 필요한 면적을 준 후(면적 요구량이 큰 쪽에 먼저 줌) 고려대상에서 제외된다. 그 다음은 1번 빈 모듈이 선택되고 마지막으로 2번 빈 모듈의 면적이 할당되나면 기존의 빈 공간 할당 작업이 끝나게 된다.

3. Decap을 위한 추가 면적 할당

Decap 면적을 위한 빈 공간 할당 작업이 끝나면 각 모듈의 부족한 decap 면적에 대해서는 추가 면적을 할

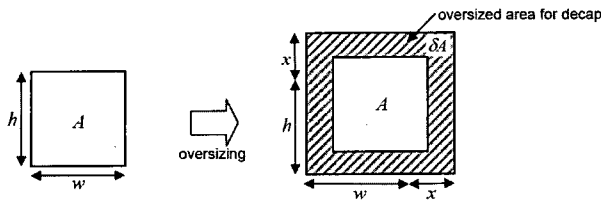


그림 8. 모듈의 oversizing 과정.

Fig. 8. Oversizing of modules.

당해야 한다. 추가 면적 할당은 그림 8에서 보듯이 모듈의 크기 조정(oversizing)에 의해 쉽게 이루어질 수 있다.

그림 8에서 모듈의 너비와 높이를 각각 w , h 라 하고, 면적을 A 라 하자. 그리고 빈 공간 할당 과정이 종료한 후 decap을 위해 추가적으로 필요한 면적의 양을 δA 라 하자. 그러면 다음과 같은 식 11이 성립된다

$$(w+x)(h+x) = A + \delta A \quad (11)$$

이를 전개하면 식 12와 같은 이차방정식을 얻을 수 있다.

$$x^2 + (w+h)x + \delta A = 0 \quad (x > 0) \quad (12)$$

이 식 12를 계산하여 만족하는 x 를 구하고 모듈의 너비와 높이에 각각 더해지면 추가 영역 할당을 위한 크기 조정이 완료된다.

V. 실험결과

본 논문에서 제안하는 방법은 C++언어를 이용하여 구현되었으며 Microsoft Windows XP 환경 하에서 실험하였다. 모든 실험에 사용한 컴퓨터는 Pentium IV, 2GHz의 CPU와 512MB의 기억용량을 갖는다. 실험에 사용한 회로는 MCNC 벤치마크 회로이며 기본 명세는

표 2. MCNC 벤치마크 회로
Table 2. MCNC benchmark circuits.

회로명	구성 모듈의 수	구성 네트의 수
apte	9	97
xerox	10	203
hp	11	83
ami33	33	123
ami49	49	408

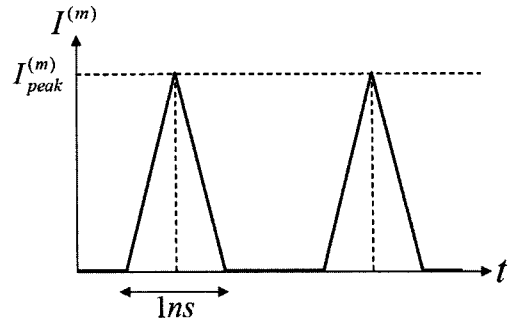


그림 9. 모듈의 전류 파형.

Fig. 9. Current waveform of modules.

표 2에 보인다.

회로를 구성하는 모든 모듈의 전류 파형은 그림 9와 같은 삼각파형(triangular waveform)을 가정하며, 스위칭 지속 시간 τ 은 1ns로 한다. 모듈 m 의 최대 스위칭 전류 값 $I_{peak}^{(m)}$ 은 다음과 같이 계산된다.

$$I_{peak}^{(m)} = active[m] \cdot j_s \cdot A_m \quad (11)$$

$active[m]$ 은 모듈 m 의 스위칭 활동성에 따라 높으면 2의 값을, 낮으면 1의 값을 무작위하게 갖도록 한다. j_s 는 최악의 상황 하에서의 전류 밀도를 나타내며 참고문헌^[4]에 기초하여 $0.2\mu A/\mu m^2$ 값을 갖는다. A_m 은 모듈 m 의 면적을 의미한다.

실험에서 사용한 전원 공급(V_{dd})값은 2.5V, 전원 잡음을 판정하는 기준이 되는 제한 값 V_L 는 0.25V로 하였다. Power supply network에서 격자의 크기는 40×40으로 하였고, 각 격자의 간격은 333.3 μm 로 하였고, 1000 μm 간격마다 V_{dd} 핀들이 분포하도록 하였다. 본 실험에 사용된 파라미터들은 참고문헌^[6]의 0.25- μm 공정 기술에 기초하며 표 3에 나와 있는 바와 같다.

표 3. 0.25 μm 공정 기술의 파라미터(NTRS'97^[6])
Table 3. 0.25 μm technology parameters.

파라미터	설명	값
r	wire resistance per unit length ($\Omega/\mu m$)	0.0125
l	wire inductance per unit length ($pH/\mu m$)	0.4
c	wire capacitance per unit length ($fF/\mu m$)	20
t_{ox}	the oxide thickness (nm)	5
ϵ_{ox}	the permittivity of SiO ₂ (F/m)	3.5×10^{-11}

본 논문에서 제시하는 평면계획 단계에서 decap 할당을 고려하는 방법의 효율성을 알아보기 위해 본 논문의 방법과 Zhao^[4]의 방법을 비교 실험하였다. 공정한 비교를 위해 Zhao의 방법과 새롭게 제안하는 방법을 CBL 평면계획 모델 기반에서 각각 구현한 후, 시플레이티드 어닐링 과정시 같은 온도 조건과 내부 루프 조건하에서 실험을 수행하였다.

두 방법의 비교는 평면계획 된 면적의 크기, 와이어 길이, decap 면적, 수행시간 그리고 변화 모듈 개수의 항목들에 대해서 이루어진다. 변화 모듈 개수 항목은 decap을 위한 추가 면적의 삽입 전과 삽입 후에 power supply network와의 연결점이 변화한 모듈 수를 의미하며, 연결점이 변화한 모듈은 전원 잡음 값이 달라지기 때문에 이러한 모듈의 수가 많으면 최종적으로 얻게 된 평면계획 결과가 전원 잡음을 제대로 줄인 결과인지 보장하기 어렵다.

본 실험에서는 III장에서 설명한 두 가지 전원 잡음 계산 방식에 따른 Zhao의 방법과 본 논문 방법의 효율

성을 비교하기 위해 각각의 전원 잡음 계산 방식에 대해 분리 실험하였다. 먼저, 전원 잡음 계산 방식을 최단거리 전류 패스들만을 고려하는 방식으로 하여 수행한 결과를 표 4에 보인다. 본 논문의 방법은 Zhao의 방법에 비해 decap 면적이 평균 7.92% 감소하였고, 이로 인해 평면계획 전체 면적은 평균 0.47%, 와이어 길이는 평균 2.27% 감소하였다. 이는 전원 잡음을 제한선 아래로 낮추기 위해 decap의 추가만 이루어지는 Zhao의 방법보다 전체 모듈의 전원 잡음을 제한선에 수렴하도록 decap의 추가와 제거를 반복하는 본 논문의 방법이 decap 면적을 더 감소시키기 때문이다. 수행시간 비교에서는 본 논문의 방법이 Zhao의 방법에 비해 평균 11.6% 감소하였다. 반복적인 decap 조정 과정은 본 논문의 방법의 전체 수행시간을 느리게 하는 요소가 될 수 있었으나 전원 잡음 계산 횟수의 감소와 휴리스틱 빈 공간 할당 방법으로 인하여 수행시간을 향상시킬 수 있었다. 연결점 변화 모듈수 비교에서는 Zhao의 방법의 경우 ami33 회로를 제외한 모든 회로에서 연결점이 변

표 4. Decap 할당 결과 비교(최단거리 계산방식)

Table 4. The comparison of decoupling capacitance allocation(shortest method).

회로명	Area(μm^2)		Wire Length(μm)		Decap Area(μm^2)		Time(sec)		Number of changed modules	
	Zhao	본 논문	Zhao	본 논문	Zhao	본 논문	Zhao	본 논문	Zhao	본 논문
apte	49557210	49025754	483520	480211	2977134	2720383	11	10	6	0
xerox	20488474	20434024	619232	603167	950660	931490	14	12	2	0
hp	9549200	9503620	180098	170120	364955	344058	19	16	1	0
ami33	1253244	1250754	78605	77843	4712	3800	189	173	0	0
ami49	39324675	39193244	1299877	1279430	1919669	1844352	1388	1244	5	0
평균향상율	0.47%		2.27%		7.92%		11.6%			

표 5. Decap 할당 결과 비교(MNA 계산방식)

Table 5. The comparison of decoupling capacitance allocation(MNA method).

회로명	Area (μm^2)		Wire Length (μm)		Decap Area (μm^2)		Time (sec)		Number of changed modules	
	Zhao (MNA)	본 논문 (MNA)	Zhao (MNA)	본 논문 (MNA)	Zhao (MNA)	본 논문 (MNA)	Zhao (MNA)	본 논문 (MNA)	Zhao (MNA)	본 논문 (MNA)
apte	49411039	48065371	453211	410341	2655988	2433341	130	34	5	0
xerox	20375211	20314665	593445	582198	925643	892707	212	43	0	0
hp	9493485	9443800	171654	168886	315922	288150	258	65	0	0
ami33	1242150	1241187	78744	77112	1432	1086	1054	523	0	0
ami49	39050940	38982636	1258443	1238211	1757487	1702354	5528	2881	3	0
평균향상율	0.46%		3.32%		9.61%		65.33%			

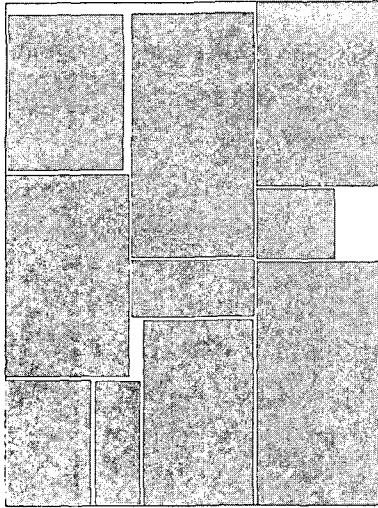


그림 10. decap 할당 결과(xerox)
Fig. 10. The result of decap allocation(xerox).

화한 모듈이 발견되었다. 특히, apte 회로와 같이 다른 회로에 비해 구성 모듈의 스위칭 전류가 상대적으로 커서 전원 잡음이 심하거나, ami49 회로처럼 구성모듈의 수가 많을수록 연결점이 변화한 모듈 수는 더 증가했다. 반면에 본 논문의 방법은 모든 회로에서 연결점이 변한 모듈을 발견할 수 없었다.

표 5는 두 방법의 전체 과정에서 전원 잡음 계산 방법을 수정된 마디 분석법을 활용한 방법으로 달리하여 실험한 결과이다. 이번 실험에서도 본 논문의 방법이 Zhao의 방법보다 더 좋은 결과를 보여주었다. 본 논문의 방법에 의한 decap 면적은 Zhao의 방법에 비해 평균적으로 9.61% 감소하였고, 이로 인해 전체 면적은 평균 0.46%, 와이어 길이는 평균 3.32% 감소하였다. 연결점이 변화한 모듈은 Zhao의 방법의 경우 apte와 ami49 회로에서 발생했으며, 본 논문의 방법에서는 발생되지 않았다. 수행시간 측면에서는 Zhao의 방법에 비해 평균 65.33%의 큰 향상을 보였다.

표 4, 5의 결과에서 보듯이 수정된 마디 분석법을 활용한 방법은 전원 잡음이 보다 정확하게 계산되어져 최단거리 전류패스를 고려하는 방법을 통해 얻은 결과와 비교하여 decap 면적이 평균 21.5% 감소하였다. 이와 같이 정확한 계산을 위해 속도가 느린 방법으로 전원 잡음을 계산하는 경우 decap 할당을 완료하는데 걸리는 전체 시간은 전원 잡음 계산 횟수에 의존하게 되며, 전원 잡음 계산 횟수가 적은 본 논문의 방식이 Zhao의 방법에 비해 더 큰 시간 향상을 보였다. 그림 10에 xerox 회로에 대해 본 논문의 방법으로 decap 할당이 수행된

결과를 보인다.

IV. 결 론

본 논문에서는 전원 잡음을 줄이기 위해 평면계획 단계에서 decoupling capacitance의 할당을 고려하는 방법을 소개하였다. 제시된 방법은 반복적인 decap 조정 과정을 통해 각 모듈의 전원 잡음을 제한선 근처로 수렴시켜 필요한 decap을 최소화 하며, 추가된 decap 면적으로 인해 전원 잡음이 변하는 문제를 해결한다. 또한, decap 면적을 위한 빈 공간을 빠르게 할당하는 휴리스틱 방법을 제안하였다.

MCNC 벤치마크 회로를 가지고 실험한 결과 본 논문에서 제시하는 방법이 Zhao^[4]의 방법보다 대부분의 비교항목에서 개선된 결과를 보여주었다. Decap 면적은 평균 7.9% 감소하였고, 이로 인해 평면계획 전체 면적과 와이어 길이의 감소를 가져왔다. 수행시간에서는 제시된 방법은 Zhao^[4]의 방법에 비해 평균 11.6%의 향상을 보였다. 만약, 정확한 전원 잡음 계산을 위해 MNA 방법을 이용한 방법을 사용한 경우 수행시간 향상은 평균 65.3%로 훨씬 증가함을 확인할 수 있었다.

참 고 문 헌

- [1] H. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI," Addison-Wesley, 1990.
- [2] H. H. Chen and D. D. Ling, "Power Supply Noise Analysis Methodology for Deep-Submicron VLSI Chip Design," in *Proc. IEEE/ACM Design Automation Conference*, pp. 638-643, 1997.
- [3] H. Su, S. S. Sapatnekar and S. R. Nassif, "An Algorithm for Optimal Decoupling Capacitor Sizing and Placement for Standard Cell Layouts," in *Proc. IEEE/ACM International Symposium on Physical Design*, pp. 68-73, 2002.
- [4] S. Zhao, K. Roy and C. K. Koh, "Decoupling Capacitance Allocation and Its Application to Power Supply Noise-Aware Floorplanning," *IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems*, vol. 21, pp. 81-92, Jan. 2002.
- [5] L. Smith, "Decoupling Capacitor Calculation for CMOS Circuits," in *Proc. IEEE 3rd Topical Meeting of Electrical Performance of Electronic*

- Packaging*, pp. 101-105, 1994.
- [6] G. Bai, S. Bobba and I. N. Hajj, "Simulation and Optimization of the Power Distribution Network in VLSI Circuits," in *Proc. IEEE/ACM International Conference on Computer Aided Design*, pp. 481-486, 2000.
- [7] T. Wang and C. C. Chen, "Optimization of the Power/Ground Network Wire-Sizing and Spacing Based on Sequential Network Simplex Algorithm," in *Proc. IEEE International Symposium on Quality Electronic Design*, pp. 157-162, 2002.
- [8] J. Singh and S. S. Sapatnekar, "Topology Optimization of Structured Power/Ground Networks," in *Proc. IEEE/ACM International Symposium on Physical Design*, pp. 116-119, 2004.
- [9] X. Hong, G. Huang, Y. Cai, J. Gu, S. Dong, C. K. Cheng and J. Gu, "Corner Block List : An Effective and Efficient Topological Representation of Non-Slicing Floorplan," in *Proc. IEEE/ACM International Conference on Computer Aided Design*, pp. 8-12, 2000.
- [10] S. Zhou, S. Dong, X. Hong, Y. Cai, C. K. Cheng and J. Gu, "ECBL : An Extended Corner Block List with Solution Space Including Optimum Placement," in *Proc. IEEE/ACM International Symposium on Physical Design*, 2001.
- [11] H. Murata, K. Fujiyoshi, S. Nakatake and Y. Kajitani, "Rectangle Packing Based Module Placement," in *Proc. IEEE/ACM International Conference on Computer Aided Design*, pp. 472-479, 1995.
- [12] X. Tang, R. Tian and D. F. Wong, "Fast Evaluation of Sequence Pair in Block Placement by Longest Common Subsequence Computation," in *Proc. Design Automation Test Eur.*, pp. 106-111, 2000.
- [13] T. H. Chen and C. C. P. Chen, "Efficient Large-Scale Power Grid Analysis Based on Preconditioned Krylov-Subspace Iterative Methods," in *Proc. IEEE/ACM Design Automation Conference*, pp. 559-562, 2001.
- [14] S. Zhao, K. Roy and C. K. Koh, "Estimation of Inductive and Resistive Switching Noise on Power Supply Network in Deep Sub-micron CMOS Circuits," in *Proc. IEEE International Conference on Computer Design*, pp. 65-72, 2000.
- [15] H. Li, Z. Qi, S. X.-D. Tan, L. Wu, Y. Cai and X. Hong, "Partitioning-Based Approach to Fast On-Chip Decap Budgeting and Minimization," in *Proc. IEEE/ACM Design Added Conference*, pp. 170-175, 2005.
- [16] International Technology Roadmap for Semiconductor, Semiconductor Industry Association, 1997.

— 저 자 소 개 —



허 창 룡(정회원)
 2003년 서강대학교 컴퓨터학과
 학사 졸업.
 2005년 서강대학교 컴퓨터학과
 석사 졸업.
 2005년 현재 삼성전자통신연구소
 연구원.

<주관심분야 : CAD, VLSI 설계>



임 중 석(정회원)
 1981년 서강대학교 전자공학과
 학사 졸업.
 1983년 한국과학기술원 전기 및
 전자공학과 석사 졸업.
 1989년 University of Maryland,
 College Park 전기공학과
 박사 졸업.

1983년~1990년 8월 한국전자통신연구소 연구원.
 1990년 9월~현재 서강대학교 컴퓨터학과 교수.
 <주관심분야 : 알고리즘, CAD, VLSI 설계>