

# 통신시스템의 데이터 전송선로에 대한 연구

김석환\* · 이규정\*\* · 허창우\*\*\*

A Study on the Data Transmission line of communication system

Soke-Hwan Kim\* · Kyeu-jung Lee\*\* · Chang-wu Hur\*\*\*

## 요 약

현재 통신시스템에서는 FPGA를 사용하여 여러 가지 로직을 구현하고 있다. 본 논문에서는 데이터 전달 특성을 분석하고 신호의 노이즈와 데이터 손실을 방지하기 위하여 10층의 PCB(Printed Circuit Board)를 만들었다. FPGA에 클럭과 64bit의 데이터를 동기 시켜 전송선로의 길이의 변화와 입력된 클럭의 주파수 변화에 따른 최대 안정된 데이터 전달속도와 전송선로의 길이를 알아보았다. 제작된 PCB보드에서 FPGA의 출력 핀에서 출력포트 사이의 전송선로 길이는 13cm이며 확장된 테스트용 전송선로 보드의 길이는 30cm, 60cm, 120cm이다. 그러므로 전송선로의 길이를 13cm, 43cm, 73cm, 133cm간격으로 측정하였으며, 데이터 전송특성에 대한 클럭 주파수는 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 나누어 측정하였다. 데이터 전달 특성에서 125Mbps까지는 불가능 하지만 전송선로의 길이가 30cm일 경우 최대 100Mbps까지 안정하게 데이터를 전달할 수 있었다.

## ABSTRACT

FPGA has been widely used in communication system. In this paper, we made 10 layers PCB on protection of signal noise and data lose with FPGA. We analyzed about change of the data transmission speed and length according to input frequency. The length of transmission line from FPGA's output-pin to output-port on PCB board is 13cm and extended lengths for test are 30cm, 60cm and 10cm. We knew that data can be stably transmitted to 100Mbps at transmission line length of 30cm

## 키워드

Mixer, Direct-Conversion, CMOS, Gilbert Cell, IIP2, IM2

## I. 서 론

초고속 정보화 시대가 대두되면서 많은 정보들이 우리 눈앞에 펼쳐지고 있다. 그러므로 사용자들은 그 많은 정보들 중에서 필요한 것을 선택하여 저장하고 에러 없이 빠르고 정확하게 데이터를 주고받기를 원하고 있다. 현재 개발되어 지고 있으며, 실질적으로 적용

하고 있는 10Gbps, 40Gbps급 고속데이터 전송시스템은 각 채널 당 125Mbps로 데이터를 전송하고 있다. 본 논문은 현재 고속데이터 전송 시스템에서 많이 사용되어 지고 있는 FPGA에 저전압 CMOS로직을 구현하여, 데이터 전달특성을 분석하고 시스템 적용 시 최적한계를 살펴보고 현재 연구되어지고 있는 범위에 적용이 가능한지 살펴보고자 한다.

\* 인터포스(주)

\*\* 성결대학교 정보통신공학부

\*\*\* 목원대학교 IT공학부 전자정보보호공학부



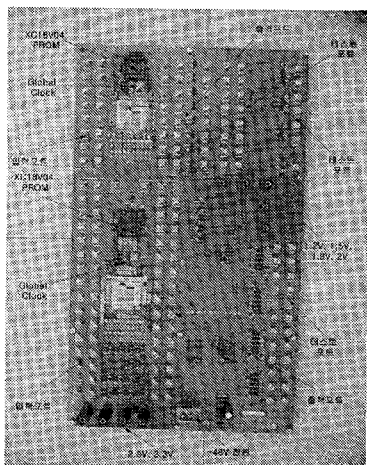


그림 3. 데이터 전달특성 분석을 위해 설계된 PCB  
Fig. 3. PCB designed for analysis of data transmitting characteristics

### III. 데이터 전달특성 측정 파형

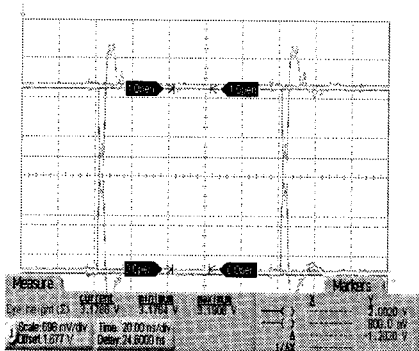


그림 4. 데이터 전송속도 10Mbps  
Fig. 4. 10Mbps data transmission speed

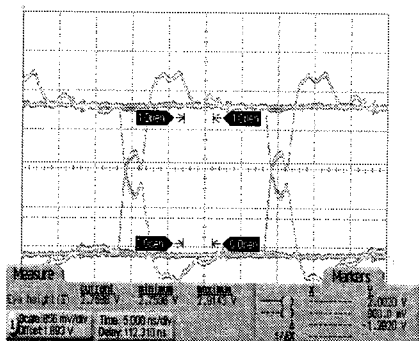


그림 5. 데이터 전송속도 50Mbps  
Fig. 5. 50Mbps data transmission speed

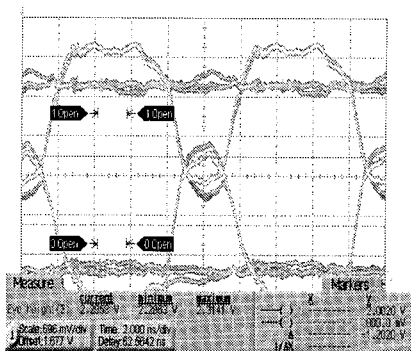


그림 6. 데이터 전송속도 100Mbps  
Fig. 6. 100Mbps data transmission speed

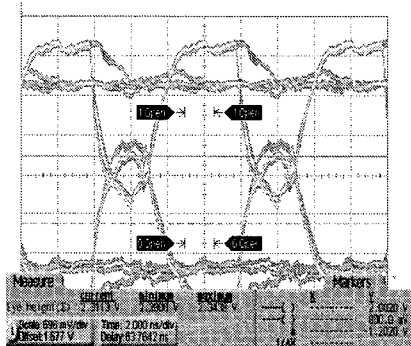


그림 7. 데이터 전송속도 125Mbps  
Fig. 7. 125Mbps data transmission speed

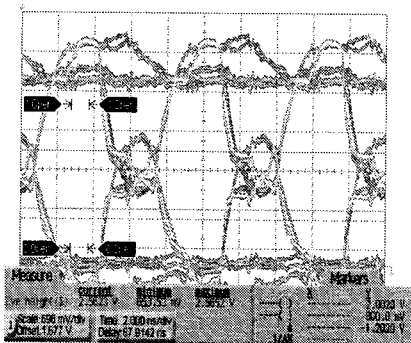


그림 8. 데이터 전송속도 150Mbps  
Fig. 8. 150Mbps data transmission speed

#### IV. 결과 및 고찰

제작된 PCB 보드에 FPGA를 실장하고 LVCMOS33 로직을 구성하였으며 전송선로 길이 13cm일 경우 클럭의 주파수를 각 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 변화 시켜가며 데이터와 클럭을 동기 시켜 LVCMOS33의 데이터 전달특성을 분석하였다. 측정 결과 전송선로의 길이가 짧아 데이터 전달특성은 최대 150Mbps까지 전압의 레벨이 안정하였고 시간상의 여유가 2ns까지 있었으나 출력된 데이터에 노이즈가 많이 발생하였다. 그러므로 13cm일 경우에는 150Mbps까지 데이터를 전송하고자 할 때는 클럭의 설계가 중요하게 요구된다. FPGA의 입출력 포트에는 사용자의 선언에 따라 여러 가지 로직이 선택되어 진다. 이때 선택된 로직을 제외한 나머지 로직들은 끊어진 상태로 놓여져 있어 클럭의 주파수가 증가함에 따라 노이즈를 일으키는 주 요인이 되었다.

표 2. 데이터 전달특성  
Table 2.

데이터 전송속도	전송선로 길이	시간		진폭	
		기준	여유	기준	여유
10Mbps	13cm	20ns	85ns	696mV	3.1V
50Mbps	13cm	5ns	18ns	856mV	2.7V
100Mbps	13cm	2ns	5ns	696mV	2.3V
125Mbps	13cm	2ns	3.5ns	696mV	2.3V
150Mbps	13cm	2ns	2ns	696mV	2.3V

#### V. 결 론

초고속 정보화 시대에 많은 정보를 짧은 시간, 적은 비용으로 서로 주고받기 위해서는 시스템의 개발이 필요성 과 중요성이 대두되었다. 고속 데이터 전송을 위한 회로와 기판을 설계할 때는 신호의 반사, 누화, 연결 지연 시간 등을 고려한 신호 잡음 분석이 매우 중요하다. 전송선로의 길이가 13cm일 경우 데이터 전달특성은 10Mbps일 경우 3.1V, 50Mbps일 경우 2.7V, 100Mbps일 경우 2.3V, 125Mbps일 경우 2.3V, 150Mbps

일 경우 2.3V의 전압을 나타내었다. 결과적인 값으로 볼 때 150Mbps까지 데이터 전송이 가능한 것으로 보이지만, 시스템에서의 전송선로의 길이는 최소 30cm정도이기 때문에 이 결과를 보고 전체적인 LVCMOS33의 데이터 전달특성을 판단한다는 것은 무리가 있다. 그러나 여기서 중요한 것은 데이터 전달속도가 증가하면서 노이즈가 발생한다는 것이다. 설계된 보드 상에서 아무런 문제점이 발생되지 않았기 때문에 FPGA에서 입출력 핀을 어느 로직으로 선택할 경우 각 핀들은 여러 가지 로직을 선택할 수 있도록 되어있어 사용자에게 의해 선택되지 않은 로직이 입출력과 연결되지 않고 떨어져 있기 때문에 FPGA 내부에서 신호의 반사작용을 일으켜 노이즈가 발생한다고 판단된다.

#### 참고문헌

- [1] Masumi Fukano, Misukuni Yokota, Katsunori Hirano, " Measuring and Evaluation Method for High Speed Transmission In Communication Systems, " 電子情報通信學會, Technical Report of IEICE, SSE. 122, PS. 46, pp. 1-6, 1999.
- [2] Usui, Yuzo, " High Speed Transmission Line Design in Giga-Hertz Age, " 電子情報通信學會, Technical Report of IEICE, VLD. 87, ICD. 132, CPSY. 59, FTS. 34, pp. 21-28, 2001.
- [3] Ryosuke Taruki, Yoshimi Tsubota, Shigenobu Lguchi and Kenji Kawamura, "Transmission characteristic of low voltage swing IC with a cable, " 電子情報通信學會, Technical Report of IEICE, EMD. 12, pp. 7-12, 1998.
- [4] 김동욱, 정병권, " MOSFET 특성에 기초한 CMOS 디지털 게이트의 최소소모전력 예측모델, " 대한전자공학회논문지 제36권 C편 제9호, pp. 644-655, 1999.
- [5] 김도형, 하순희, " 백플레인에 기반한 제어 부분과 데이터 처리 부분의 통합적 명세, " 대한전자공학회논문지 제36권 C편 제12호, pp. 882-892, 1999.
- [6] 김석환, 최익성, 허창우, "FPGA를 이용한 LVDS의 데이터 전달특성 분석," 한국해양 정보통신학

- 회 논문지 제6권 제7호, pp. 1069-1073, 2002.
- [7] 최익성, 박영호, 김석환, 이범철, "FPGA Delay Optimization," 전자정보통신 학술대회, The Conference on Electronics & Information Communications, pp. 189-193, 2002.
- [8] 김석환, 최익성, 허창우, "LVDS interface logic을 이용한 신호전달 특성 분석", 한국해양정보통신 학회논문집, pp. 473-476, 2002.
- [9] 최익성, 박영호, 김석환, 이범철, "FPGA Delay Optimization", CEIC 2002 전자정보통신학술대회 논문집, pp. 473-476. 2002.
- [10] 김석환, 류광렬, 허창우, "Backplane processor의 HSTL 신호전달 특성 연구", 한국해양정보통신학회논문집, pp. 355-357. 2003.
- [11] 김석환, 김윤호, 허창우, "Backplane Processor Bus 및 확장 Bus 시뮬레이션", 한국해양정보통신학회 논문집, pp. 363-365, 2003.

저자약력

김석환(Soke-Hwan Kim)



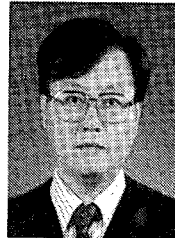
2003. 8 목원대학교 전자 및 컴퓨터 공학과 공학박사.  
2003. 8 ~ 2005. 2 제니텔 정보통신 (주) 현 인터포스(주)

※ 관심분야: VOIP, FPGA 설계, Arm processor



이규정(Kyu-chung Lee)

1984. 2. 연세대학교 대학원 전자공학과 졸업 (공학석사)  
1990.3. 미국 조지아공대 전기공학과 졸업 (M.S.)  
2003.2. 목원대학교 IT공학과 졸업 (공학박사)  
1990. 3. - 1998. 2. LG전자 기술원 책임연구원  
1998. 3. - 2005. 1. 대천대학 컴퓨터 전자 전기 학부 교수  
2005. 3. - 현재 성결대학교 정보통신공학부 교수  
※ 관심분야: 반도체가스센서, 실리콘태양전지



허창우(Chang-wu Hur)

1991년 2월 연세 대학교 전자공학과 공학박사  
1986년 9월 ~ 94년 2월 : 금성사 중앙 연구소 선임연구원  
현재 목원대학교 전자공학과 교수

※ 관심분야 : 반도체 공학 및 VLSI 설계