
결정도에 기초한 다중출력조합디지털논리시스템

박춘명*

Multiple-Output Combinational Digital Logic Systems based on Decision Diagram

Chun-Myoung Park

요 약

본 논문에서는 TDBM과 CMTEDD를 사용하여 다중출력조합디지털논리시스템 설계방법의 한가지를 제안하였다. 또한, CBDD와 CMTEDD를 기반으로 최종 조합디지털논리시스템 구성을 멀티플렉서를 사용하여 구현하였다. 제안한 방법은 기존의 방법에 비해 모듈사이의 내부결선을 효과적으로 줄일 수 있으며 입력변수의 쌍과 출력함수의 쌍에 의해 게이트 수를 줄일 수 있는 장점이 있다.

ABSTRACT

This paper presents a design method for multiple-output combinational digital logic systems using time domain based on multiplexing(TDBM) and common multi-terminal extension decision diagrams(CMTEDD). The CMTEDDs represents extension valued multiple-output functions, while TDBM systems transmit several signals on a single lines. The proposed method can reduce the 1)hardware, 2)logic levels and 3)pins. In the logic system design, we use two types of decision diagrams(DDs), that is the common binary decision diagrams(CBDDs) and CMTEDDs. Also, we propose an algorithms to derive common multiple-terminal binary decision diagrams(CMTBDD) from CBDDs, and CMTEDDs from CMTBDDs. The CMTEDDs over CBDDs is more compactness in terms of number of non-terminal nodes, where the nodes for output selection variables are not included in the non-terminal nodes. In the logic design, each non-terminal nodes of an CBDDs and an CMTEDDs is realized by a multiplexer(MUX). In addition, we compare the proposed TDBM realization with the conventional one.

키워드

Decision Diagram, Multiple-Output Combinational Digital Logic Systems, Logic Design, Algorithm, Terminal, Node

I. 서 론

최근에 각종 디지털논리시스템을 해석 및 종합하는 기법으로서 그래프 이론^[1-2]에 기반을 둔 결정도를 이용한 방법을 사용하고 있으며, 이 방법은 기존의 다른 방법에 비해 매우 효과적이며 이 방법을 기반을 둔 디지털논리시스템구성방법에 대한 여러 연구가 발표되었다.^[3-7] 한편, VLSI 관련 분야^[8]에 있어서, 가장 중요

한 문제점 중에 하나는 핀에 관련된 것이다. 비록 좀 더 많은 게이트를 집적한다 할지라도 핀의 수를 줄이는 것은 쉽지 않다.

따라서, 이러한 핀에 대한 문제를 극복하기 위해 시간영역기반의 멀티플렉싱(TDBM : Time Domain Based Multiplexing) 시스템을 채택하여 효율을 높이고 있다. 이 TDBM 시스템에서는 단일의 신호선에 여러개의 신호를 표현할 수 있다. 본 논문에서는 TDBM과 공통다

중터미널결정도(CMTDD : Common Multiple-Terminal Decision Diagram)을 사용하여 다중출력 조합디지털논리 시스템 회로에 대한 설계방법의 한가지를 제안하였다.

또한, CMTBDD(Common Multiple-Terminal Binary Decision Diagram)으로 부터 CMTEDD(Common Multiple-Terminal Extension Decision Diagram)을 도출하는 알고리즘을 제안하였으며, 기존의 BDD에 기반을 둔 TDBM 방법과 비교 및 검토하였다.

한편, 디지털논리시스템을 실현할 때, 결정도에서의 각각의 비종단노드(non-terminal node)는 멀티플렉서(MUX : multiplexer)에 의해 구현하였다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 TDBM을 사용하여 다중출력함수의 조합디지털논리시스템을 구현하는 방법과 CMTEDD를 사용하여 새로운 TDBM을 구현하는 방법에 대해 서술하였으며 또한 이들 2가지 방법을 비교하였다. 그리고 III장에서는 2진 논리와 이의 확장개념에 대한 다중출력함수의 다양한 형태에 대한 정의를 하였으며 이를 바탕으로 하여 CBDD로부터 CMTBDD를 도출하는 방법과 CMTBDD로부터 CMTEDD를 도출하는 방법에 대해 논의하였다. IV장에서는 CMTEDD에 기초하여 다중출력 조합 디지털논리시스템의 함수를 간략화하는 방법에 대해 논의하였다. 그리고 마지막 V장의 결론에서는 본 논문에서 제안한 방법의 특징을 요약하였으며, 향후 연구과제에 대해 언급하였다.

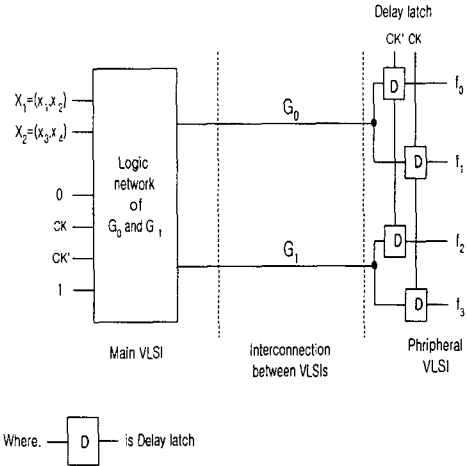
II. 제안한 TDBM에 의한 회로실현

일반적으로 TDBM의 실현시에 입력과 출력 핀의 수를 줄이기 위해 클럭펄스(CK : Clock Pulse)를 사용한다. 그러한 반면, 비 TDBM은 기존의 클럭펄스가 없는 조합논리시스템을 의미한다.

2-1. 제안한 TDBM

본 논문에서 제안한 방법의 TDBM에 의한 조합 디지털논리시스템의 회로 블록도는 다음 그림2-1과 같다.

일반적으로, 확장한 진법에서의 n-입력 m-출력 함수에 대해, $\Psi^n \rightarrow \Psi^m$ 은 CMTEDD에 의해 표현된다. 다음에 CMTEDD의 비종단노드는 그림2-2에서처럼



Where, $G_0 = CK \cdot f_0 \vee CK' \cdot f_1$
 $G_1 = CK' \cdot f_2 \vee CK \cdot f_3$

그림 2-1. 제안한 TDBM에 의한 회로실현
 Fig. 2-1. The circuit realization using proposed TDBM

2-MUX로 실현된다. 여기서 2-MUX는 4-way 멀티플렉서이다. 또한, 그림2-3은 2진변수 (x_1, x_2) 의 쌍을 입력으로 갖는 리터럴 생성기(literal generator)와 2-MUX를 제어하는 출력 X^0, X^1, X^2, X^3 를 보여주며 다음 식(2-1)과 같이 표현할 수 있다.

$$X^i = \begin{cases} 0 & \text{if } X \neq i \\ 1 & \text{if } X = i \end{cases} \quad (2-1)$$

여기서, 종단노드에서의 신호는 다음과 같이 비트 (c_0, c_1) 의 쌍에 의해 표현된다. 즉, $CK=0$ 일 때는 해당 신호는 c_0 를 나타내고 $CK=1$ 일 때는 해당 신호는 c_1 을 나타낸다. 따라서, $(c_0, c_1)=(0, 0)$ 는 정수 0에 해당되며, $(c_0, c_1)=(0, 1)$ 는 CK 에 해당되며, $(c_0, c_1)=(1, 0)$ 는 CK' 에 해당되며, $(c_0, c_1)=(1, 1)$ 는 정수 1에 해당된다.

다음 그림2-4는 다음 표2-1의 함수를 제안한 CMTEDD에 의해 실현한 회로를 보여준다. 표2-1에서의 출력함수 Y_1 과 Y_2 는 각각 G_0 와 G_1 에 해당된다.

한편, 입력에 있어서 2진변수 $X=(x_1, x_2)$ 의 쌍은 4진 신호 {00, 01, 10, 11} 또는 {0, 1, 2, 3}을 나타낸다.

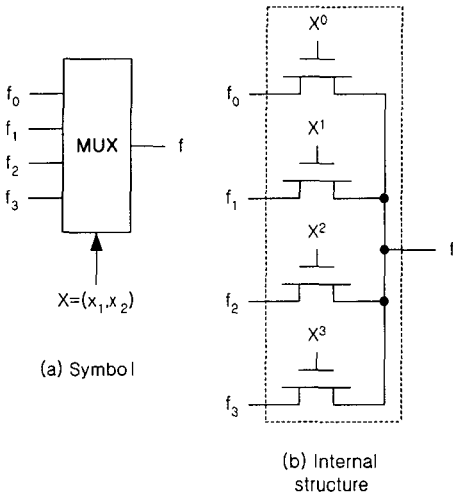


그림 2-2. 2-MUX
Fig. 2-2. 2-MUX

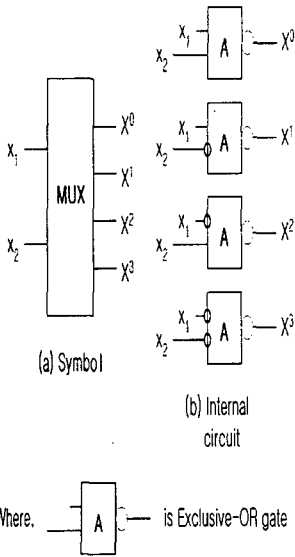


그림 2-3. 리터럴 생성기
Fig. 2-3. Literal generator

그러한 반면, 0, CK, CK', 1은 각각 (0, 0), (0, 1), (1, 0), (1, 1)을 나타내며, {0, CK, CK', 1}은 4개의 원소를 갖는 부울대수(Boolean algebra)를 구성한다.

표 2-1. 4진 2입력 2출력 함수
Table 2-1. Four valued two-input 2-output function

Input		Output	
X ₁	X ₂	Y ₁	Y ₂
0	0	1	2
0	1	2	3
0	2	1	1
0	3	3	3
1	0	2	1
1	1	1	2
1	2	2	3
1	3	3	0
2	0	0	1
2	1	2	3
2	2	3	1
2	3	1	3
3	0	2	1
3	1	1	2
3	2	3	3
3	3	1	0

만일, {0, CK, CK', 1}을 {0, 1, 2, 3}으로 대체하면 4진 함수를 갖게되며, 임의의 4진 함수는 CMTEDD에 의해 표현된다. 그림 2-5의 CMTEDD는 표 2-1을 표현한 결정도이다. 살펴 본 바와 같이 CMTEDD의 비종단노드의 수는 9개 인 반면, CBDD의 비종단노드의 수는 19개이고, 이때 출력선택변수에 대한 노드는 비종단노드에는 포함하지 않았다. 디지털논리시스템에 대한 전체적인 하드웨어는 결정도(DD)에 있는 비종단노드의 수에 의해 추정된다. CBDD의 경우에, 노드의 수는 입력변수의 순서를 고려하면 줄일 수 있다. CMTEDD의 경우에 있어서, 노드의 수는 다음과 같이 좀 더 줄일 수 있다.

- 입력변수의 가장 좋은 쌍의 선택에 의해 4치 변수를 만들 수 있다.
- 출력함수의 가장 좋은 쌍의 선택에 의해 4치 함수를 만들 수 있다.

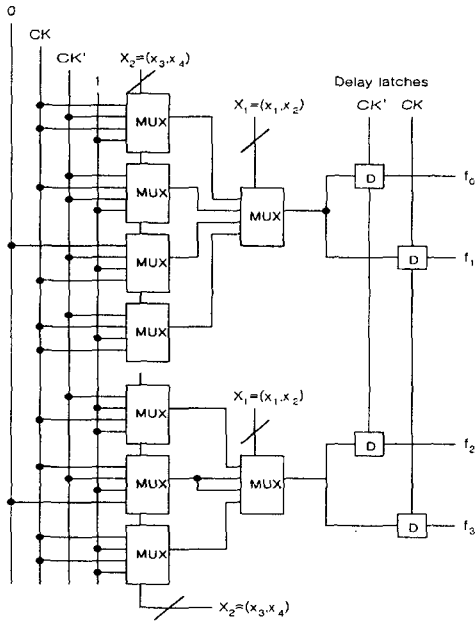


그림 2-4. 제안한 CMTEDD에 의해 회로구성
Fig. 2-4. The circuit realization using proposed

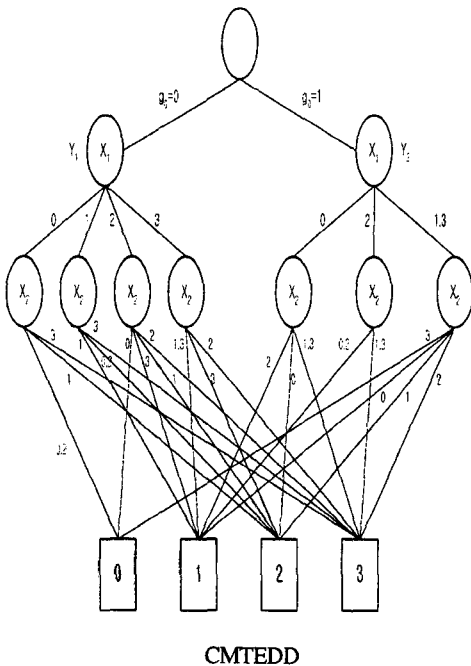


그림 2-5. 표2-1의 함수에 대한 CMTEDD
Fig. 2-5. The CMTEDD for function of Table 2-1.

2-2. 기존의 TDBM과 제안한 TDBM에 의한 회로 실현의 비교

기존의 TDBM에 의한 회로구성과 제안한 TDBM에 의한 회로구성을 비교하면 다음과 같다. 디지털논리시스템 실현에 있어서, CBDD의 비중단노드는 2개의 MOS 트랜지스터로 구현되는 반면, CMTEDD의 비중단노드는 4개의 MOS 트랜지스터로 구성된다. 따라서, 만일 리터럴 생성기의 코스트(cost)를 무시하면 CMTEDD의 비중단노드의 코스트는 CBDD의 비중단노드의 코스트에 비해 2배가 된다.

[정의 2-1] $size_n(DD : F)$ 를 함수 F에 대한 DD에서의 비중단노드라고 정의하자. 만일, $(2size_n(CMTEDD : F) < size_n(CBDD : F))$ 라고 하면 제안한 TDM 구현은 기존의 TDM에 비해 좀 더 경제적이다. 단, 출력선택변수에 대한 노드는 비중단노드에 포함하지 않는다.

n변수 함수의 경우에 있어서, CBDD에 기반을 둔 기존의 TDM 실현은 n레벨을 필요로 하는 반면, CMTEDD에 기반을 둔 제안한 TDM 실현은 단지 $n/2$ 레벨을 필요로 한다. FPGA의 경우에 있어서, 모듈사이의 내부결선에서의 지연(delay)은 논리모듈의 지연보다 가깝게 크다.

따라서, 논리레벨의 축약은 중요하므로, 제안한 TDM 실현은 기존의 방법에 비해 빠르고 사용 하드웨어 총량도 적다.

III. 다중출력함수에 대한 결정도

3-1. 2진결정도(Binary Decision Diagram)

공통2진결정도(CBDD : Common Binary decision Diagram)는 서로서로 그들의 부그래프(Sub-graph)를 공통으로하는 BDD를 구성하는 그래프로하여 단일화할 수 있는 BDD의 집합이다. 다중종단2진결정도(MTBDDs : Multiple-Terminal Binary Decision Diagrams)는 다중종단노드를 갖는 BDD의 확장체이고, 종단노드는 m출력 함수에 대한 m-bit 2진 벡터(binary vector)이다. 공통다중종단2진결정도(CMTBDDs : Common Multiple-Terminal Binary Decision Diagrams)는 CBDD의 일반형이며 MTBDDs이다.

[정의3-1] BDD의 $size_n$ 은 $size_n(BDD)$ 로 표현하며, 비중단노드의 전체 수는 출력선택변수에 대한 노드는

제외한다.

이는 확장논리결정도(EDDs)에 대한 $size_n$ 도 이와 유사하게 표현할 수 있다.

예) 그림2-5에 대한 CBDD와 CMTEDD의 $size_n$ 은 각각 19와 9이며, g_0, g_1, g_2 는 CBDD에서의 출력선택변수이고, g_0 는 CMTEDD의 출력선택변수이다.

3.2. 공통다중중단노드확장논리결정도(CMTEDD)

공통다중중단확장논리결정도는 확장논리다중출력논리함수의 표현이다. CMTEDD는 출력선택을 위한 트리(tree)에 의해 결합된 다중중단노드를 갖는 확장논리결정도의 집합이다. CMTEDD에 있어서의 EDD의 수는 출력함수의 그룹의 수와 동일하다.

II 장의 그림2-5는 CMTEDD의 예를 보여주는데, 여기에서 Y_1 과 Y_2 는 출력함수의 쌍이고, X_1 과 X_2 는 입력변수의 쌍이다. CMTEDD의 장점은 동시에 여러개의 출력함수를 실현할 수 있다는 것이며, 좋은 출력함수와 입력변수의 그룹핑은 좀 더 간략화 CMTEDD를 도출할 수 있다.

IV. CMTEDD의 간략화

CMTEDD에서의 노드의 수를 줄이는 것은 좀 더 간략화된 디지털논리시스템을 설계하는 데 매우 중요하다. 본 논문에서 제안한 간략화 방법은 출력함수의 쌍과 입력변수의 쌍의 2가지 경우를 고려하여 수행한다. CMTBDD는 출력함수의 쌍에 의해 CBDD로부터 도출되며, CMTEDD는 입력변수의 쌍에 의해 CMTBDD로부터 도출된다.

즉, 다음 그림4-1과 같은 확장 관계를 갖는다. 입력변수의 각 쌍에 대한 EDD의 노드는 다음 그림 4-2에서와 같이 CMTEDD로 귀착된다.

그림4-2(a), (b), (c)에서의 부그래프는 각각 1개, 2개, 3개의 EDD에 대응된다. 또한, 그림4-2(a)에서, 3개의 CMTEDD 노드는 1개의 EDD 노드에 의해 대치되며, 그림4-2(b)에서, CMTEDD 노드들은 2개의 EDD 노드에 상응된다.

또한, 그림4-1(c)에서, CMTEDD노드는 3개의 EDD 노드에 의해 대치된다. 단, CMTEDD와 CBDD 사이의

노드 수를 비교하기 하기 위해, 같은 변수순서(variable ordering)로 2개의 결정도를 최적화 하였다.

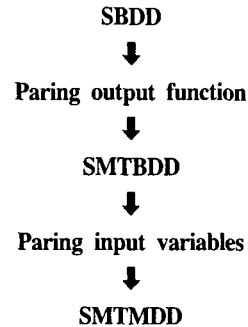


그림 4-1. 확장관계 블록도
Fig. 4-1. The block diagram of extension relationship

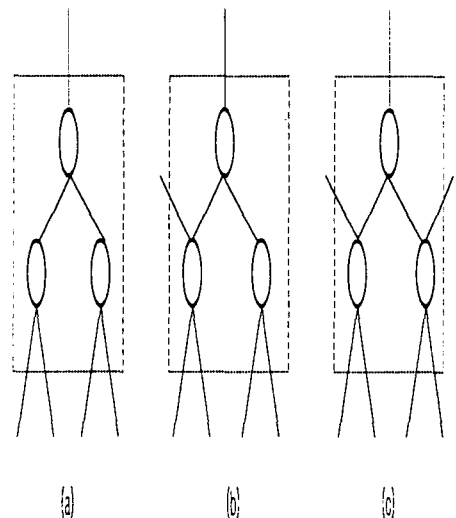


그림. 4-2. EDD에 의해 CMTBDD로 변환하는 과정
Fig. 4-2. The Process of converting EDD to CMTBDD

V. 결 론

본 논문에서는 TDBM과 CMTEDD을 사용하여 다중 출력조합논리시스템의 설계방법의 한가지를 제안하였다. 또한, 간략화된 디지털논리시스템을 위해 CBDD와 CMTEDD를 사용하였으며 CMTEDD를 간략화하기

위해 발견론적 알고리즘을 제안하였다. 그리고, CBDD와 CMTEDD를 기반으로 하여 최종 조합디지털논리시스템의 구성을 멀티플렉서를 사용하여 구현하였다.

n변수의 함수에 대해 CBDD에 기반을 둔 기존의 TDBM 구현은 n레벨을 필요로 하는 반면에 CMTEDD에 기반을 둔 제안한 TDBM 방법은 n/2 레벨을 필요로 한다.

TDBM 방법은 그림2-1에서 살펴본 바와 같이 모듈 사이의 내부결선을 효과적으로 줄일 수 있다. 또한, 제안한 방법은 입력변수의 쌍과 출력함수의 쌍에 의해 게이트의 수를 줄일 수 있다. TDBM 방법은 조합디지털논리시스템에서의 지연을 제공하는 클럭펄스를 요구한다.

제안한 TDBM 실현에서의 핀의 갯수는 비TDBM에 의해 절반 정도로 실현 할 수 있다. 그리고, 제안한 TDBM 실현은 기존의 방법에 비해 좀 더 경제적이다. 이 방법은 P-phase 클럭 펄스에 의해 그룹핑되는 함수를 갖는 P출력함수로 확장 할 수 있으리라 사료되며 현재 연구진행 중에 있다.

참고문헌

[1] D.B.West, *Introduction to Graph Theory*, Prentice-hall, 1996.
 [2] R.J.Wilson and J.J.Watkihs, *GRAPHS An Introductory Approach*, John Wiley & Sons, Inc., 1990.
 [3] S.B.Aker, "Binary Decision Diagrams," *IEEE Trans. Comput.*, vol.C-27, no.6, pp.509-516, Jun. 1978.
 [4] R.E.Bryant, "Graph-Based Algorithms for Boolean Function manipulations," *IEEE Trans. Comput.*, vol.C-35, no.8, pp.677-691, Aug. 1986.
 [5] Yung-Te Lai, M.Pedram and S.B.K.Vrudhula, "Formal Verification Using Edge-Valued Binary

Decision Diagrams," *IEEE Trans. on Computers*, Vol. 45, No.2, February 1996.

[6] M.Nakajima and M.Kameyama, "Design of Highly Parallel Linear Digital System for ULSI Processors", *IEICE Trans*, Vol.E76-C, No.7, pp.1119-1125, July, 1993.
 [7] H.Jiang, J.C.Majithia, "Suggestion for a New Representation for Binyary Function," *IEEE Trans. Comput.* vol.45, no.12, pp.1445-1449, Dec. 1996.
 [8] R.K.Brayton, G.D.Hachtel, C.T.McMullen and A.L.Sangionanni-Vincentelli, *Logic Minimization Algorithms for VLSI Synthesis*, Kluwer Academic Publishers, 1984.

저자약력

박춘명(Chun-Myoung Park)



1994년 2월 인하대학교 대학원 전자공학과(공학박사)
 1995년 9월 ~ 2005년 현재
 충주대학교 전기·전자 및 정보공학부 컴퓨터공학과 교수

1984년 ~ 2005년 현재 IEEE Computer Society Member
 1984년 ~ 2005년 현재 대한전자공학회 정회원
 2005년 현재 한국해양정보통신학회 학회지편집위원
 2002년 ~ 2003년 UCI(University of California, Irvine) ICS와 CECS(Center for Embedded Computer Systems) Visiting Scholar

※ 관심분야 : 차세대 디지털논리시스템 및 컴퓨터 구조, 임베디드시스템, 마이크로프로세서 응용, 유비쿼터스컴퓨팅시스템, 멀티미디어시스템 등