

---

# 광 가입자망을 위한 버스트 모드 광 송수신기 개발에 관한 연구

이혁재\*

A Study on the development of a burst-mode optical transceiver for optical access networks

Hyuek Jae Lee\*

---

이 논문은 2004년도 경남대학교 신진교수 연구비를 지원받았음

---

## 요 약

최근 FTTH (Fiber-To-The-Home) 구현을 위한 수동형 광 가입자망 (PON, Passive Optical Network)에 대한 연구가 매우 활발하게 진행되고 있다. PON 구성에 있어, 버스트-모드 광송수신기는 핵심이 되는 모듈이다. 본 논문에서는 상용화된 칩을 이용하여 155.52Mbps급 버스트 모드 광송수신기 모듈 시제품을 제작하고 성능을 측정한다. 또한, 버스트-모드 광 클럭 재생의 새로운 방법을 제안하고, CPLD(Complex Programmable Logic Device)를 이용하여 구현 한 다음, 제작된 모듈 시제품에 연동하여 성능을 비교하였다.

## ABSTRACT

Recently, the development of passive optical networks (PON) for FTTH (Fiber-To-The-Home) have been actively conducted. In PON, a burst-mode transceiver is one of key modules. In this paper, we have made the prototype module of a 155.52 Mbps optical burst-mode transceiver with commercially available chips and then have measured the performance. Also, a new method of burst-mode clock recovery have been proposed. The burst-mode clock recovery implemented by using CPLD(Complex Programmable Logic Device) has coupled with the above burst-mode transceiver and has been tasted.

## 키워드

버스트 모드 광 송수신기, 클럭 재생, 수동형 광 네트워크, FTTH (Fiber-To-The-Home)

## I. 서 론

현재 인터넷 트래픽은 통화량 증가율이 4개월에 2.5배, 백본에서의 전송속도 증가율은 6개월에 2배씩 증가하고 있다 [1]. 그에 따라 테라급 광 통신망[2]을 여러 나라에서 서둘러 가설하는 단계에 와 있고, 현재 실험실에서는 수십 테라 광전송[3]을 향해 많은 연구가

진행 중에 있다. 반면에 가입자 망은 B-ISDN (Broadband-Integrated Services Digital Network) 기술이 안정기에 접어들면서 public domain 중심의 기술 개발에서 가입자망 접속기술로의 전환이 이루어져 있으며, 고속의 데이터를 가입자에게 제공하기 위한 방안으로서 FITC(Fiber To The Curb), FTTH(Fiber To The Home)등의 가입자 액세스망 구조가 등장하였고, 전송

기술로서 현재 ADSL(Asymmetric Digital Subscriber Lines)이 현재 많이 이용되고 있다. 그러나, 이 방법은 조만간 VDSL(Very high rate Digital Subscriber Lines)과 PON (Passive Optical Network)[4]으로 전환이 되면서, 두 방법이 혼재되어 사용되다가 궁극적으로 PON 전송기술이 살아 남을 것이라는 것이 지배적이다.

PON 전송기술이 살아 남기 위해서는 아직도 해결해야 할 문제가 많이 남아 있는데, 그 중 광 가입자망을 구성하기 위한 망을 광섬유로 대체하는데 따르는 비용이 가장 큰 걸림돌로 작용하고 있다. 그러나, 일단, 광섬유가 포설이 되면 여러 가지 장점을 갖는데, 거의 무한대의 대역폭을 확보할 수 있으며, 광전송의 특성상 낙후 등과 같은 외부의 전기적 교란에 영향을 안 받는다. 또한, 기지국과 가입자 사이에 거의 리피터(Repeater, 전화망을 이용하는 전화라인 이용하는 ADSL은 중간에 급전 장치 요구됨) 없이 데이터가 전송되기 때문에 외부 전원 장치가 중간에 필요 없게 되는 장점이 있다.

PON 시스템을 구성하기 위한 핵심 기술로 여러 가지 있을 수 있겠지만, 그 중 버스트 모드 패킷 데이터를 발생시키는 광송신 모듈과 그와 같은 데이터를 수신할 수 있는 버스트 모드 광 송수신기모듈이 가장 중요하다 [5,11]. 광 송신기 측면에서 보면, 데이터를 연속적으로 발생시키는 것이 아니기 때문에 레이저 다이오드의 광 전력을 안정화 시키면서 시간 지연 없는 버스트 데이터를 발생시키는 것이 가장 큰 해결 문제이다[6]. 반면에, 버스트 모드 광 수신기는 광 전력의 세기가 각각 다른 데이터를 수신할 수 있어야 하며[5], 서로 다른 패킷 데이터 간에 독립적인 클럭 위상 관계에서도 즉시 클럭을 추출할 수 있어야 하는데[7], 이 두 가지가 가장 큰 해결 문제라 할 수 있겠다. 버스트 모드 클럭 추출은 초고속 광통신망에서 완전 광 신호 처리 기법을 이용하는 방법들이 제안되었지만 [8], 구현 비용이 너무 고가이고, 사용되는 데이터 포맷이 RZ (Return-to-Zero) 형태로 제한되는 단점이 있어 광 가입자 망에 적용하기는 매우 어렵다. 대신, 간단한 로직 전자 게이트로 구성된 방법들이 오래전부터 연구 되어 왔다[9,10]. 본 논문에서는 155.52Mbps 급 버스트 모드 광 송수신기 상용 시제품을 개발하고, 성능을 테스트 한다. 또한, 새로운 버스트 모드 클럭 재생 방법에 대해 제안하고 실험적으로 검증한다.

## II. PON 시스템

PON은 그림 1 과 같이 크게 OLT(Optical Line Termination), ODN(Optical Distribution Network), ONU(Optical Network Unit)로 구성된다. 여기서, 버스트 모드 광수신기는 OLT에 위치하고, 버스트 모드 광 송신기는 ONU에 위치하게 된다. OLT에서 ONU 쪽의 하향 데이터는 TDM(Time Division Multiplexing) 방식으로 보내진다. 즉, 가입자 정보 전송을 위해 N개의 타임 슬롯을 갖고, 이 모든 정보는 N 가입자 모두에 전달되는데, 이중 자기에게 할당된 타임 슬롯만을 접속하여 정보를 수신한다. 반면에, ONU에서 OLT로의 상향 데이터 전달은 정해 놓은 각 슬롯 안에 ONU로부터의 데이터를 끼어 넣어 TDMA (Time Division Multiple Access) 방식으로 전송된다. 그러나, 각각의 ONU로부터 OLT 까지의 거리가 달라서 정해진 시간 슬롯에 패킷 데이터를 삽입하는 것이 어렵다. 따라서, Ranging 이라는 과정을 거쳐 각 가입자 ONU에서 OLT까지 논리적 거리를 같게 시간을 조정해서 그림 1 과 같이 주어진 타임 슬롯에 데이터가 위치하도록 한다. 이때, OLT로 수신되는 광신호는 각 가입자에 따라 신호의 크기와 위상이 다르게 된다. 따라서, OLT에 위치한 버스트 모드 광수신기 모듈은 우선 광신호를 전기신호로 변환한 후, 신호크기를 일정하게 만들고, 각 슬롯 데이터에 맞게 순간적으로 클럭을 재생해야 한다. 이와 같은 버스트 모드 광수신 기술은 패킷 신호를 다루는 데이터 통신 어디에도 적용될 수 있는 일반적이며 포괄적인 기술이기 때문에 그 적용 범위가 매우 넓다.

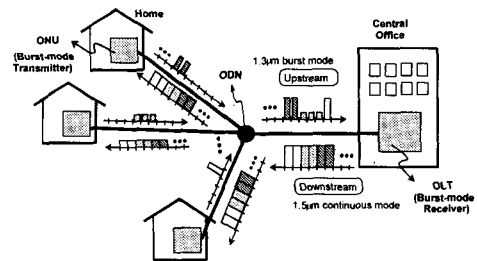


그림 1. 수동형 광 가입자망의 구조  
Fig. 1 Structure of passive optical network

### III. 버스트 모드 광송신기 개발 및 테스트

버스트 모드 광송신기 개발에 있어 몇 가지 주의해야 하는 점이 있다. 첫째로 광송신기의 출력 광전력은 평균 출력 광전력에 의해 조절되어서는 안된다. 연속 신호를 발생하는 기존의 광송신기와는 달리 전송할 신호가 있을 때만 광신호를 발생시키기 때문이다. 두 번째, 광신호가 전송되지 않을 때는 완전히 'off'되어 다른 가입자로 부터의 광신호에 영향을 주지 않아야 된다. 세 번째는 레이저 다이오드의 turn-on delay를 보정해 줘야 한다. 즉, 레이저 다이오드가 완전히 'off' 상태에 있다가 'on' 되면서 약간의 시간 지연 후 빛이 발생하는데, 이를 보정해주는 회로가 필요하다.

버스트 모드 광송신기 개발을 위해 Agere에서 상용화 하여 판매 하고 있는 버스트 모드 레이저 드라이버 LUBLD155를 사용하기로 했다. 이 칩은 3.3V 단일 전압에서 동작하고, 디지털 자동 전력 조절 회로, 레이저 다이오드의 turn-on delay 보상 회로, end-of-life 검출회로가 내장되어 있다. 입력은 차동 LV-PECL 레벨을 사용하고 -40C ~ +80C 온도에서 사용 가능하다. End-of-life 검출기능은 레이저 출력 전력이 보통의 값에 비해 1/2 혹은 1/3 (칩에 세팅 가능한 입력이 있음) 이하가 될 때 활성화 되도록 되었다. 전체 외관은 48 핀 TQFP 플라스틱 패키지로 만들어 졌다. 버스트-모드 광송신기의 회로도를 그림 2에 보였다.

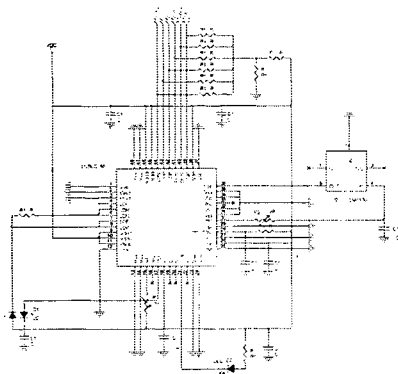


그림 2. 버스트 모드 광송신기 회로도  
Fig. 2 Circuit of the burst-mode optical transmitter

버스트-모드 광송신기가 잘 동작하려면 그림 3과 같은 Framing, Data, 그리고 Overhead flag 입력 단자의 타이밍 조건을 만족해야 한다. 즉, Overhead flag 신호는 데이터가 전송되기 최소 25.6ns (155.52 Mbps 데이터의 최소 4비트 (6.4ns x 4=25.6ns)) 이전에 나타나야 된다. 왜냐하면, 이 상승 에지 후, 약 10ns 정도 후에 광 전력 조절이 시작되기 때문이다.

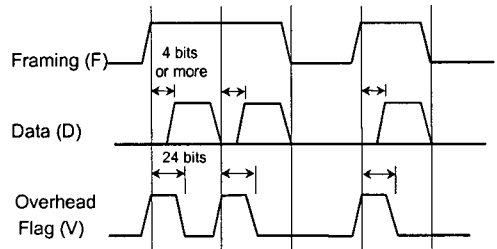


그림 3. 입력 신호에 대한 타이밍 조건  
Fig. 3 Timing condition for input signals

그림 4에 제작한 버스트 모드 광송신기 모듈 (테스트 지그와 함께 두쌍의 모듈)의 사진을 보였다. 광 전력의 세기가 다른 두 개의 버스트 모드 광신호를 만들기 위해 가변 광 커풀러를 이용하여 두 신호를 합치도록 하였다. 그림 5에 개발된 두개의 송신기 모듈로부터 만들어진 버스트 모드 광신호를 가변 광 커풀러를 통해 합쳐진 광 데이터 신호 결과를 보였다. 그림에서 알 수 있듯이, 버스트 모드 광신호의 앞과 뒤에서 아주 깨끗하고 균일한 eye를 확인할 수 있다.

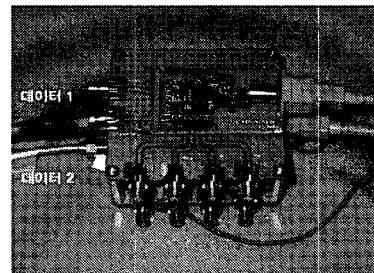


그림 4. 두 쌍의 버스트 모드 송신기 시제품 모듈  
Fig. 4 Prototype module of two burst-mode transmitters

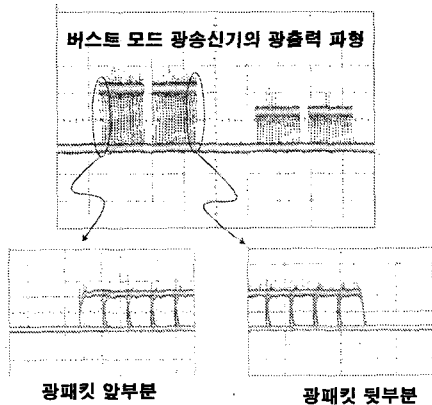


그림 5. 광전력 세기가 다른 버스트 모드 광 데이터 신호의 발생  
 Fig. 5 Optical signal generation for burst-mode data with different amplitudes

#### IV. 버스트 모드 수신기 개발 및 테스트

그림 6에 버스트 모드 광 수신 모듈의 구조를 보았다. OLT로 입사되는 광신호는 상기한 바와 같이 서로 다른 위상과 광전력 세기를 가지므로 OLT의 버스트 모드 광수신기 모듈은 빠른 반응 속도, 입력 광 세기에 대한 넓은 dynamic range, 높은 광 감도, 수 비트 이하의 지연 시간을 가져야 한다. 그 구조는 입력되는 광신호를 전류 신호로 바꾸는 photo detector, 검출된 전류 신호를 전압 신호로 바꾸는 preamplifier, 서로 다른 신호 세기를 갖는 패킷을 동일 세기로 바꾸어 주는 main amplifier, 데이터 손실 없이 데이터와 위상을 맞추어 주는 클럭 및 데이터 재생기로 구성된다. 이들 중 main amplifier와 클럭 및 데이터 재생기의 설계가 가장 핵심 기술로 전체 버스트 모드 광수신기 성능을 좌우한다.

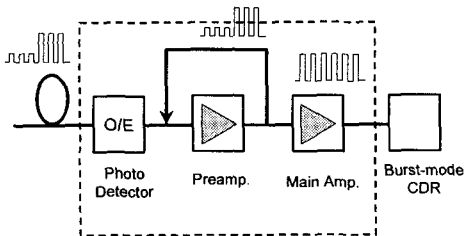


그림 6. 버스트 모드 광수신기 모듈의 구성도  
 Fig. 6 Structure of a burst-mode optical receiver

버스트 모드 광수신기도 Agere에서 상용화하여 판매 하고 있는 3종의 칩을 사용했다. Preamplifier는 모델명 LUBORP155, 메인 증폭기로 모델명 LUBORA155, 그리고 마지막 단에 클럭 및 데이터 재생에는 LUBCDR155를 사용하였다. LUBORP155 Preamplifier는 광 검출기로부터의 미소한 전류를 차동 전압으로 바꾸어 주는 역할을 하며, 5 V 단일 전압을 이용하고 8 핀 TSSOP 패키지에 -40 ~ 80 °C 의 온도 범위에서 이용할 수 있다. LUBORA155 메인 리미팅 증폭기는 버스트 모드 동작을 위해 실시간으로 threshold을 조절할 수 있는 기능(Automatic Threshold Control, ATC)을 갖고 있다. 리셋 회로가 부가되어 있어 버스트 신호 중간 중간에 ATC 회로를 리셋해 줘야 한다. 전체 회로에 대한 안정성을 위해 내부에 온도 보상회로가 내장되어 있다. 5 V 단일 전압이 필요하고 32 핀 TQFP 플라스틱 패키지 형태이며, -40 ~ 80 °C 의 온도에서 작동할 수 있다. LUBCDR155 클럭 및 데이터 재생기 칩은 두 쌍의 Gated VCO (Voltage controlled oscillator)을 병렬로 연결한 방법을 토대로 제작되었으며 [7], 버스트 모드 데이터 신호의 첫 번째 비트 안에 동기를 잡을 수 있는 능력을 가졌다. 입사되는 버스트 데이터 신호에서 추출된 클럭은 외부에서 넣어 주는 클럭에 동기가 되고, 그에 의해 지터가 제거된 깨끗한 클럭과 데이터를 추출할 수 있게 된다. 이 칩 안에는 FIFO (First In and First Out) 버퍼 회로가 내장되어 있는데 시스템 외부 클럭에 동기가 되어 재생된 데이터를 외부 회로와 동기화 하는데 이용된다. FIFO의 길이는 7 비트와 5 비트로 외부의 셋팅에 의해 조절된다. 그에 따라 발생하는 데이터 지연이 3에서 4 비트 혹은 2에서 3비트 생기게 된다. FIFO가 잘 동작하려면 새로운 버스트 모드 신호가 도착하기 전에 리셋 신호가 필요한데, 적어도 2 비트 먼저 리셋 신호가 가해져야 하는 제한 사항이 있다. 그리고, LUBCDR155 와 LUBORA155를 함께 사용하는 경우, LUBCDR155의 리셋 출력은 LUBORA155 칩을 리셋 시키는데 이용된다. LUBCDR155 칩은 3.3 V 단일 전압이 필요하고, 48 핀 TQFP 플라스틱 패키지로 되어 있으며 -40 ~ 80 °C 의 온도에서 사용 가능하다. 버스트 모드 광수신기의 회로도들 그림

7 에 보였다.

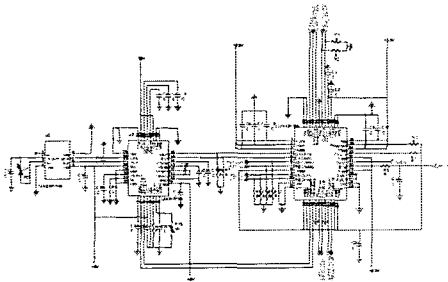


그림 7. 버스트 모드 광수신기 회로도  
Fig. 7 Circuit of the burst-mode optical receiver

그림 8 에 개발한 버스트 모드 광수신기 시제품 모듈(테스트 지그와 함께)의 사진을 보였다. 그림 9 는 제작된 광 수신기 모듈이 입력 광전력에 대해 넓은 다이내믹 레인지 (~20dB)를 가지고 있음을 보여 주는 데이터 결과를 보였다. 그림 9 (a)는

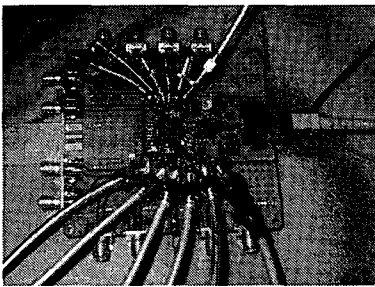


그림 8. 버스트 모드 광수신기 시제품 모듈  
Fig. 8 Prototype module of a burst-mode optical receiver

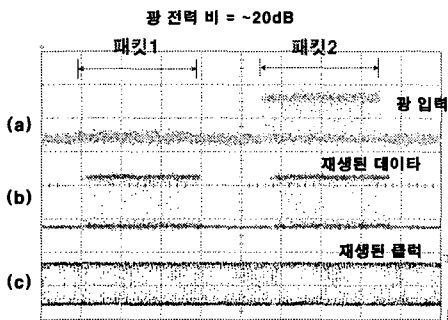


그림 9. 광전력 세기가 다른 두 패킷 신호에 대한 데이터 및 클럭 재생  
Fig. 9 Data and clock recovery for two packet signals with different amplitude

광 전력 세기가 ~20dB 차이가 나는 155.52 Mbps 속도의 입력 신호, 그림 9(b)는 메인 증폭기에 의해 데이터 신호 크기가 똑같아진 출력이다. 그림 9(c)는 재생된 클럭을 보였다. 그림 10에 그림 9의 광전력 세기가 작은 신호와 큰 신호에 대해 각각 시간 축에서 확대한 신호를 보였다.

버스트 모드 데이터(PRBS :2<sup>15</sup>-1)에 대하여 입력 광 전력 대 비트 에러율(Bit error rate, BER)을 측정하였다. 개발된 모듈을 항온 오븐에 넣고, 25도, 50도, 75도의 온도에서 각각 BER을 측정하였는데, 그림 11에 그 결과를 보였다. 온도가 75°C로 상승했을 때, 성능이 급격히 나빠짐을 확인할 수 있었다. 입력 광전력이 낮아서 생기는 오율과 너무 큰 광전력이 입사해서 생기는 오율 사이의 차이가 받아들일 수 있는 광전력의 다이내믹 레인지 이다. 따라서, 온도 25°C 에서는 ~25dB (@BER 10<sup>-10</sup>)의 다이내믹 레인지를 보인 반면, 온도 75°C에서는 ~20dB(@BER 10<sup>-10</sup>)을 보였다. 기존에 이미 상용화 되어 있는 제품과 비교했을 때 거의 비슷한 성능을 얻을 수 있었다.

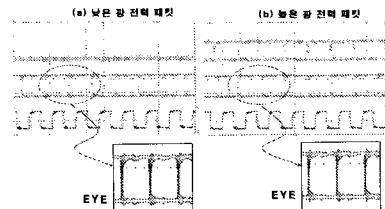


그림 10. 그림 9의 신호를 시간 축에서 확대  
Fig. 10 Magnification on the time axis for signals in Fig. 9

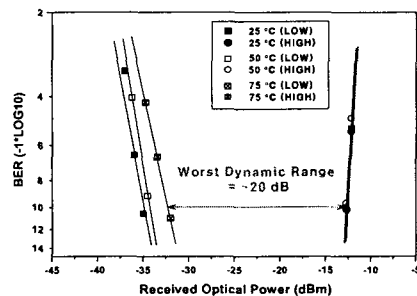


그림 11. 온도에 따른 버스트 모드 광수신기의 BER  
Fig. 11 BER measurements of the burst-mode optical receiver according to temperature

### V. 새로운 버스트 모드 클럭 재생기 제안 및 성능

본 논문에서 제안하는 새로운 방식의 버스트 모드 클럭 재생 회로를 설명하고, CPLD와 delay 칩을 이용한 구현 결과를 보인다. 버스트 모드 광 클럭 재생기를 위해서 그 동안 크게 두 가지 부류로 제안되었다. 첫 번째 방법은 고속 로직 게이트와 피드백 회로를 이용하는 방법이고, 두 번째 방법은 서로 다른 위상을 갖는 여러 개의 클럭을 생성한 후, 그 중 입력 신호와 가장 근접한 클럭을 뽑아내는 방법이다. 첫 번째 방법의 대표적인 특허[9]를 그림 12에 보였고, Lucent에서 발표된 두 개의 Gated VCO (Voltage-Controlled Oscillator)를 이용하는 방법[7]도 대표적이다. 두 번째 방법은 Alcatel에서 발표된 방법[10]으로서 서로 다른 여러 개의 위상을 갖는 다중 클럭 중에서 입력되는 데이터의 위상과 가장 근접한 클럭을 상관기를 이용하여 뽑아내는 방법이다.

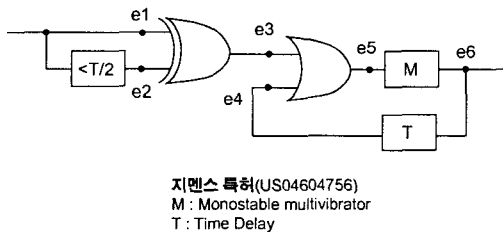


그림 12. Monostable multivibrator를 이용한 버스트 모드 클럭 재생 방법  
Fig. 12 Burst-mode clock recovery by using a monostable multivibrator

버스트 모드 클럭 재생을 위해 Alcatel에서 발표된 방법[10]은 그림 12에 보여준 방법 혹은 Lucent에서 제안된 방법에 비해 너무 복잡하며, 고속 동작하기 어려운 점이 있다. 따라서, 본 논문에서 제안하는 방법은 그림 12에 보여준 방법을 기본으로 하며, 이 방법을 개량하여 더욱 안정되고 신뢰성 있는 버스트 모드 클럭 재생을 수행할 수 있도록 한다. 우선, 그림 12에 보여준 방법을 자세히 살펴보자. 이 방법은  $<T/2$  전기 지연선, XOR 게이트, OR 게이트, Monostable Multivibrator,  $T$  전기 지연선으로 이루어져 있다. 그림 13에 그림 12의 방법을 설명하기 위한

타이밍 다이어그램을 나타내었다.

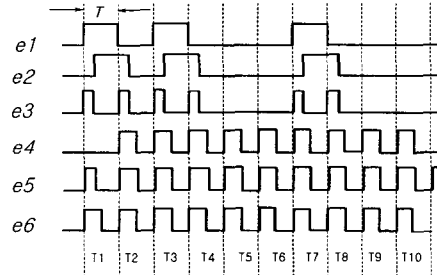


그림 13. 그림 12의 방법을 설명하기 위한 타이밍 다이어그램

Fig. 13 Timing diagram for explanation of the method in Fig. 12

하나의 비트 시간을  $T$  라고 하자. 그림 13과 같이 임의의 데이터가 들어가고, 이 데이터는 두 신호로 갈라져 하나의 신호  $e1$ 는 시간지연 없이 XOR 게이트로 입사되고, 또 다른 하나 신호  $e2$ 는  $<T/2$  시간 지연선을 거쳐 XOR 게이트로 들어간다. 그 결과로 그림 13에서와 같이  $e3$  신호가 만들어진다. 여기서, 게이트 전파 시간과 도선 전파 시간은 무시하고 생각하기로 한다. 오직 전기 지연선  $<T/2, T$  만을 고려하자. XOR 게이트에 의해 만들어진 전기 신호  $e3$  는 OR 게이트로 들어가는데, 이때, OR 게이트의 또 다른 입력인 피드백 신호  $e4$  가 '0'레벨 ( $T1$  시간에서) 이라 가정하면, OR 게이트의 출력  $e5$ 는 Monostable Multivibrator를 통과하여  $e6$  신호와 같이 출력된다. Monostable Multivibrator는 OR 게이트로부터 만들어진 출력 신호의 상승 에지를 검출하여 그 에지에 동기가 되어  $T/2$  시간만큼 레벨 "1"을 만들고 다시 레벨 "0"로 떨어지는 동작을 한다. 그 결과로  $e6$  신호와 같은 출력이 만들어진다.  $T1$  시간에서의  $e6$  신호는 피드백 루프에 있는  $T$  전기 지연선을 거치게 되면,  $T2$  시간에 OR 게이트의 입력 신호  $e4$ 가 된다. 따라서, 이 피드백 신호에 의해 입력 데이터가 없는  $T5, T6$  등의 구간에서 클럭 신호가 출력될 수 있다. 그러나, 피드백 루프 안에 있는  $T$  전기 지연선이 입력 데이터 주기  $T$  보다 작은 경우에는 극단적으로 불안정해지는 단점을 갖는다. 그것에 대한 설명을 그림 11에 보였다. 피드백 루프 안에 있는 전기 지연 시간을  $Tf$  라 하면,  $Tf$  가

T 보다 약간 클 때는 그림 14 (a) 에서와 같이 입력 데이터에 의해 생성된 e3 신호의 상승 에지에 동기가 되어 e6 신호가 발생되므로 안정적으로 클럭을 발생시킬 수 있다. 즉, 그림 13의 e5는 e3와 e4의 OR 한 결과이고, e5 신호의 상승 에지는 e3 신호에 의해 결정되고, 그 에지에 동기가 되어 monostable multivibrator의 출력이 발생된다. 따라서,  $\epsilon$  시간 늦게 나타난 e4 의 상승 에지는 아무 영향을 주지 못한다. 그러나, 그림 14 (b)와 같이 Tf 가 T 보다 약간 작을 때는 피드백 되는 e4 신호의 상승 에지에 동기가 되어 e6 신호가 출력되는데, 이 신호가 다시 피드백 되면, T-2 $\epsilon$  위치에 클럭이 나타난다. 따라서, 계속 피드백 될 경우, e6 출력은 '1' 레벨의 구간이 넓어지고, '0' 레벨 구간이 점점 줄어들어, 결국에는 '1'레벨만 출력된다. 즉, 입력 데이터와는 무관한 '1'레벨 신호만 발생되며, 클럭을 발생 시키지 못하게 된다.

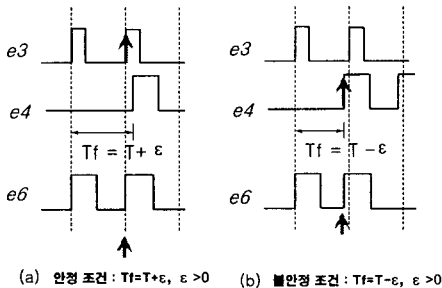


그림 14. 안정 및 불안정 조건  
Fig. 14 Stable and unstable condition

본 논문에서는 이 문제를 해결하는 방법을 제안한다. 상기의 불안정 문제점을 해소하기 위해 부가적인 회로를 첨가하여 피드백 전기 지연선이 입력 데이터의 주기인 T 보다 약간 크던지 작던 지에 관계없이 안정적으로 동작할 수 있는 새로운 방법을 제안한다. 상기의 기존 방법은 저속 버스트 모드 데이터의 클럭 재생에는 별 문제는 없어 보이나, 만일 입력 데이터의 속도가 높아지면, 처음에 피드백 시간  $T_f = T + \epsilon$  ( $\epsilon > 0$ ) 으로 고정 시켰다 하더라도 온도나 여러 가지 요인에 의해 Tf 의 값이 변화될 수 있으며, 따라서, 클럭 재생 회로가 불안정해 질 수 있다. 버스트 모드 클럭 재생기의 근본 원리는 입력 데이터가 있을 때는 입력 데이터에 동기가 맞는 클럭이 생성되다가,

데이터가 없는 구간에서는 피드백 주기를 갖는 클럭이 발생되도록 하는 것이다. 즉, 그림 13 에서  $T_f = T + \epsilon$  ( $\epsilon > 0$ )인 경우, 처음에 데이터 "1" 이 들어오고, 연속적으로 N개의 "0" 데이터가 입사되면  $N \times \epsilon$  의 오차가 발생한다.  $N \times \epsilon$  의 값이 T 보다 크기 전에 "1" 의 데이터가 들어와서 클럭 위상을 다시 조정해줘야 정확하게 동기가 맞게 된다. 그러나,  $T_f = T + \epsilon$  ( $\epsilon < 0$ ) 에 대해서는 상기한 바와 같이 전혀 클럭 재생이 안 되는 불안정 모드로 동작하게 된다.

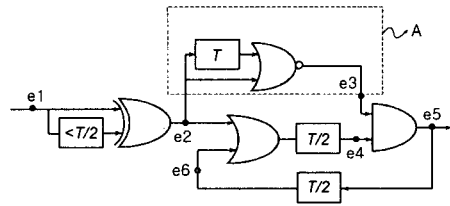


그림 15. 새로 제안하는 버스트 모드 클럭 재생 방법  
Fig. 15 New proposed burst-mode clock recovery method

그림 15 에 본 논문에서 제안하는 버스트 모드 클럭 재생기의 구조를 나타냈다. 제안되는 구조는  $<T/2$  전기 지연선, XOR 게이트, T 전기 지연선, NOR 게이트, AND 게이트, OR 게이트,  $T/2$  전기 지연선1,  $T/2$  전기 지연선2 로 이루어져있다. 제안된 방법의 동작을 설명하기 위해 그림 16 에 타이밍 다이어그램을 나타내었는데, 설명을 쉽게 하기 위해 "100000..."의 데이터가 입사하는 경우를 생각하겠다. 입사하는 데이터 e1 은  $<T/2$  전기 지연선 과 XOR 게이트에 의해 e2 와 같은 데이터를 출력한다. e2 신호가 그림 15 에서 'A'점선박스를 통과하면, e3 와 같은 데이터를 출력한다. 여기서, 주목할 점은 e3의 빗금 친 부분의 펄스를 제외하고 나머지 부분이 레벨 '1' 로 되어있는 점이다. 그리고, OR 게이트를 통과하는 e2 신호는  $T/2$  전기 지연선1을 거쳐 e4와 같은 신호가 된다. e3 와 e4 는 AND 게이트에 의해 e5 신호가 출력되고, 이 신호는 다시  $T/2$  전기 지연선2 거쳐 OR 게이트의 입력으로 피드백 된다. 제안하는 그림 15 의 구조를 기존의 방법 그림 12와 비교해 볼 때, 그림 15 에서 점선박스 부분인 'A'을 제외하고 거의 비슷한 구조를 갖는다. AND 게이트, OR 게이트, 그리고  $T/2$  전기 지연

선1,  $T/2$  전기 지연선2 로 이루어진 피드백 루프는 전체  $T$  만큼의 피드백 지연 시간을 주며, 입력 데이터가 없을 때, 그림 12의 방법에서와 같이 클럭을 발생시키는 역할을 한다. 문제는  $T/2$  전기 지연선1 과  $T/2$  전기 지연선2 로 이루어진 피드백 시간  $T_f=T+\epsilon$  이  $\epsilon>0$  이거나 혹은  $\epsilon\leq 0$  인 경우에도 안정하게 동작하도록 해야 하는 것이다. 그림 15의 빗금친 부분 'A'의 출력  $e_3$ 을 살펴보면, 빗금친 부분에서  $e_2$ 와 동일한 패턴을 가지고, 나머지 시간 영역에서는 "1" 값을 갖기 때문에 AND 게이트에 의해 빗금친 부분이 새로운 클럭으로서  $e_5$ 로 출력된다.

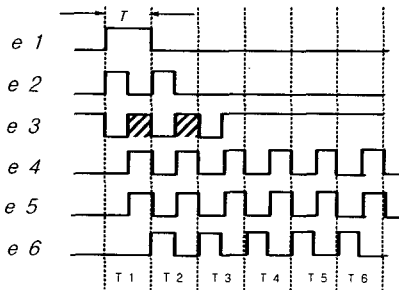


그림 16. 새로운 버스트 모드 클럭 재생 방법을 설명하기 위한 타이밍 다이어그램  
Fig. 16 Timing diagram for explanation of the new method

본 논문에서 제안하는 방법이  $T_f=T+\epsilon$  에서  $\epsilon>0$  이거나 혹은  $\epsilon\leq 0$  인 어느 경우에서도 입력 데이터에 의해 새로운 클럭이 발생될 수 있음을 보이기 위해 그림 17에 양 경우에 대한 타이밍 다이어그램을 보였다. 그림 17(a)는  $\epsilon>0$ 인 경우의 타이밍 도인데, 피드백 루프의 시간지연이  $\epsilon$  만큼 커져  $e_4$ 의 두 번째 펄스가 그 만큼 넓어진다. 그러나, 이 펄스는 입력 펄스로부터 만들어진  $e_3$ 의 빗금친 펄스와 AND 게이팅되어 다시  $e_5$ 와 같이 안정된 클럭을 만들어 낸다.  $\epsilon<0$ 인 경우를 그림 17(b)에 보였는데, 역시 마찬가지로  $e_4$ 의 두 번째 펄스와 같이 펄스폭이 넓어졌지만, 입력 데이터로 만들어진  $e_3$ 의 빗금친 펄스와 AND 게이팅되어 안정된 클럭을 만들어 낼 수 있게 된다.

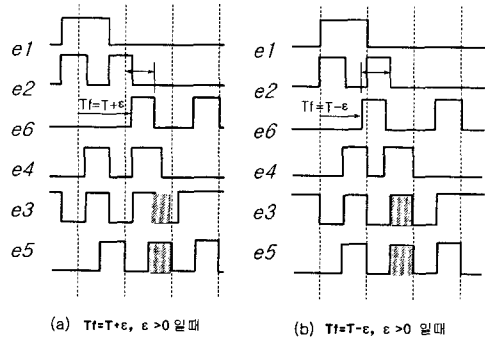


그림 17. 제안된 방법이 안정하게 동작할 수 있음을 보여주는 타이밍 다이어그램  
Fig. 17 Timing diagrams that show stable operations for any case by the proposed clock recovery method

이상에서 상술한 바와 같이 버스트 모드 데이터로부터 클럭을 추출하는 새로운 방법으로 기존 방법에서 해결하지 못한 피드백 신호에 의한 불안정 원인을 해결할 수 있으며, 아주 간단한 로직과 전기 지연선 추가만으로 회로를 구현할 수 있는 장점이 있다. 따라서, 향후에 고속 버스트 모드 클럭 재생기로도 사용될 수 있으며, 버스트 모드 뿐만 아니라, 연속적인 데이터의 클럭 추출에도 역시 사용할 수 있다.

제안된 회로의 테스트를 위해 XILINX의 XC9572XL 데모보드와 Micrel사의 programmable delay chip SY100E195을 이용하여 버스트 모드 데이터에 대한 클럭 재생을 테스트 해보았다. 그림 18에 클럭 추출을 위한 테스트 보드를 보였고, 그림 19(a)은 버스트 모드 데이터(155.52 Mbps)에 대한 클럭 재생 결과이다. 제안된 방법에 의한 버스트 모드 클럭 재생기의 BER 성능을 그림 19(b)에 보였었다. 결과에서 알 수 있듯이 상온에서 dynamic range가  $\sim 21\text{dB}$  (@BER  $10^{-10}$ ) 정도로 줄었다. 이는 delay chip을 3군데 사용했는데, 8비트 resolution을 갖는 delay chip을 사용하긴 했지만, 정확하게 상호 지연시간을 맞추기가 어려웠다. 또한, 하나의 칩 내에 구성된 것이 아니므로 외부 온도나 임피던스 영향에 의해 피드백 시간이 변동되어 전체 성능을 떨어뜨린 것으로 추정된다. 이러한 문제점은 회로 전체를 하나의 칩 내로 ASIC화 하면 해결할 수 있으리라 예상된다.



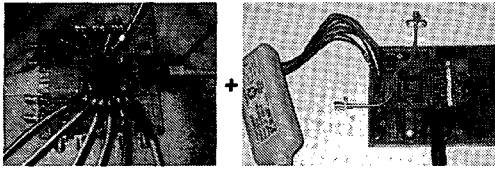


그림 18. 클럭 재생기 구현을 위한 CPLD 데모 보드  
Fig. 18 CPLD demo board for implementation of the proposed clock recovery

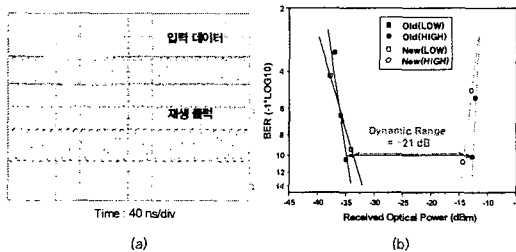


그림 19. 제안된 방법을 이용하여 버스트 모드 데이터에 대한 클럭 재생 및 BER 측정  
Fig. 19 (a) Clock recovery and (b) BER measurements for burst-mode data based on the proposed method

## VI. 결론

본 논문에서는 ATM-PON 등 TDMA를 적용하는 광 네트워크에 적용할 수 있는 버스트 모드 광 송수신기 모듈을 개발하였고, 성능은 이미 상용화된 제품과 거의 비슷하다. 광 수신기에서 핵심 부분인 버스트 모드 클럭 재생 부분에 대해 새로운 방법을 제안했으며, CPLD를 이용하여 실험적으로 검증하였다. 비록 상용화된 칩에 비해 dynamic range가 25dB에서 21dB로 떨어지긴 했지만, ASIC 칩화 했을 경우 성능이 상당히 많이 개선되리라 생각된다. 제안된 방법은 연속 모드 광신호 입력 데이터에 대해서도 동작 가능하며, 제안된 회로가 몇 개의 로직 게이트로 이루어져 있기 때문에 고속 전자 로직을 이용하여 구현 하면, 수 Gbps 이상의 버스트 모드 클럭 재생에도 적용 가능하다.

## 참고문헌

- [ 1 ] A. Oldyzko, "Data Networks Are Lightly Utilized, and Will Stay That Way," *IT Professional*, vol. 1, no. 2, pp. 67-69, March/April 1999.
- [ 2 ] K. Emura, "Multi-terabit/s DWDM; technologies and perspectives," in *Optical Fiber Communication Conference and Exhibit'2001*, vol. 1, pp. ML1-1 - ML1-3.
- [ 3 ] K. Fukuchi, T. Kasamatsu, M. Morie, R. Ohhira, T. Ito, K. Sekiya, D. Ogasahara and T. Ono, "10.92-Tb/s triple-band/ultra-dense WDM optical-repeated transmission experiment," in *Optical Fiber Communication Conference and Exhibit' 2001*, vol. 4, pp. PD24-1 - PD24-3.
- [ 4 ] I.R. Cooper and M.A. Bramhall, "ATM passive optical networks and integrated VDSL," *IEEE Communications Magazine*, vol. 38, Issue 3, pp.174 - 179, March 2000.
- [ 5 ] S. Yamashita, S. Ide, K. Mori, A. Hayakawa, N. Ueno and K. Tanaka, "Novel cell-AGC technique for burst-mode CMOS preamplifier with wide dynamic range and high sensitivity for ATM-PON system," *IEEE Journal of Solid-State Circuits*, vol. 37, Issue 7, pp. 881 - 886, July 2002.
- [ 6 ] E. Sackinger, Y. Ota, T.J. Gabara and W.C. Fischer, "15 mW, 155 Mb/s CMOS burst-mode laser driver with automatic power control and end-of-life detection," in *Solid-State Circuits Conference, ISSCC'99*, pp. 386 - 387, Feb. 1999.
- [ 7 ] Y. Ota, R.G. Swartz, V.D. Archer, S.K. Korotky, M. Banu and A.E. Dunlop, "High-speed, burst-mode, packet-capable optical receiver and instantaneous clock recovery for optical bus operation," *IEEE Journal of Lightwave Technology*, vol. 12, pp. 325-331,1994.

- [ 8 ] Hyuek Jae Lee, Kwangjoon Kim, and Hae Guen Kim, "All-optical burst-mode clock extraction based on the thresholding operation of a modified terahertz optical asymmetric demultiplexer", *Optics Communications*, vol. 160, pp. 225-229, 1999.
- [ 9 ] S. Moustakas and H.-H Witte, "Device for recovering a synchronized clock signal from a signal sequence," U.S. Patent 4604756, 1986.
- [10] C.A. Eldering, F. Herrerias-Martin, R. Martin-Gomez and P.J. Garcia-Arribas, "Digital burst mode clock recovery technique for fiber-optic systems," *IEEE Journal of Lightwave Technology*, vol. 12, pp.271-279, 1994.
- [11] S. Kimura, M. Nogawa, K. Nishimura, T. Yoshida, K. Kumozaki, S. Nishihara, Y. Ohtomo, "A 10-Gbit/s CMOS-burst-mode clock and data recovery IC for a WDM/TDM-PON access network," *LEOS 2004*, Vol. 1, pp. 310-311, 2004.

## 저자약력

### 이혁재(Hyuek Jae Lee)



1987년 2월 충남대학교 전자공학과 (공학사)

1989년 2월 KAIST 전기및 전자공학과(공학석사)

1994년 2월 KAIST 전기및 전자공학과(공학박사)

1994년 3월~1995년 7월 LG 전자기술원, 선임연구원

1995년 7월~2000년 8월 ETRI, 선임연구원

2000년 8월~2001년 11월 Univ. of California, Davis, Research Associate

2001년 11월~2002년 12월 ROSWIN-USA, Inc. at San Jose, CEO/CTO

2003년 1월~2003년 8월 한국정보통신대학교, 연구교수

2003년 9월~현재 경남대학교 정보통신공학부, 조교수

※ 관심분야 : Passive optical networks(PON), Optical packet switching, High-speed optical networking, Neural networks, Genetic algorithm for optimization