

# 고속 실리콘 박막 증착 기술 동향

글 \_ 홍완식 || 세종대학교 전자공학과  
wshong@sejong.ac.kr

## 1. 머리말

국내외적으로 정보화 사회가 급격히 발전하면서, 종래의 키보드와 모니터로 상징되던 정적인 컴퓨팅 환경이 컴퓨터 및 단말기를 몸에 착용하는 웨어러블 컴퓨팅 및 일상 생활 주변의 모든 사물에 정보 소자를 탑재하여 유기적으로 연결하는 유비쿼터스 컴퓨팅 환경으로 진화하고 있다. 따라서 기존의 실리콘 웨이퍼 뿐만이 아니라 유리, 플라스틱 등 다양한 기판 재료 위에 반도체 소자를 집적하는 연구가 활발히 진행되고 있다.<sup>1-3)</sup> 이러한 정보 기기들은 휴대성을 극대화하기 위해 자체적으로 전원을 공급할 수 있는 기능을 갖추고 있어야 하며, 가장 적합한 형태는 박막 형태로 정보기기 표면에 장착된 태양전지라고 할 수 있다.

지금까지는 일상 생활에서 사용하는 정보 단말기에 각종 센서 또는 표시장치 등을 탑재하는 수준에서 연구가 이루어졌으며, 탑재되는 소자들도 비교적 구조가 간단하고 고품위의 전기적 특성을 필요로 하지 않는 비정질(amorphous) 반도체가 대부분이었다. 또한 탑재되는 전원 장치도 손목시계나 전자계산기 등에 low-end의 비정질 실리콘 태양전지가 대부분이었다. 그러나 디지털 컨버전스(digital convergence) 추세에 의해서, 기존에 착용하고 다니던 약세서리나, 종래에는 하나의 주변기기로만 인식되던 표시장치(display), 송수신 단말기 등에 복잡한 정보 처리 기능이 부가되어 독립적이고 특화된 컴퓨팅 시스템으로 진화되고 있다. 예를 들면, 신용카드 형태의 기판에 한 쪽 면에는 태양전지, 다른 쪽 면에는 초박형 디스플레이 및 각종 센서, 그리고 가운데는 정보 처리

를 위한 논리 소자 기억 소자 및 RFID 등을 laminate 시킨 모바일 정보 단말기 등을 생각해 볼 수 있다. 이러한 소자 제작을 위해서는 비교적 높은 전자 이동도를 갖는 다결정(polycrystalline) 실리콘 소재를 다양한 표면에 박막 형태로 증착할 수 있는 기술이 요구되는 실정이다.

기존의 다결정 실리콘 박막은 주로 비정질 실리콘 박막을 먼저 증착한 후 레이저 빔을 조사하여 순간적으로 용융/재결정화 함으로써 얻을 수 있다.<sup>4)</sup> 그러나, 이러한 방법은 플라스틱과 같이 내열성이 매우 낮은 재료 위에 적용하기는 곤란하다. 다결정 박막의 전구물질(precursor)인 비정질 박막은 낮은 온도 범위에서 증착된 경우 일정량의 수소를 포함하고 있는데, 이 수소들은 레이저 결정화 과정 중에서 기체 형태로 급격히 박막을 이탈함으로써 박막을 훼손하게 된다. 이러한 잔류 수소를 제거하기 위해서는 보통 400°C 이상의 온도에서 탈수소(dehydrogenation) 열처리가 필요하다.<sup>5)</sup> 이러한 방법들은 공정 수가 많아 균일도 및 생산성 측면에서 많은 문제를 갖고 있으며, 특히 레이저로 스캔하여 결정상을 얻는 방법은 대면적, 대량생산에는 적합하지 않은 것으로 알려져 있다. 따라서 탈수소나 레이저 공정을 거치지 않고 다결정 박막을 직접 증착하는 연구가 활발히 진행되고 있으나, 전자 소자에 적용할 수 있는 수준에는 아직 도달하지 못하고 있으며, 반응 라디칼들의 거동이나 결정상 성장과 관련된 운동역학(kinetics) 측면은 이론적으로 잘 알려져 있지 않다.

다결정상의 실리콘을 직접 증착하는 경우에는 원료 기체에 다량의 수소를 혼합해 주게 된다. 그 이유는 크게 두 가지로 추정되고 있는데, local strain의 감소 및 성장

표면에 약하게 결합된 원자들의 제거이다. Local strain 이란, 기판 위에 랜덤하게 흡착되어 결합한 원자들이 격자 내의 지정된 위치로 이동하는 과정에서 이웃 원자들과의 거리가 평형 상태보다 길어지거나 짧아져 국지적인 응력이 발생하는 것을 말한다. 수소를 다량 첨가하여 주면 수소 원자들이 실리콘-실리콘 결합을 끊고 실리콘-수소 결합으로 대체함으로써 이러한 응력을 감소하게 된다. 또한 성장 표면에 도달하여 흡착된 반응 라디칼들이 결정상의 정확한 위치에 있지 않을 때에는 그 결합력이 약한 상태로 있는데, 이들이 주변의 실리콘 원자들과 결합하기 이전에 수소와 결합하여 기체 분자의 형태로 다시 기상 공간으로 돌아가므로 결정질 박막의 성장을 돕게 된다. 이러한 과정들로 인하여 결정질 박막의 증착속도는 비정질 박막에 비해 매우 느리며, 내열성이 비교적 낮은 다양한 기판 위에 증착하고자 증착 온도를 낮출 경우, 양질의 박막을 얻기 위해서는 증착 속도를 더욱 늦춰야 한다. 따라서 낮은 온도 범위에서 고속 기술 증착의 중요성은 더 커진다.

이상 논의한 바와 같이 태양 전지 등의 power source 뿐만 아니라 정보 처리용 논리 소자, 각종 센서 또는 RFID, 평판 디스플레이 등의 표시 소자 등을 융합하여 사물의 표면에 탑재하거나 신용카드 형태의 초박형으로 laminate한 융합형 기기의 개발을 위해서는 집적 회로를 구성할 수 있는 수준의 우수한 전기적 성질을 지닌 박막을 다양한 형태의 기판 위에 자유롭게 형성할 수 있는 기반 기술이 필수적이다. 본 글에서는 기존의 산업체에서 양산에 사용되는 실리콘 박막 증착 기술 외에 고속으로 박막을 증착할 수 있는 기술들의 현황 및 향후 전망에 대해 간단히 소개하고자 한다.

## 2 고밀도 플라즈마 화학기상 증착법(High-Density Plasma Chemical Vapor Deposition)

전술한 바와 같이 박막의 고속 증착을 위해서는 기판 표면에서의 반응을 위한 활성물질(또는 라디칼)의 공급이 충분해야 한다. 반도체 및 절연체 박막 증착에 많이

이용되는 플라즈마 화학기상 증착 방식의 경우 (Plasma Enhanced CVD) 평행한 두 전극 사이로 원료 기체를 주입하고, Radio frequency 이상의 고주파 전계를 인가하여 플라즈마를 발생시킨다. 플라즈마에 의해 원료 기체가 분해되면서 생성된 반응 라디칼은 이온화율이 통상적으로 매우 낮으므로, 반응 chamber 내에 존재하는 라디칼의 농도는  $10^{10} \text{ cm}^{-3}$  정도에 불과하고 비정질 실리콘 박막의 경우 증착 속도는 약  $1 \text{ \AA/sec}$  수준에 불과하다.<sup>6)</sup> 따라서 ECR-CVD, ICP-CVD 등, 자기장을 이용하여 라디칼의 농도를 1~2 orders of magnitude 증가시키는 high-density plasma source 들이 개발되었다.

### 2.1 ECR-CVD

Electron Cyclotron Resonance (ECR) CVD의 개략적인 구조도를 Fig. 1에 나타내었다.<sup>7)</sup> 주로 microwave에 의해 주입된 에너지는 공명흡수(resonant absorption)에 의해 플라즈마에 전달되고, 여기에 수직으로 인가된 자기장은 전자에 대해 다음과 같은 로렌츠 힘(F)을 작용한다.

$$F = -q(v \times B)$$

이 때, q는 전자의 전하량, v는 전자의 속도, B는 자기장의 세기를 각각 나타낸다. 이 방정식의 해는 전자의 원운동을 의미하며, 전자는 다음과 같은 orbital frequency( $\omega_g$ )를 갖고 원궤도를 돌게 된다.

$$\omega_g = \frac{qB}{m}$$

즉, 전기장만 단독으로 존재하는 상황에서의 전자들은

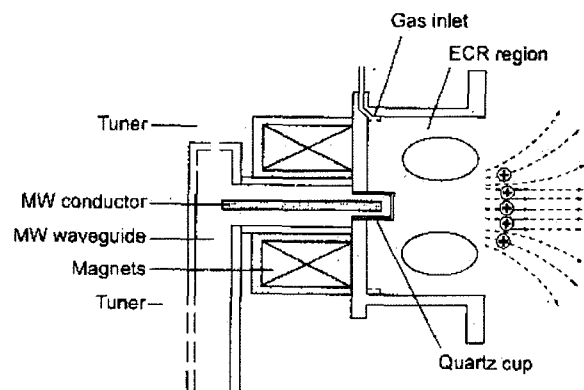


Fig. 1. ECR-CVD의 기본 구조



직선운동을 하게 되지만, 자기장이 부가되면 원운동에 의해 궤적이 더 늘어나게 된다. 가속된 전자는 더 많은 거리를 이동하게 됨에 따라 더 많은 기체 분자들과 충돌하여 이온화 시킴으로  $10^{12} \text{ cm}^{-3}$  정도의 높은 플라즈마 밀도를 얻을 수 있다. 비정질 실리콘 박막의 경우  $10 \text{ \AA/sec}$  이상의 높은 증착률이 보고되고 있다. 그러나, 그림에서 보는 바와 같이 환형(torus) 영역을 따라서만 강한 플라즈마가 형성되므로, uniform한 증착을 위해서는 기판과 플라즈마 source 사이에 충분히 먼 간격을 유지해야 한다. 이 방법은 직경 12 인치 이상의 면적을 갖는 기판에는 적용하기 힘든 것으로 알려져 있다.

## 2.2 ICP-CVD

Inductively Coupled Plasma (ICP) 화학기상 증착법은 매우 오랜 역사를 갖고 있다. 이는 플라즈마를 유지하는데 필요한 에너지를 자기장에 의해 공급하는 것으로서 Fig. 2에 그 개략적인 구조를 나타내었다.<sup>8)</sup> 유전체 원통 주위에 감긴 코일로부터 자기장이 발생하여 반응 chamber 안까지 전달된다. 코일에는 높은 주파수의 교류가 흐르므로 자기장 역시 높은 주파수로 극이 바뀌며, 방전 영역(discharge region)에 집속(file)된다. 이 자기장이 다시 전기장을 유도하고 이 전기장에 의해 전자가 가속되어 기체분자와 충돌, 플라즈마를 발생시킨다. 이 방법은  $10^{11} \sim 10^{12} \text{ cm}^{-3}$  정도의 plasma 밀도를 얻을 수 있으며, ECR source에 비해 대면적에 적용하기가 용이하다. 그러나, 고전압을 사용하지 않으므로, 낮은 압력에서는 플라즈마를 접화하기 어렵다는 단점이 있다.

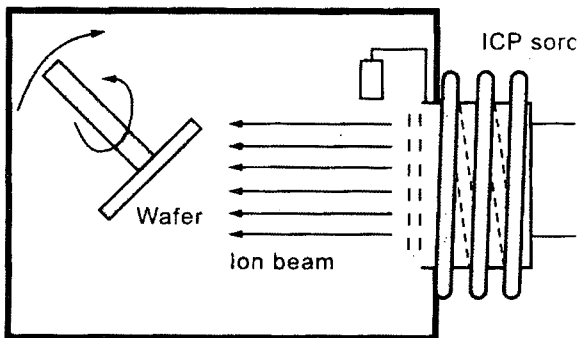


Fig. 2. ICP-CVD의 구조도

## 3. Catalytic CVD

Catalytic Chemical Vapor Deposition (Cat-CVD) 기술은 1970년대에 제안되어 많은 발전을 거듭해 온 박막 형성 기술로서 전자 소자를 제작하기에 충분한 전기적 성질을 갖는 (device quality) 반도체 및 유전체 박막을 제조하는 연구들이 많이 보고된 바 있다.<sup>9)</sup> 반응기(chamber) 내로 주입된 원료 기체가 매우 높은 온도 ( $1800^\circ\text{C}$  이상)의 filament에 의해 분해되므로 생성된 반응성 라디칼들이 높은 반응성 및 표면이동도를 갖는 장점이 있다. 특히 이 기술은 현재 산업체에서 널리 쓰이고 있는 Plasma Enhanced Chemical Vapor Deposition (PECVD) 방법에 비해 원료 gas의 변환 효율이 매우 높아 원하는 두께의 박막을 매우 빠른 속도로 증착할 수 있고, plasma bias tuning을 위한 연속적인 공정 monitoring의 부담이 없으므로 향후 원가 절감 및 생산성 향상 측면에서 PECVD를 대체할 수 있는 주요 후보 기술로 자리매김하고 있다.

### 3.1 Catalytic CVD 관련 국내의 연구 동향

Catalytic Chemical Vapor Deposition (Cat-CVD 또는 Hot-Wire CVD) 기술은 Plasma Enhanced Chemical Vapor Deposition (PECVD) 등 여타의 박막 증착 기술과 비교하여 원료 gas의 이용 효율이 매우 높아 빠른 시간 내에 원하는 두께의 박막을 얻을 수 있다는 장점과 특히 실리콘 계열의 박막 증착 시 저온에서 독특한 특성을 얻을 수 있다는 점 등으로 말미암아 각광을 받아 왔다. 그러나, 반응 촉매의 역할을 하는 filament의 자체 하중에 의해 filament와 기판 간의 간격을 일정하게 유지하기가 어려워 대면적에 적용하는 데 어려움이 있고, filament의 표면이 원료 기체와 반응함으로써 시간에 따라 박막의 특성이 열화(degradation)되는 등의 단점이 있어 산업체에서는 아직 광범위하게 적용되지 못하고 있다. Catalytic CVD 기술은 반도체 공학 측면에서 이미 미국, 일본, 유럽 등 선진국에서는 매우 활발하게 연구되고 있는 분야로서 2000년도부터는 이 기술만을 주제로 하는 국제 학회도 매년 개최되고 있다. 또한 최근 들어 관심이 높아지고 있는 나노 공학 분야와의 접목도 이루어지면서 더욱 연구

가 활성화되고 있다.<sup>10)</sup>

최근 들어 실리콘 박막의 최대 수요처인 평판 디스플레이 산업의 급속한 발전과 함께 공정 단가 절감에 대한 요구가 거세어지고 있어, amorphous silicon (a-Si)에 대해서는 높은 증착률 및 gas 사용 효율을 poly-crystalline silicon (poly-Si)에 대해서는 탈수소 공정의 배제 또는 amorphous precursor를 재결정화하는 공정을 거치지 않고 직접 다결정 박막을 증착하는 기술 등에 대한 관심이 높아지고 있다.<sup>11)</sup> 또한 상대적으로 유지 보수 관리 비용이 많이 들어가는 plasma 공정을 보다 단순하고 값싼 공정으로 대체하려는 움직임이 일고 있어 이와 같은 가능성에 가장 근접한 대체 공정으로서 Catalytic CVD 기술이 각광을 받고 있다.

일본에서는 신에너지산업기술개발기구(NEDO)를 중심으로 하여 amorphous silicon (a-Si), poly-crystalline silicon (poly-Si), silicon nitride (SiNx) 등을 증착하는 기술을 연구하고 있다.<sup>12-14)</sup> a-Si의 경우 기판 온도 150 - 300°C, poly-Si의 경우 300 - 450°C, SiNx의 경우 200 - 300°C 범위에서 증착이 가능하며, PECVD 방법에 의해 얻은 박막과 비슷한 수준의 전기적, 광학적, 기계적 특성을 나타내는 것으로 보고된 바 있다. Catalytic CVD법에 의한 a-Si TFT는 field effect mobility ~0.5 cm<sup>2</sup>/Vsec, on/off current ratio > 10<sup>6</sup> 정도로서 PECVD 법으로 제작한 TFT와 동등 수준의 동작 특성을 나타내며, p-Si TFT는 수십 cm<sup>2</sup>/Vsec 수준의 mobility를 나타내지만 과도한 수소 희석(hydrogen dilution)에 따른 주상 박막 성장(columnar film growth)으로 인해 누설 전류(leakage current)가 증가하면서 충분히 큰 on/off current ratio를 확보하기 힘든 것으로 알려졌다.<sup>15)</sup>

미국에서는 National Renewable Energy Laboratory (NREL) 및 Department of Energy (DOE)를 중심으로 태양전지에 적용하기 위한 연구, 미세결정이 형성되기 직전 상태인 proto-crystalline silicon (pc-Si)를 만들기 위한 연구, 대면적 증착 및 run-to-run variation을 최소화 할 수 있는 장비의 개발, epitaxial layer를 성장시키기 위한 연구, diamond-like-carbon 박막을 만들기 위한 연구 등이 진행되고 있다.<sup>16,17)</sup> Diamond-like-carbon 박막은 현재는

Microwave CVD에 의해 증착하는 것이 주류를 이루고 있으나 원칙적으로 Catalytic CVD를 통하여서도 증착이 가능한 것으로 알려져 있으며, Cat-CVD가 갖는 여러 가지 장점들로 인해 지속적인 연구가 진행되고 있다.

유럽 연합에서는 네덜란드, 포르투갈, 스페인, 프랑스, 독일 등을 중심으로 활발히 연구가 진행되고 있다. 단결정 Si wafer 위에 Catalytic CVD microcrystalline silicon (μc-Si) heterojunction을 사용한 태양전지는 10% 이상의 효율을 나타내는 것으로 보고 되고 있으며, 중앙에 intrinsic a-Si layer를 삽입한 구조에서는 12% 대의 효율을 갖는 태양전지도 발표되었다.<sup>18)</sup> Cat-CVD를 Thin Film Transistor에 적용한 경우, 150°C 정도의 낮은 온도에서 증착한 a-Si channel을 사용하였을 때 0.7 cm<sup>2</sup>/Vsec 정도의 mobility가 관찰되었으며, μc-Si의 경우 1.5 cm<sup>2</sup>/Vsec 정도의 mobility를 나타내었다.<sup>19-21)</sup>

### 3.2 Catalytic CVD 개요

앞에서 언급된 바와 같이 Catalytic CVD를 사용하여 박막을 증착하는 데 있어 가장 근본적인 문제점 중 하나는 1800°C 이상 고온의 filament (catalyst)로부터 방출되는 복사열을 기판이 흡수하여 시간에 따라 기판 표면의 온도가 급격히 높아지는 것이다. 특히 내열성이 낮은 플라스틱 기판을 사용하는 경우에는 기판재질의 glass tran-

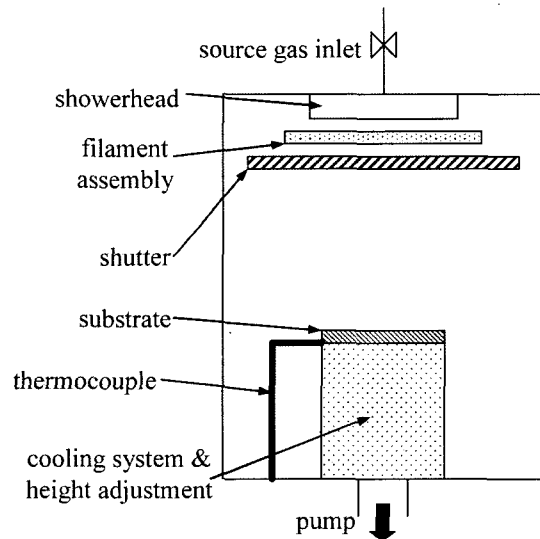


Fig. 3. Catalytic CVD system의 개요도

sition temperature ( $T_g$ ) 이상으로 종종 가열되어 비가역적인 손상을 일으키게 된다. 따라서 복사열을 최대한 차단하고 증착 시스템의 다른 부분으로의 흡수, 방출을 유도하여 증착 과정 중의 승온을 최대한 억제하여야 한다.

Fig. 3에는 Catalytic CVD 시스템의 개요도를 나타내었다. 원하는 조성을 갖도록 혼합된 원료 gas는 gas inlet valve를 거쳐 showerhead를 통하여 chamber 내에 고르게 분사된 후, 1800°C 이상으로 가열된 filament에서 높은 반응성을 갖는 이온 라디칼로 분해 되어 기판 표면에서 고상 반응을 통해 실리콘 박막을 형성하게 된다.

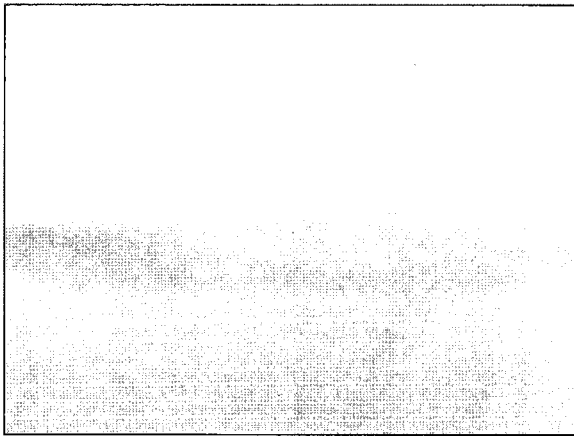


Fig. 4. 0.2mm 두께의 PES 기판 위에 증착된 비정질 실리콘 (a-Si) 박막.

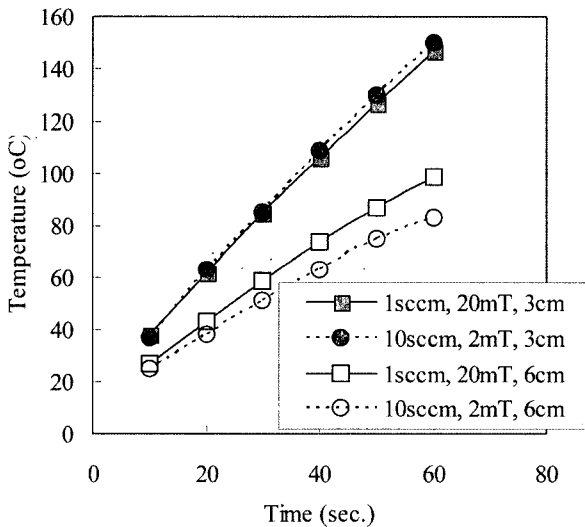


Fig. 5. 상온에 거치된 기판의 Catalytic-CVD 증착 과정 중 승온 거동.

### 3.3 다결정 전구물질로서의 비정질 실리콘 박막 증착

Fig. 4에는 본 Catalytic CVD system을 이용하여, 내열 온도 180°C인 polyethersulfone (PES) sheet 에 1000 Å 두께의 비정질 박막을 증착한 사진을 나타내었다. 원료 기체로는 순수한 silane( $\text{SiH}_4$ )을 사용하였으며, filament 의 온도는 1800°C, filament와 기관 사이의 간격은 3 cm 였다. 기관의 온도를 측정한 결과 Fig. 5에서 보듯이 증착 공정 중 온도는 플라스틱 기관의 내열온도 이하로 유지되었음을 확인할 수 있었다.

Fig. 6에는 Catalytic CVD로 증착한 비정질 실리콘 박막에 대하여 반응기 (chamber) 내의 압력과  $\text{SiH}_4$  유량 (flow rate)이 증착률(deposition rate)에 미치는 영향을 3차원 그래프로 나타내었다. 분당 최고 6000 Å에 달하는 (=100 Å/sec) 매우 높은 증착률을 얻을 수 있었으며, 이는 PECVD 방법으로 통상적으로 얻을 수 있는 증착률보다 10배 이상 높은 값이다. 증착률은 flow rate이 증가함으로써 원료 기체의 공급이 많아질수록, 그리고 압력이 증가함으로써 기체 분자 및 반응 라디칼들이 chamber 내에 머무르는 시간이 길어질수록 거의 선형적으로 증가한다. 이는 주어진 공정 범위 내에서 비정질 실리콘 박막의 형성은 반응 표면에 얼마나 많은 라디칼들이 존재하느냐에 따라 좌우된다고 볼 수 있다.

그러나 30 Å/sec. 이상의 고속으로 증착된 박막은 그 밀도 및 기판에의 접착력(adhesion)이 급격히 저하되어, 표면 거칠기(surface roughness)가 커지고 쉽게 박리(delamination) 현상이 일어난다. Fig. 7에는 반응 chamber 내 압력과 원료 gas 유량에 따라 최적의 morphology

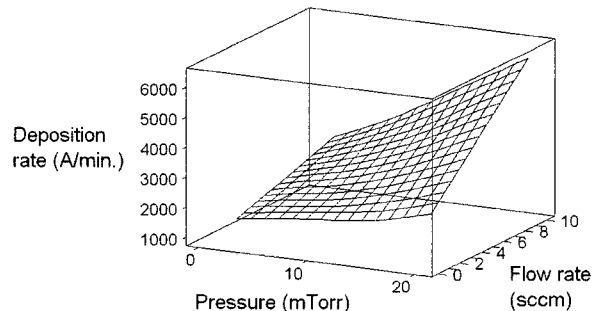


Fig. 6. Chamber 내 압력과 원료 기체의 유량이 증착률에 미치는 영향.

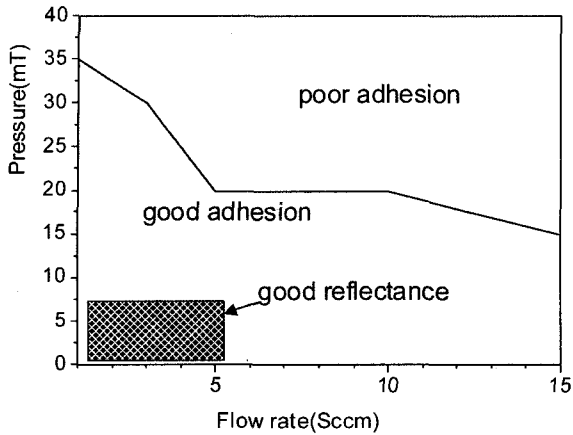


Fig. 7. 최적의 surface morphology를 얻기 위한 공정 윈도우 다이어그램.

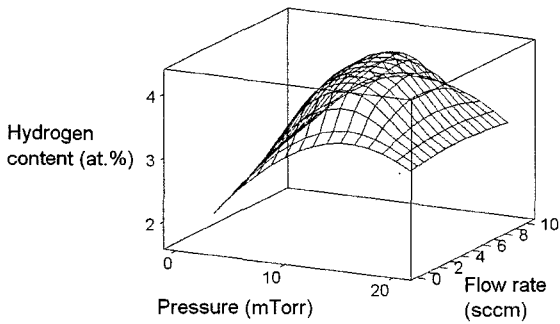


Fig. 8. Chamber 내 압력과 원료 기체의 유량이 비정질 박막 내의 수소 함유량에 미치는 영향.

를 얻을 수 있는 공정 범위를 나타내었다.

Fig. 8에는 반응기 (chamber) 내의 압력과  $\text{SiH}_4$  유량 (flow rate)이 비정질 박막 내 수소 함유량(content of atomic hydrogen)에 미치는 영향을 3차원 그래프로 나타내었다. 앞의 증착률의 경우에서와는 달리 chamber pressure 및 flow rate의 중간값 범위에서 수소 함량이 최대를 나타내고, 특히 pressure에 민감하게 반응하는 것을 볼 수 있다. 이러한 결과로부터 박막 내 수소 함량은 공급되는 수소 라디칼의 양과, 표면에서의 반응에 의해 gas 형태로 빠져나가는 수소의 양의 균형에 의해 결정된다는 사실을 유추해 낼 수 있다.

Catalytic CVD에서는 plasma를 사용하는 공정과는 달리, 매우 높은 온도의 filament에 의해 원료 gas의 dissociation이 일어나므로, Fig. 6에 나타난 결과를 바탕으로 모델링을 수행하고 이를 extrapolation함으로써 실리콘 박

막의 수소 함량을 2% 이하로 낮출 수 있었다. 이는 탈수소 공정 없이 바로 laser에 의한 활성화가 가능한 수준으로서 다결정 실리콘 소자를 제작하기 위한 process architecture에 직접 적용될 수 있다.

Fig. 9는 2% 이하의 낮은 수소 함량을 나타내는 시료에 대한 FTIR 흡수 스펙트럼을 나타낸다. PECVD 법에 의해 증착된 일반적인 비정질 실리콘 박막에 비해 wavenumber  $2000 \text{ cm}^{-1}$  근처에서 나타나는 실리콘-수소 (Si-H) 결합의 특성 peak이 매우 작다. Wavenumber  $2100 \text{ cm}^{-1}$ 에서 나타나는 특성 peak은 H-Si-H 형태의 결합으로서 박막 내의 미세한 공간(microvoid)이나 계면 등을 나타내는데, 통상적으로는 Si-H peak의 어깨 부분에 작게 나타나지만, 여기서는 Si-H peak이 워낙 작으므로 거의 비슷한 수준의 intensity를 보이고 있다.

향후 catalytic CVD를 이용하여, 플라스틱 기판에 laser 결정화를 거치지 않고 다결정 실리콘을 직접 증착할 수 있는 공정을 확보한다면 다결정 실리콘 박막 태양 전지 기술에 있어 중요한 breakthrough를 기대할 수 있을 것이다. 현재까지 문헌 상에 보고된 바로는 catalytic CVD를 사용하더라도 기판 온도를  $300^\circ\text{C}$  이상으로 올려야 다결정 실리콘을 얻을 수 있는 것으로 알려져 있으며, 균질(homogeneous)한 박막보다는 주상(columnar) 형태로 성장하려는 경향이 있어 column들 사이의 빈 공간을 통해 상하 전극이 전기적으로 단락(short)되기도 한다.<sup>15)</sup> 따라서 상온 범위에서 균질한 다결정 박막을 직접 증착하는 기술을 확보하면, 고효율 박막 태양전지를 탑재한 모바일 기기를 개발하는 데 크게 기여할 수 있을 것이다.

#### 4. 향후 전망 및 기대 효과

2004년 12월 유럽 연합에서는 향후 3년 이내에 다결정 실리콘을 이용한, 입을 (wearable) 형태의 태양전지를 상용화 하겠다는 계획을 발표하였다. 국내에서도 wearable electronics에 대한 전시회 및 심포지움이 빈번히 열리는 등 최근 들어 관심이 고조되고 있다.

저온 catalytic CVD 기술은 이러한 각종 형태의 wearable electronics를 제작하는 핵심 기술로서 매우 중요한

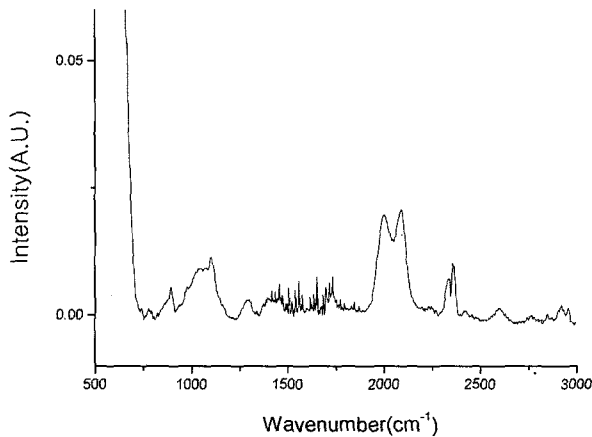


Fig. 9. 수소 함유량 2% 이하인 비정질 박막 시료의 FTIR 흡수 스펙트럼.

의미를 갖고 있다. 특히 wearable electronics가 갖추어야 할 조건으로서는 flexibility 뿐만 아니라 장기적으로 볼 때 상용화를 위해서 공정 단가가 낮아져야 하므로, catalytic CVD를 사용하여 플라스틱 기판 위에 다결정 박막을 직접 증착할 수 있다면, 매우 큰 경제적/학문적 파급 효과를 낼 수 있으리라 기대된다.

박막 태양전지는 모바일 환경에서의 복합형 정보기기 개발 등 많은 분야에서, 21C의 신성장엔진 기술로 기대되는 디지털 컨버전스 전자정보 산업의 로드맵을 논의하는데 있어 절대 배제할 수 없는 중요한 소자이다. 따라서 플라스틱 등 연성 기판을 비롯한 다양한 형태의 기판 위에 고효율 박막 태양전지를 형성하는 기술의 확보는 전자정보 공학 관련 소재 및 소자 개발의 국제적인 기술 경쟁력 확보 측면에서도 매우 중요하다. 아울러, 저온에서의 고속 박막 증착 기술은 향후 전자소자 제조 및 개발 현장에서 이루어지는 공정 개선을 위한 단위 공정 평가 기술의 확보에도 활용되어 생산성 향상에도 기여할 것이며 이를 통해 신체 착용형 정보기기 관련 제품의 시장 경쟁력 확보에 일익을 담당할 것이다.

다결정 실리콘 박막 형성의 중간 단계인 micro-crystalline 및 nano-crystalline 실리콘 박막은 비정질 matrix 안에 micrometer 또는 nanometer 규모의 미세한 결정 조각들이 분산되어 있는 형태로서 독특한 물성을 나타내게 되어 꾸준히 연구가 되어 오고 있는 분야이다.<sup>22)</sup> Catalytic

CVD에 의한 고속 증착 연구에서 얻어진 원자 거동에 대한 지식을 바탕으로 nano-crystalline 실리콘의 결정립 크기, 배열 방향 등을 제어할 수 있는 연구를 계속한다면, 양자점 (quantum dot) 등을 기반으로 하는 차세대 반도체 기술과도 연계시킬 수 있는 가능성이 있다.

### 참고문헌

1. H.Li and S.J.Fonash, 206th Meeting of the Electrochemical Society, Honolulu, HI, Oct. 3-8, 2004.
2. J.M.Kim, W.S.Hong, H.Lim, D.Y.Kim, J.S.Jung, J.Y.Kwon and T.Noguchi, "Ultra-low Temperature Process by Ion Shower Doping Technique for Poly-Si TFT on Plastics," Proceedings of the 1st International TFT Conference, pp.123-125, Mar. 14-15, 2005.
3. S.Wagner, "Issues in Processing a-Si/nc-Si TFTs on Flexible Substrates," Materials Research Society Spring Meeting, San Francisco, CA, Apr. 12-16, 2004.
4. 김상수, 김용배, 김현재, 이신두, 이종덕, 임성규, 장진, 정태형, "디스플레이공학I" pp.233-268, 청범출판사 2000.
5. S.D.Brotherton, D.J.McCulloch, J.P.Gowers, J.R.Ayres, M.J.Trainor, "Influence of Melt-Depth in Laser Crystallization," *J.Appl.Phys.*, **82** 8 4086-4094 (1997).
6. M.A.Lieberman, A.J.Lichtenberg, Principles of Plasma Discharge and Materials Processing, Wiley, New York, 1994, Chapter 12.
7. S.Okazaki, J.Moers, Nanoelectronics and Information Technology, Ed. Rainer Waser, Wiley, New York, 2003, pp.256.
8. P.C.Thonemann, Progress in Nuclear Physics, 219 (1953).
9. H.Matsumura, A.Masuda, A.Izumi, Dig. Technical Papers of the Society for Information Display International Symposium, Baltimore, U.S.A., p.1504, 2003.
10. P.Alpuim, V.Chu, J.P.Conde, Materials Research Society Proceedings, **557** pp.91-96 (1999).
11. A.Masuda and H.Matsumura, "Low-Temperature Crystallization of Si Films by Cat-CVD Techniques and Applications to TFT Fabrication," Proceedings of the 1st International TFT Conference, pp.58-62, Mar. 14-15, 2005.
12. H.Matsumura, "Summary of Research in NEDO Cat-CVD Project in Japan," Thin Solid Films, **395** 1-11 (2001).
13. Y.Nozaiki, K.Kongo, T.Miyazaki, M.Kitazoe, K.Horii,

H.Umemoto, A.Masuda, H.Matsumura, "Identification of Si and SiH in Catalytic Chemical Vapor Deposition of SiH<sub>4</sub> by Laser Induced Fluorescence Spectroscopy," *J.Appl.Phys.* **88** 5437-5443 (2000).

14. H.Sato, A.Izumi, H.Matsumura, "Ultrathin Silicon Nitride Gate Dielectrics Prepared by Catalytic Chemical Vapor Deposition at Low Temperatures," *Appl. Phys. Lett.* **77** 2752-2754 (2000).

15. A.Masuda, M.Sasaki, T.Tsutsumi, T.Yonezawa, H.Matsumura, Digest of Technical Papers 2001 Int. Workshop on Active Matrix Liquid Crystal Display - TFT Technologies and Related Materials, Tokyo, Japan, July, pp.147-150, 2002.

16. T.Su, P.C.Taylor, S.Chen, R.S.Crandall, A.H.Mahan, "Molecular Hydrogen in Amorphous Silicon Revisited," *J. Non-Cryst. Solids*, **266-269** 195-200 (2000).

17. M.A.Prelas, G.Popovici, L.K.Bigelow, in M.A. Prelas, G. Popovici, L.K.Bigelow (Eds.), Handbook of Industrial Diamonds and Diamond Films, Chapter 20, M.Dekker Inc., New York, 1998.

18. M.W.C.van Cleef, J.K.Rath, F.Rubinelli, C.H.M.van der Werf, R.E.I.Schropp, W.F.van der Weg, "Performance of Heterojunction p+ Microcrystalline Silicon n Crystalline Silicon Solar Cells," *J.Appl.Phys.*, **82** 6089-6095 (1997)

19. H.Meiling, R.E.I.Schropp, "Stable Amorphous Silicon Thin Film Transistors," *Appl.Phys.Lett.*, **70**, 2681-2683 (1997).

20. V.Chu, J.Jarego, H.Silva, T.Silva, M.Reissner,

P.Brogueira, J.P.Conde, "Improved Mobility of Amorphous Silicon Thin Film Transistors Deposited by Hot-Wire Chemical Vapor Deposition on Glass Substrates," *Appl.Phys.Lett.* **70**, 2714-2716 (1997).

21. H.Meiling, A.M.Brockhoff, J.K.Rath, R.E.I.Schropp, Materials Reserach Society Proceedings, **507** pp.31-36 (1998).

22. P.Roca i Cabarrocas, S.Kasouit, B.Kalache, R. Vanderhaghen, Y.Bonnassieux, M.Elyaakoubi, I.French, "Microcrystalline Silicon: An Emerging Material for Stable Thin Film Transistors", *J.SID*, **12** 1 3-8 (2004).

◎◎ 홍완식



- 1988. 서울대학교 무기재료공학과(학사)
- 1991. Dept. of Materials Science and Engineering, University of California at Berkeley(M.S.)
- 1995. Dept. of Materials Science and Engineering, University of California at Berkeley(Ph.D.)
- 1995.-1999. Materials Scientist/ Engineer, Lawrence Berkeley National Laboratory, U.S.A.
- 1999.-2002. 책임연구원, 삼성전자(주) AMLCD사업부
- 2002.-현재. 세종대학교 전자공학과 부교수