

논문 2005-42SD-10-1

# PMOS 게이팅 셀 기반 2.5-V, 1-Mb 강유전체 메모리 설계

## (A 2.5-V, 1-Mb Ferroelectric Memory Design Based on PMOS-Gating Cell Structure)

김 정 현\*, 정 연 배\*\*

(Jung-Hyun Kim and Yeonbae Chung)

### 요 약

본 논문에서는 강유전체 메모리의 셀 효율을 높이기 위해 PMOS-gating 셀을 이용한 설계기법을 기술하였다. PMOS-gating 셀은 PMOS access 트랜지스터와 강유전체 커패시터로 이루어지며 커패시터의 플레이트는 ground에 고정된다. 아울러 read/write 동작시 비트라인이  $V_{DD}$ 로 precharge 되고, negative 전압 워드라인 기법이 사용되며, negative 펄스 restore 동작을 이용한다. 이는 셀 플레이트 구동없이 단순히 워드라인과 비트라인만 구동하여 메모리 셀의 데이터를 저장하고 읽어낼 수 있는 설계 방식으로, 기존의 셀 플레이트를 구동하는 FRAM 대비 메모리 셀 효율을 극대화 할 수 있어, multi-megabit 이상의 집적도에서 경쟁력 있는 칩 면적 구현이 가능하다. 0.25- $\mu\text{m}$ , triple-well 공정을 적용한 2.5-V, 1-Mb FRAM 시제품 설계를 통해 제안한 설계기술을 검증하였고, 시뮬레이션 결과 48 ns의 access time, 11 mA의 동작전류 특성을 보였다. 레이아웃 결과 칩 면적은 3.23  $\text{mm}^2$  이며, 기존의 셀 플레이트 구동기를 사용하는 FRAM 대비 약 20 %의 셀 효율을 개선하였다.

### Abstract

In this paper, a FRAM design style based on PMOS-gating cell structure is described. The memory cell consists of a PMOS access transistor and a ferroelectric capacitor. Its plate is grounded. The proposed scheme employs three novel operating methods: 1)  $V_{DD}$  precharged bitline, 2) negative-voltage wordline technique and 3) negative-pulse restore. Because this configuration doesn't need the on-pitch plate control circuitry, it is effective in realizing cost-effective chip sizes. Implementation for a 2.5-V, 1-Mb FRAM prototype design in a 0.25- $\mu\text{m}$ , triple-well technology shows a chip size of 3.23  $\text{mm}^2$ , an access time of 48 ns and an active current of 11 mA. The cell efficiency is 62.52 %. It has gained approximately 20 % improvement in the cell array efficiency over the conventional plate-driven FRAM scheme.

**Keywords :** FRAM, memory, nonvolatile, ferroelectrics

## I. 서 론

현재의 정보화 사회는 과거 수십 년간 빠른 속도로 성장한 IT 기술에 기인하고 있으며, 이러한 IT 기술의 지속적인 발전을 위해서는 대용량의 정보를 무선으로 처리하는 휴대정보통신 시스템 및 기기의 개발에 적합한 비휘발성·고속·대용량·저소비전력 특성의 차세대 메모리 개발이 필수적이다. 이러한 차세대 메모리는

기존 flash-memory의 비휘발성, SRAM의 고속동작, DRAM의 고집적성과 아울러 저소비전력 특성을 가져야 하며, 단일 메모리소자 뿐만 아니라 SoC 집적화 기술에도 적용이 용이한 메모리 기술이어야 한다. FRAM은 종래의 비휘발성 메모리에 비해 저전압 동작이 가능하고, write time이 빠르며, read/write endurance가 높기 때문에 그러한 차세대 기억소자로서 잠재성이 매우 크다. 지금까지 FRAM 연구는 강유전체 재료, 소자구조 및 process integration 기술개발 중심으로 진행되어 왔으며, 그 결과 최근에 들어 셀 커패시터 신뢰성은 크게 향상되어 거의 무한대에 가까운 endurance를 갖는 강유전체 메모리 셀이 개발되었고<sup>[1]</sup>, 1T/1C 셀을 이용한 상용화된 FRAM 제품도 등장하였다<sup>[2]</sup>. 향후 FRAM의 발

\* 학생회원, \*\* 정회원, 경북대학교 전자전기컴퓨터학부 (School of Electrical Engineering and Computer Science, Kyungpook National University)

※ 본 연구는 IT SoC 핵심설계인력양성사업, BK21사업, IDEC CAD Tool 지원에 의해 수행되었음.

접수일자: 2005년7월4일, 수정완료일: 2005년8월29일

전 여부를 쥐고 있는 가장 중요한 기술적 과제는 FRAM의 고집적화이다. 그러기 위해서는 무엇보다 칩 면적을 작게 할 수 있는 대용량 기술이 필요한데, 공정 측면에서는 크기가 작고 고신뢰성의 셀 공정기술 개발이 요구되고, 설계측면에서는 높은 셀 효율(cell efficiency)을 구현할 수 있는 설계기술이 필요하다.

FRAM은 비휘발성 데이터가 저장되는 강유전체 커패시터의 분극 반전을 유도하기 위해, 셀 커패시터 양단에 전압을 어떻게 인가하는가에 따라 그 동작방법이 결정된다. 현재 주로 사용하는 방법은 워드라인(wordline)과 평행하여 각각의 셀 플레이트(cell plate)를 하나의 라인으로 연결하고, 그 플레이트라인(plateline)에 pulse 전압을 인가하는 방식이다<sup>[3]</sup>. 그러나, 이러한 방법은 강유전체 물질로 이루어진 각각의 셀 커패시터스 값이 워낙 크기 때문에 워드라인이나 비트라인(bitline)에 비해 많은 셀을 동시에 구동할 수 없다. 따라서 다수의 플레이트 구동기가 셀 array의 밀집된 영역 안에 위치해야 하므로 셀 코어 영역의 circuit overhead가 많고 core layout 면적이 커져, 집적도에 비해 칩 면적이 크며, cell array efficiency가 30~40 % 정도의 낮은 수준에 그치고 있다<sup>[4-7]</sup>.

본 논문에서는 현재의 FRAM 설계방식의 한계를 극복하기 위해 PMOS-gating 메모리 셀을 이용한 새로운 개념의 FRAM 설계기술을 제안하였다. 이는 특별한 셀 플레이트 구동없이 단순히 워드라인과 비트라인만 구동하여 메모리 셀의 데이터를 저장하고 읽어낼 수 있는 설계방식으로 chip size 경쟁력을 확보하는 높은 cell efficiency 구현이 가능하다. 먼저, II장에서 PMOS 게이팅 메모리 셀 구조와 read/write 방법에 대해 소개하고, III장에서는 제안된 기법을 이용한 1-Mb FRAM 회로설계에 대해 설명한다. IV장에서는 prototype FRAM의 주요 성능 및 특성을 제시하고, 마지막으로 V장에서 결론을 맺는다.

## II. PMOS-Gating 셀

그림 1은 제안하는 PMOS-gating 셀의 구조를 보여준다. PMOS-gating 셀은 하나의 PMOS access 트랜지스터와 하나의 강유전체 커패시터로 구성되며 기존의 NMOS-gating 방식과는 달리 플레이트 구동신호를 필요로 하지 않는다. 메모리 셀 플레이트는 셀 데이터 노드에 서로 다른 극성의 전압을 인가할 수 있도록 ground에 연결된다. 대신,  $V_{DD}$  혹은  $-V_{DD}$  전압이 비트

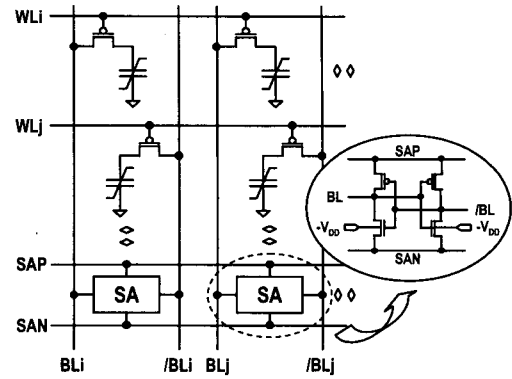
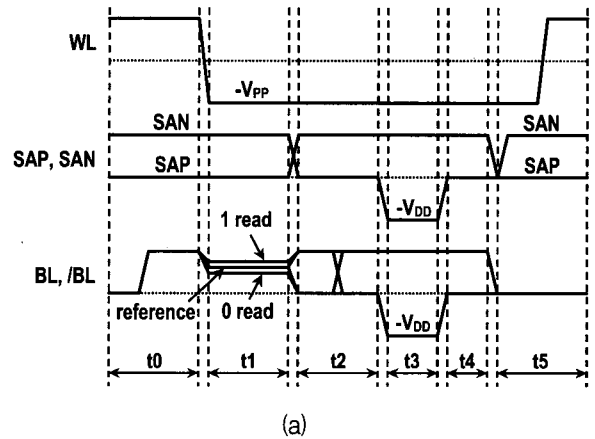
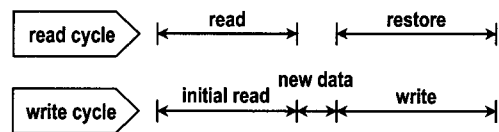
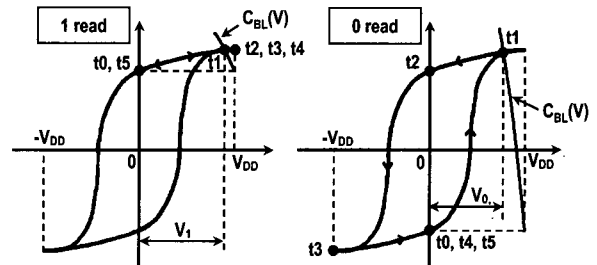


그림 1. PMOS 게이팅 셀의 배열구조

Fig. 1. PMOS-gating cell array.



(a)



(b)

그림 2. 읽기 및 쓰기동작: (a) 타이밍 다이어그램, (b) 읽기 주기 동안의 메모리 셀의 분극 상태

Fig. 2. Read/write operation: (a) timing diagram, (b) polarization state of memory cell during read cycle. ( $Q_R$ : remnant charge)

라인을 통해 셀 데이터 노드에 인가된다. 셀 선택시 워드라인 전압은  $V_{DD}$  에서  $-V_{PP}$ 로 전환된다. 비트라인에  $-V_{DD}$  전압이 인가될 때에도 셀 트랜지스터가 turn-on

되어야 하므로 워드라인의 전압은  $-V_{DD}$  이하의  $-V_{PP}$ 로 전환시킨다. 이때 필요한 음(negative) 전압  $-V_{DD}$ 와  $-V_{PP}$ 는 negative charge pump와 같은 회로를 이용해 내부적으로 생성시킬 수 있다. 본 연구에서는  $-V_{PP}$  전압을  $V_{DD}$ 의 -1.6 배, 즉  $-1.6V_{DD}$  레벨로 선정하였다.

그림 2에 제안된 FRAM 셀의 read/write 동작방법을 표시하였다. Read 동작시, 먼저 비트라인이  $V_{DD}$ 로 precharge된 후 floating 된다. 셀 access 트랜지스터가 PMOS 이므로 모든 비선택된 워드라인은  $V_{DD}$  전압에 연결된다. 선택한 셀의 데이터를 읽기 위해서는 선택한 워드라인의 전압을  $V_{DD}$ 에서  $-V_{PP}$ 로 전환한다. 이때, 선택된 셀의 access 트랜지스터가 turn-on 되어  $V_{DD}$ 로 precharge된 비트라인의 전하가 선택된 셀 커패시터로 이동하면서 비트라인에 데이터전압을 생성시키며, data 1과 data 0인 셀의 비트라인 전압은 각각 다음과 같이 표현할 수 있다.

$$V_1 = \frac{C_{BL}(V = V_{DD}) \cdot V_{DD}}{C_{BL}(V = V_1) + C_{NS}(V = V_1)} \quad (1)$$

$$V_0 = \frac{C_{BL}(V = V_{DD}) \cdot V_{DD}}{C_{BL}(V = V_0) + C_{SW}(V = V_0)} \quad (2)$$

여기서  $C_{BL}$ 은 비트라인 capacitance이며,  $C_{NS}$ 와  $C_{SW}$ 는 강유전체 커패시터의 non-switching capacitance와 switching capacitance를 표시한다. 이와 동시에, 비 선택된 비트라인에 data sensing을 위한 기준(reference) 전압을 생성시킨다. 기준전압 레벨은 data 0와 data 1의 중간 값을 갖도록 한다. 그 다음 비트라인 쌍에 연결된 sense amplifier를 구동시켜 data 1인 비트라인은  $V_{DD}$  레벨로 증폭시키고 data 0에 해당하는 비트라인은 ground 레벨로 낮춘다. 셀 데이터를 sensing한 다음, 초기에 0로 저장되었던 셀 데이터의 복구를 위해 sense amplifier의 SAN 신호를 통해 ground 레벨의 data 0 비트라인 전압을  $-V_{DD}$ 로 끌어내려  $-V_{DD}$  전압이 data 0 셀의 커패시터에 인가되도록 한다. 그리고 나서 SAN을 다시 ground로 올린다. 이러한 negative pulse restore 과정을 거친 후, sense amplifier를 off 하고 모든 비트라인을 ground로 한 후, 선택되었던 워드라인을 초기상태의  $V_{DD}$ 로 전환시킨다.

Write 동작의 내부 timing은 read 동작과 유사하다. 일단 선택된 메모리 셀의 초기상태 데이터를 sensing한 후, column gate를 통해 선택된 비트라인에 저장될 데이터에 해당하는 새로운 전압이 입력된다 (data 1 =

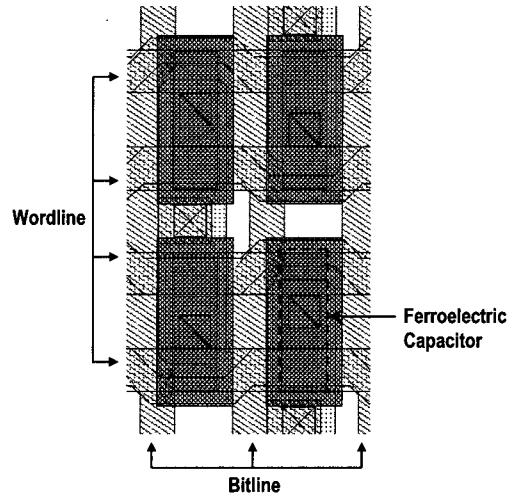


그림 3. 메모리 셀 레이아웃 (2x2 셀)  
Fig. 3. Memory cell layout. (2x2 cell)

$V_{DD}$ , data 0 = 0 V). 이러한 새로운 전압이 인가된 후, read 동작시의 restore 과정과 마찬가지로 sense amplifier의 SAN 신호를 통해 ground 레벨의 data 0 비트라인 전압을  $-V_{DD}$ 로 끌어내려  $-V_{DD}$  전압이 셀 커패시터에 인가되어 data 0가 저장되도록 하고,  $V_{DD}$  레벨의 data 1 비트라인 전압은 셀 커패시터에 그대로 인가되어 data 1이 저장되도록 한다.

그림 3은 PMOS-gating 셀의 레이아웃을 보여준다. 본 연구에서는  $0.25\text{-}\mu\text{m}$ , triple-well/1-polycide/3-metal 공정기술을 적용하였다. 메모리 셀 면적은  $1.93\ \mu\text{m}^2$  이고, 셀 커패시터 면적은  $0.54\ \mu\text{m}^2$  이다.

### III. 1-Mb Prototype Chip 설계

#### 1. Cell Block Array 구조

그림 4는 메모리 core 회로의 배치를 나타낸다. 1-Mb 셀 array는 위아래로 대칭된 두개의 동일한 512-Kb sub-block 으로 구성된다. Column 신호 생성기는 두 sub-block의 가운데에 배치하여 column 신호가 두 sub-block을 동시에 access 하도록 하였다. Row decoder는 왼편에 위치한다. 비트라인 동작에 필요한 sense amplifier, precharger, column gate는 column 신호 생성기 가까이 위치한다. 데이터 sensing시 필요한 기준전압을 발생시키는 기준전압 회로(reference circuit)는 반대편에 배치하였다. 각 512-Kb sub-block은 512 개의 워드라인과 1024 개의 비트라인 쌍으로 구성하였다. 각 비트라인에는 256 개의 셀이 연결되어 있

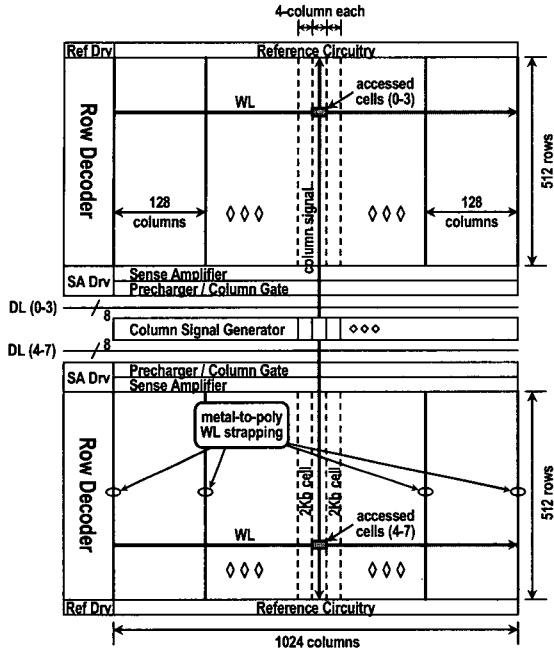


그림 4. 메모리 코어 배치 구조  
Fig. 4. Configuration of cell array block.

다. Read/write시 하나의 sub-block에서 1 개의 워드라인이 즉, 두 512-Kb sub-block에서 2 개의 워드라인이 동시에 선택된다. 폴리사이드(polycide) 워드라인 저항 성분을 줄이기 위해서 128 개의 셀마다 metal로 strapping 하였다. Column 신호 생성기는 각 512-Kb sub-block 내의 4-bit 데이터를 동시에 선택한다. 따라서, column 신호는 필요한 데이터 크기의 셀(8-bit)만 활성화 시킨다. 비 선택된 column의 sense amplifier는 latch되지 않고, 비 선택된 column의 비트라인은 ground로 남아 있게 된다. 비록 매 read/write시 워드라인은 각각 1024 셀을 access 하지만 비 선택된 column의 비트라인과 셀 플레이트는 ground에 연결되므로 활성화되지 않는다.

2. Row Decoder

제안한 PMOS-gating 셀의 선택을 위해서는 negative-voltage wordline 기법이 필요하다. 즉 워드라인의 로직 high는  $V_{DD}$  이고, 로직 low는  $-V_{PP}$  이다. 그림 5는 row decoder의 회로도도와 시뮬레이션 파형을 보여준다. 회로는 NAND 게이트, latch 그리고 negative level shifter로 이루어진다. Row decoder가 선택되지 않았을 때 0 V인 A노드 전압이 M1 트랜지스터를 on 시켜 워드라인의 전압을  $V_{DD}$ 로 만든다. 이때, M3는 on 되고 M2는 off 되어 B노드는  $-V_{PP}$ 가 된다. Decoder가

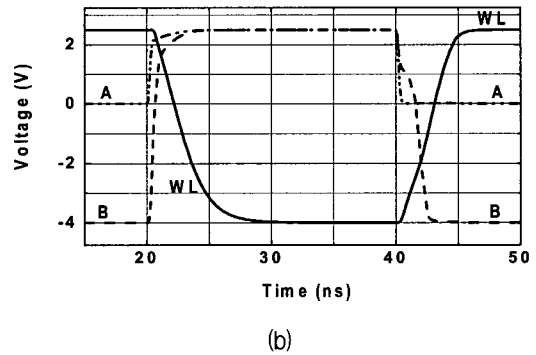
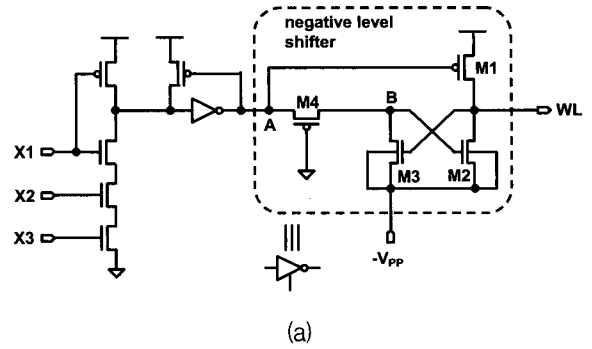


그림 5. 로 디코더: (a) 회로도, (b) 시뮬레이션 파형  
Fig. 5. Row decoder: (a) circuit diagram, (b) simulation waveforms.

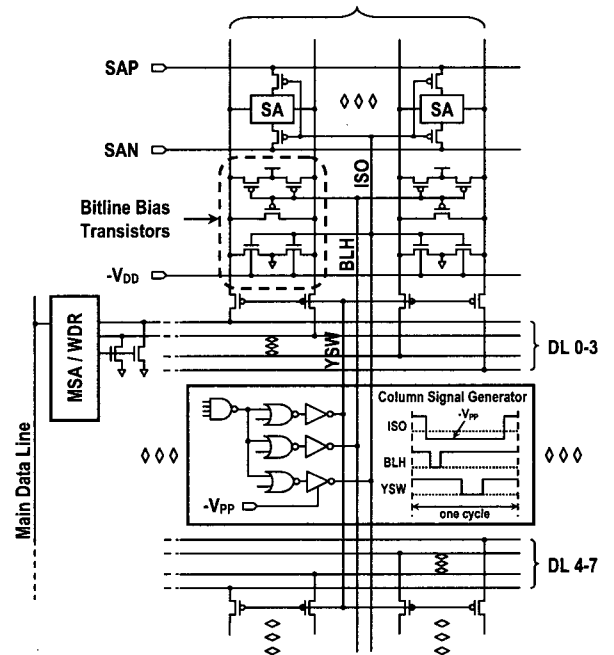


그림 6. 컬럼 패스 회로  
Fig. 6. Column path circuit.

선택되었을 때는 A노드와 B노드는  $V_{DD}$ 가 되어, M1은 off 되고 M2가 on 되어 워드라인은  $-V_{PP}$ 로 전환된다.

워드라인의 rising, falling time은 각각 5 ns, 8 ns 이다.

### 3. Column Path Circuits

그림 6은 본 연구에서의 column path 회로를 보여준다. 비트라인 sense amplifier는 PMOS transfer gate에 의해 선택된다. 각 사이클마다 column 신호(ISO, BLH, YSW)는 위아래 4 column의 비트라인 바이어스 트랜지스터, sense amplifier, column-path gate를 구동시킨다. 이때, ISO 신호의 로직 high는  $V_{DD}$  이고, 로직 low는  $-V_{PP}$  이다. 선택되지 않은 column의 비트라인은 ground로 고정되고, sense amplifier는 SAP와 SAN 신호로부터 분리되며, column-path gate는 turn-off 된다. 위아래 8-bit 양방향 데이터라인(DL)은 MSA/WDR (Main Sense Amplifier and Write Driver)와 선택된 비트라인 사이에 데이터 신호를 전달한다.

### 4. 기준전압 회로

그림 7은 비트라인 data sensing시 비선택된 비트라인에 data 0 과 data 1의 중간값을 갖는 기준전압을 발

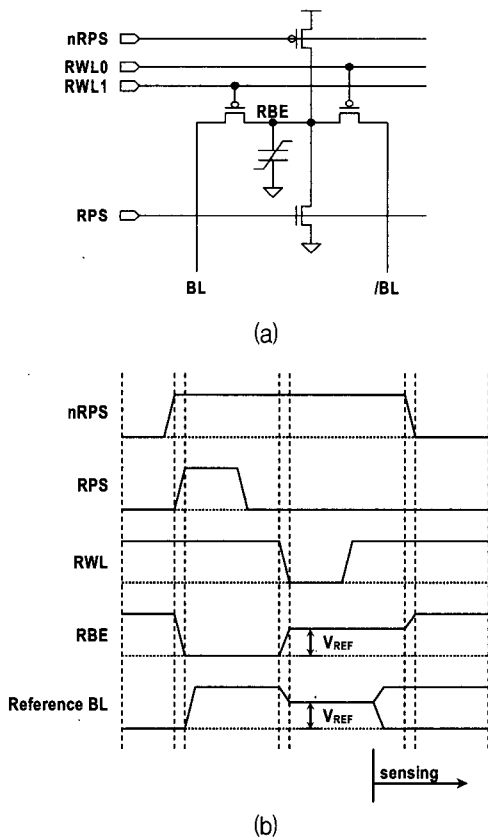


그림 7. 기준전압 회로: (a) 회로구조, (b) 타이밍  
Fig. 7. Reference circuit: (a) circuit configuration, (b) timing.

생시키는 회로와 동작 timing을 보여준다. 기준전압 회로는 2개의 PMOS gate, pre-bias를 위한 PMOS 및 NMOS 트랜지스터, 하나의 강유전체 커패시터로 이루어진다. 대기시 강유전체 reference 커패시터의 RBE 노드는  $V_{DD}$ 에 연결된다. 동작시 RBE 노드는 ground로 pre-discharge 되고, reference 워드라인(RWL)이 pull down 되면 초기에  $V_{DD}$ 로 precharge된 비트라인과 reference 커패시터의 RBE 노드 사이에 charge sharing에 의해 비트라인에 기준전압이 생성된다. 이때, 비트라인에 인가되는 기준전압  $V_{REF}$ 는 다음과 같이 표현된다.

$$V_{REF} = \frac{C_{BL}(V=V_{DD}) \cdot V_{DD}}{C_{BL}(V=V_{REF}) + C_{RNS}(V=V_{REF})} \quad (3)$$

여기서  $C_{RNS}$ 는 기준전압 회로에 사용된 강유전체 커패시터의 non-switching capacitance 이다. Reference 강유전체 커패시터는 셀 커패시터와는 달리 분극 반전되지 않고, 히스테리시스 curve의 high state 분극에서만 동작한다. 본 연구에서의 강유전체 reference 커패시터의 면적은 메모리 셀 커패시터 면적의 2 배이다.

### 5. 음전압 발생기

앞에서 언급하였듯이 제안한 강유전체 메모리의 동작에는 두 가지의 음전압이 필요하다. 읽기 및 쓰기 동작시  $-V_{DD}$  펄스를 이용한 restore 동작에  $-V_{DD}$ 가 필요하며, 워드라인과 ISO신호에  $-V_{PP}$ 가 필요하다.

그림 8(a)는 음전압 발생기(Negative Voltage Generator)의 블록 다이어그램을 보여준다. 회로는 전원전압감지기, 오실레이터, negative charge pump, 전압감지기로 이루어져 있다. 전원전압감지기는 전원이 공급될 때 charge pump의 동작을 trigger 시킨다. 오실레이터는 charge pump에 필요한 clock을 발생시킨다. 생성된 pumping 전압이 목표한 음전압에 이르게 되면 전압감지기가 오실레이터의 동작을 멈추게 한다. 그림 8(b)는 negative charge pump의 회로구조를 보여준다. 각 pumping stage는 2-phase clock으로 동작하고, charge 전송 트랜지스터의 문턱전압을 낮추기 위해 2개의 NMOS 보조 트랜지스터가 charge 전송 트랜지스터의 body 전압을 제어한다<sup>[8]</sup>.

그림 9는 음전압 발생기의 시뮬레이션 파형을 나타낸다. 85 °C의 온도에서, 1-V/50- $\mu$ s의 slew rate로 공급 전압을 증가시켰을 때의 파형이다. 전원전압감지기의 PWRDET 신호는 2 V에서 negative charge pump를 trigger 시킨다. 그림에서 보는 것처럼  $-V_{DD}$ 와  $-V_{PP}$ 는

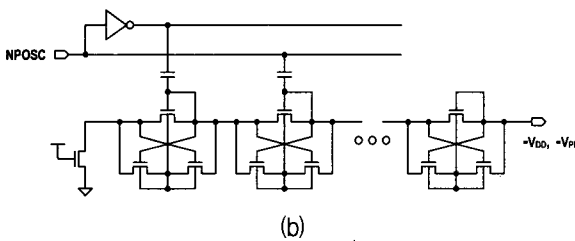
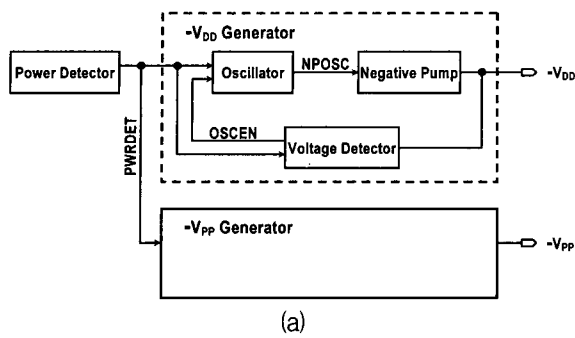


그림 8. 음전압 발생기: (a) 블록 다이어그램, (b) 음전하 펌프 회로  
 Fig. 8. Negative voltage generator: (a) block diagram, (b) negative charge pump.

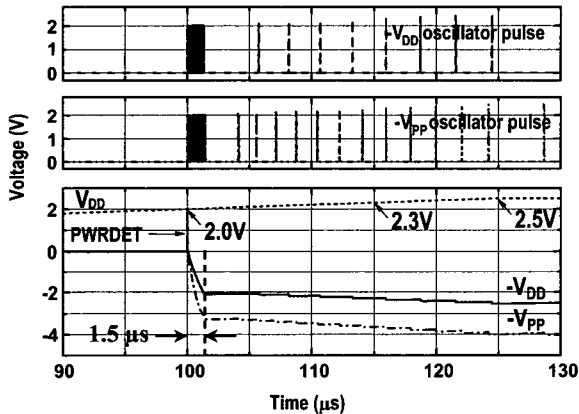


그림 9. 음전압 발생기의 시뮬레이션 파형 (T = 85 °C)  
 Fig. 9. Simulated waveforms of negative voltage generator at T = 85 °C.

charge pump가 동작한 후 약 1.5 μs 후에 목표 값에 이른다. -V<sub>DD</sub>, -V<sub>PP</sub> 음전압은 공급전압이 메모리의 동작에 필요한 최소전압인 2.3 V에 이르기 전에 생성됨으로 칩에 전원이 공급된 후 음전압 생성으로 인한 지연시간은 발생하지 않는다.

6. Data Refresh

그림 10에 메모리 셀 영역의 단면을 나타내었다. 메모리 셀 영역의 n-well은 V<sub>DD</sub>로 바이어스 되고, 셀 내부 데이터노드는 대기상태일 때 floating 된다. n-well과 셀의 내부노드 사이의 역바이어스 전압이 걸린 기생

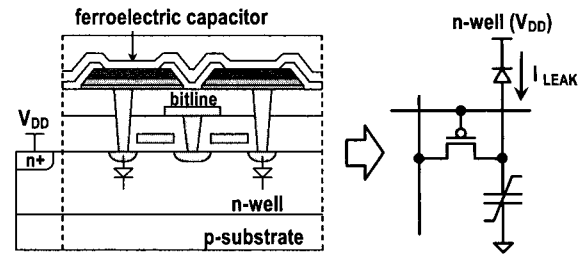


그림 10. n-well과 셀 내부노드 간의 기생 접합다이오드  
 Fig. 10. Parasitic junction diode between n-well and cell internal node.

접합다이오드의 누설전류로 인해 셀 데이터 노드의 전압은 점점 올라가 결국엔 V<sub>DD</sub>까지 이르게 되어 저장된 데이터를 파괴할 수 있다. 이러한 문제를 방지하기 위해 PMOS-gating 강유전체 메모리 셀은 저장된 데이터를 리프레시(refresh) 하는 동작을 필요로 한다. 리프레시 동작은 비트라인을 ground로 하고 sense amplifier, 기준전압 회로, 비트라인 precharger와 같은 주변회로의 동작없이, 단순히 워드라인을 V<sub>DD</sub>에서 -V<sub>PP</sub>로 내린 후 다시 V<sub>DD</sub>로 올리는 것으로 이루어진다. 칩 내부의 self-refresh 신호가 high로 되었을 때, refresh address counter가 각각의 워드라인을 차례로 구동시킨다. 각 리프레시 사이클 마다 2개의 워드라인이 선택되어 2048 셀에 리프레시 동작이 동시에 이루어진다. 본 연구에서는 refresh cycle time은 60 ns 이고, 리프레시 주기는 16 ms로 설계하였다. 전원전압이 공급되지 않을 때는 n-well 바이어스 전압이 0 V로 떨어지므로 리프레시 동작은 필요하지 않다.

IV. 제안한 FRAM의 성능평가

그림 11은 설계한 PMOS-gating 셀 기반 1-Mb FRAM 칩 레이아웃을 보여준다. 전체 칩은 두개의 512-Kb 셀 sub-block으로 구성되고, column 신호 생성기를 공유하고 있다. 음전압 발생기의 charge pump 회로는 좌우 가장자리 pad 사이에 배열하였고, 오실레이터, 전원전압감지기, 전압감지기, main sense amplifier, write driver, 어드레스 버퍼, I/O 버퍼, predecoder, control 로직 등 기타 주변회로는 칩의 아래에 배치하였다. 전체 칩 면적은 3.23 mm<sup>2</sup> 이며, 62.52 %의 셀 효율을 갖는다. 이는 기존의 셀 플레이트 구동기를 사용하는 FRAM 대비 약 20 % 셀 효율이 높다<sup>[4-7]</sup>. 표 1에 prototype 칩의 성능을 요약하였다. 그림 12는 2.5 V,



그림 11. 1-Mb 강유전체 메모리의 레이아웃  
Fig. 11. CAD plot of 1-Mb FRAM prototype.

표 1. 1-Mb 강유전체 메모리의 성능요약  
Table 1. Chip features of 1-Mb FRAM prototype.

Organization	128K-word × 8-bit
Supply Voltage	2.5V (2.3 - 2.7V)
Access/Cycle Time	48ns/80ns (@ 2.5V, 25°C)
Active Current	11mA (@ 2.5V, 25°C)
Self-Refresh Time	60ns per 2K cells
Technology	0.25- $\mu$ m/3-well/1-polycide/3-metal
Cell Size	1.02 $\mu$ m × 1.89 $\mu$ m = 1.93 $\mu$ m <sup>2</sup>
Cell Capacitor Size	0.42 $\mu$ m × 1.29 $\mu$ m = 0.54 $\mu$ m <sup>2</sup>
Chip Size	1370 $\mu$ m × 2360 $\mu$ m = 3.23mm <sup>2</sup>
Cell Efficiency	62.52%

25 °C에서 read cycle의 시뮬레이션 파형을 나타내었다. Cycle time은 80 ns 이고, access time은 48 ns이다. 동작전류는 11 mA 이고, 전체 칩의 self-refresh time은 30  $\mu$ s 이다.

### V. 결 론

본 논문에서는 현재의 FRAM 설계방식의 한계를 극복하기 위한 하나의 방법으로, PMOS-gating 셀을 이용한 새로운 개념의 FRAM 설계기법을 제안하였다. 제안한 강유전체 메모리 셀은 PMOS access 트랜지스터와 플레이트를 ground에 연결한 강유전체 커패시터로

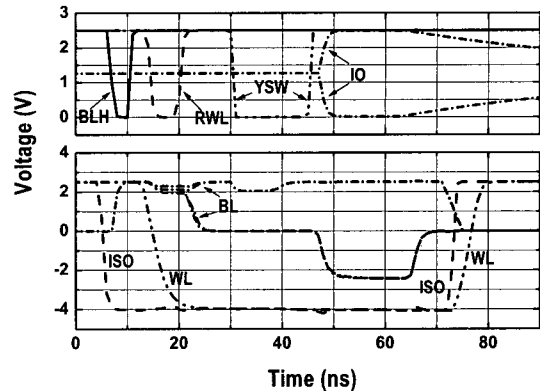


그림 12. 읽기 동작의 시뮬레이션 파형  
(V<sub>DD</sub> = 2.5 V, T = 25 °C)  
Fig. 12. Read cycle waveforms at 2.5 V and 25 °C.

이루어진다. 이는 셀 플레이트 구동없이 단순히 워드라인과 비트라인만 구동하여 메모리 셀의 데이터를 저장하고 읽어낼 수 있는 동작 방식으로, 메모리 셀 효율을 극대화 할 수 있는 장점이 있다. 0.25- $\mu$ m, triple-well 공정을 이용한 2.5-V, 1-Mb FRAM 시제품 설계를 통해 제안한 설계기술을 검증하였고, 회로 시뮬레이션 및 칩 레이아웃 결과 회로속도나 전력소모는 기존의 FRAM과 비슷하지만, 기존의 셀 플레이트 구동기를 사용하는 FRAM 대비 약 20 %의 셀 효율을 개선하였다. 분명히 제안한 설계기법은 미래의 대용량 FRAM 개발 시 경쟁력 있는 칩 면적 구현이 가능하게 하는 하나의 방법을 제공한다.

### 참 고 문 헌

- [1] <http://www.ramtron.com>, "Ramtron introduces the world's first unlimited read/write FRAM memory", 2001 press releases, Mar. 2001.
- [2] <http://www.ramtron.com>, "Ramtron introduces world's first 1-transistor, 1-capacitor FRAM product", 2001 press releases, Dec. 2001.
- [3] T. Sumi, N. Moriwaki, G. Nakane, T. Nakakuma, Y. Judai, Y. Uemoto, Y. Nagano, S. I. Hayashi, M. Azuma, E. Fujii, S. I. Katsu, T. Otsuki, L. McMillan, C. P. de Araujo, and G. Kano, "A 256kb nonvolatile ferroelectric memory at 3V and 100ns," in *ISSCC Digest of Technical Papers*, pp. 268-269, San Francisco, USA, Feb. 1994.
- [4] R. Ogiwara, S. Tanaka, Y. Itoh, T. Miyakawa, Y. Takeuchi, S. M. Doumae, H. Takenaka, I.

- Kunishima, S. Shuto, O. Hidaka, S. Ohtsuki, and S. I. Tanaka, "A 0.5- $\mu\text{m}$ , 3-V, 1T1C, 1-Mbit FRAM with a variable reference bit-line voltage scheme using a fatigue-free reference capacitor," *IEEE J. Solid-State Circuits*, Vol. 35, no. 4, pp. 545-551, Apr. 2000.
- [5] Y. Chung, B. G. Jeon, and K. D. Suh, "A 3.3-V, 4-Mb nonvolatile ferroelectric RAM with selectively driven double-pulsed plate read/write-back scheme," *IEEE J. Solid-State Circuits*, Vol. 35, no. 5, pp. 697-704, May 2000.
- [6] C. Ohno, H. Yamazaki, H. Suzuki, E. Nagai, H. Miyazawa, K. Saigoh, T. Yamazaki, Y. Chung, W. Kraus, D. Verhaeghe, G. Argos, J. Walbert, and S. Mitra, "A highly reliable 1T1C 1 Mb FRAM with novel ferro-programmable redundancy scheme," in *ISSCC Digest of Technical Papers*, pp. 36-37, San Francisco, USA, Feb. 2001.
- [7] M. K. Choi, B. G. Jeon, N. Jang, B. J. Min, Y. J. Song, S. Y. Lee, H. H. Kim, D. J. Jung, H. J. Joo, and K. Kim, "A 0.25- $\mu\text{m}$  3.0-V 1T1C 32-Mb nonvolatile ferroelectric RAM with address transition detector and current forcing latch sense amplifier scheme," *IEEE J. Solid-State Circuits*, Vol. 37, no. 11, pp. 1472-1478, Nov. 2002.
- [8] J. Shin, I. Y. Chung, Y. J. Park, and H. S. Min, "A new charge pump without degradation in threshold voltage due to body effect," *IEEE J. Solid-State Circuits*, Vol. 35, no. 8, pp. 1227-1230, Aug. 2000.

---

 저 자 소 개
 

---



김 정 현(학생회원)  
 2003년 경북대학교,  
 전자전기컴퓨터학부 학사  
 2005년 경북대학교, 전자공학과  
 석사  
 2005년~현재 경북대학교,  
 전자공학과 박사과정

<주관심분야: 메모리 IC 설계, FeRAM 설계>



정 연 배(정회원)  
 1984년 한국항공대학교,  
 전자공학과 학사  
 1986년 한국과학기술원,  
 전기및전자공학과 석사  
 1995년 University of Florida,  
 전자공학과 박사

1986년~1990년 한국전자통신연구원, 연구원  
 1995년~2000년 삼성전자주식회사, 수석연구원  
 2000년~2002년 미국 Ramtron Int. Corp,  
 Design Project Manager  
 2002년~현재 경북대학교 전자전기컴퓨터학부 교수  
 <주관심분야: 차세대 FRAM, memory-embedded  
 SoC, 저전압 고속 VLSI 시스템>