

논문 2005-42SD-10-6

DC-DC 컨버터를 위한 디지털 방식의 컨트롤러 회로

(Digital Controller for DC-DC Converters)

홍 완 기*, 김 기 태*, 김 인 석*, 노 정 진**

(Wanki Hong, Kitae Kim, Insuck Kim, and Jeongjin Roh)

요 약

휴대용 전자제품의 증가에 따라 배터리의 사용 시간을 증가시키기 위한 파워메니지먼트 회로의 설계는 매우 중요해 지고 있다. 이에 따라 switching power supply, 특히 DC-DC 변환기의 필요성은 더욱 커지고 있다. 기존 DC-DC 변환기용 컨트롤러 칩들은 순수한 아날로그 방식으로 설계되어 왔었다. 본 논문에서는 아날로그 방식의 단점을 극복하기 위한 디지털방식 컨트롤러 칩의 제작 및 측정된 연구 결과를 소개한다. 디지털 컨트롤러의 장점으로는 설계시간이 빠르고, 설계 변경을 쉽게 할 수 있다는 점이다. 그러나 DC-DC 컨버터의 최종 출력 전압은 아날로그 전압이기 때문에, 아날로그를 디지털로 변환해 주는 장치가 디지털 컨트롤러에는 필수적이다. 본 논문에서는 기존의 flash 방식의 데이터 변환기 대신에 회로설계가 단순화된 델타-시그마 모뮬레이션을 사용하여 아날로그 신호를 디지털 신호로 변환하였다. 개발된 CMOS 컨트롤러 칩은 테스트 보드 측정을 통하여 성공적인 동작이 검증되었다.

Abstract

A DC-DC converter with digital controller is realized. the digital controller has several advantages such as robustness, fast design time, and high flexibility. however, since the DC-DC output voltage is analog, an analog-to-digital conversion scheme is always essential in all digital controllers. A simple and efficient delta-sigma modulator is used as a conversion scheme in out implementation. The measurement results show good voltage regulation

Keywords : DC-DC converter, pulse width modulation (PWM), buck converter, switching power supply

I. 서 론

현재 휴대용 전자제품들이 발전함에 따라 배터리를 사용한 제품이 늘고 있다. 이에 따라 배터리 전압으로부터 각 시스템들이 원하는 전압을 효율적으로 공급할 수 있는 전원 공급 장치가 이슈가 되고 있다^{[10][11]}. 배터리 전압은 부하가 증가 하거나 시간이 지날수록 전압이 낮아지게 된다. 따라서 배터리 전압을 직접 각 전자시스템에 연결할 경우에는 공급되는 전원의 변동에 따라

오동작이 발생 할 수 있다. DC-DC 컨버터는 입력전압이 변하거나, 부하가 변하여도 출력전압을 안정적으로 공급하는 역할을 하며 아날로그 방식과 디지털 방식으로 나누어진다. 아날로그 방식은 디지털 방식에 비해 그 성능이 수년간 많은 검증을 거쳤기 때문에 안정적이다. 그러나 아날로그 방식은 제어루프 보상을 위해 칩 주변에 보상 커패시터와 저항이 붙게 되어 하나의 칩으로 구현하기 힘들다. 따라서 칩 주변에 여러 소자들이 붙게 되어 크기가 커질 뿐 아니라, 복잡한 계산을 통해서 값을 정해야하는 번거로운 부분이 많다. 그리고 아날로그 방식은 저 전압 동작에 한계를 나타내고 있으며, 외부 노이즈에 민감한 것이 단점으로 지적되고 있다.

최근 연구가 이루어지고 있는 디지털 방식은 아날로그 방식에 비해 칩 외부에 보상회로가 없어 크기가 작아질 뿐 아니라 외부 노이즈에 강하고, 저 전압에서도 동작이 가능하다는 장점을 가지고 있다^{[11]-[18]}. 그리고 디

* 학생회원, 한양대학교 전기전자제어계측공학과
(Department of Electrical and Electronics
Engineering, Hanyang University)

** 정회원, 한양대학교, 전자컴퓨터공학부
(Hanyang University, Dep. of Electrical and
Computer Engineering)

※ 본 논문은 2004년도 한국학술진흥재단의 지원에 의하여 연구되었음. (KRF-2004-041-D00510)

접수일자: 2005년6월13일, 수정완료일: 2005년10월4일

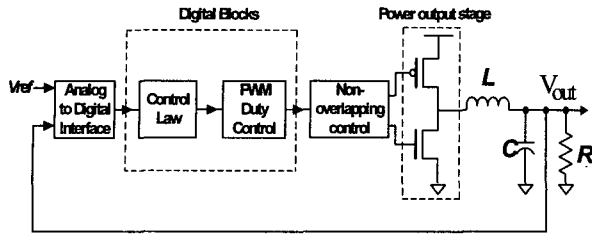


그림 1. DC-DC 컨트롤러
Fig. 1. DC-DC controller.

디지털 방식은 hardware description language (HDL)를 사용하여 회로 변경이 용이하고 복잡한 회로를 쉽게 설계할 수 있다. 디지털 컨트롤러는 DC-DC 컨버터의 출력전압이 아날로그 이므로, 아날로그 블록인 analog-to-digital converter (ADC)를 사용하여 디지털 컨트롤러와 연결 한다. 본 논문에서는 기존 flash ADC 방식이 아닌 새로운 델타-시그마 모듈레이터 인터페이스를 사용하여 복잡함을 최소화하고, 설계가 효율적임을 입증하였다.

그림 1은 피드백 컨트롤을 사용한 디지털 DC-DC 컨버터의 컨트롤러 블록도이다. 본 방식에서는 기존의 아날로그 컨트롤러를^[10] 디지털 컨트롤러로 대체하였다. 디지털로 제어되는 DC-DC 컨버터는 출력전압이 아날로그이므로 컨트롤러는 필수적으로 ADC 인터페이스가 요청된다. 출력전압을 정확하게 제어하기 위해서는, 회로가 복잡하지만 높은 정확성을 가진 ADC 회로가 필요하다. 그러나 ADC는 대표적인 아날로그 회로이며 디지털 컨트롤러 설계에 있어서의 핵심 난제로 존재한다. 지금까지 발표된 논문에서는 대부분 디지털 컨트롤러를 위해 6-8비트 flash 방식의 ADC를 사용하여 왔다.

본 논문은 기존 방식과 달리 delta-sigma modulator (DSM) 회로를 사용하여 DC-DC 컨버터를 구성하였다. 지금까지 DSM 은 고성능의 데이터 변환기를 설계하기 위한 방법으로 많이 사용되어 왔다^[12]. DSM 의 장점은 아날로그 회로를 최소화 하고, 정확한 아날로그 값을 단순한 디지털 값으로 표현하는 알고리즘에 있다. 아날로그 회로의 복잡함을 최소화한 DSM은 본 논문에서 제시한 바처럼 DC-DC 변환기용 디지털 컨트롤러의 좋은 인터페이스가 회로가 된다.

II. DELTA-SIGMA 모듈레이션을 사용한 DC-DC 변환기

디지털 컨트롤러를 집적화 하는데 있어, ADC 회로는

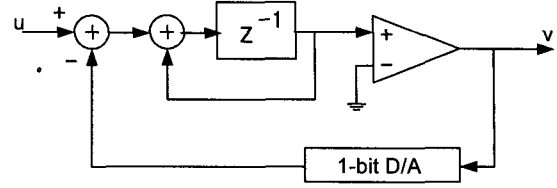


그림 2. 1차 델타-시그마 모듈레이터
Fig. 2. A first-order delta-sigma modulator.

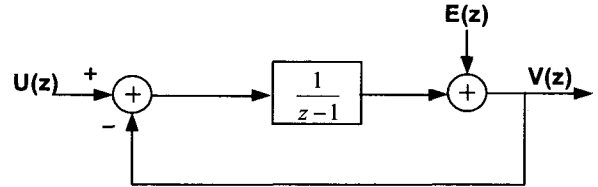


그림 3. DSM의 선형화된 z-도메인 모델
Fig. 3. Linear z-domain model of a DSM.

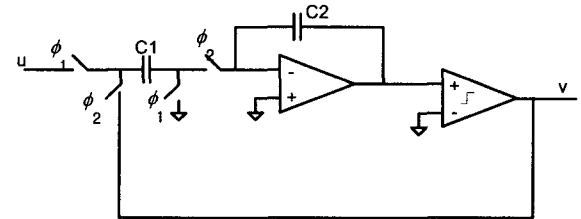


그림 4. DSM의 스위치-커패시터 회로
Fig. 4. Switched-capacitor circuit implementation of a DSM.

많은 부분을 설계자에게 의존하여 설계가 이루어지기 때문에 회로 설계가 힘든 반면, 디지털회로는 많은 부분이 자동으로 이루어지므로 상대적으로 용이해진다. 따라서 핵심적인 문제점은 아날로그와 디지털 신호를 인터페이스 해주는 회로가 된다. 본 논문에서도 인터페이스 회로의 설계를 중점적으로 설명한다. 칩 설계 시 사용된 DSM은 아래에 설명 되듯이 비교적 간단한 아날로그 회로로 구성되어 있다.

그림 2는 1차 DSM 의 구성을 보여준다. 1차 모듈레이터는 1개의 적분기와 비교기 및 feedback 회로를 사용하여 구성된다. 높은 차수의 모듈레이터를 사용할 경우 파워소모가 증가하고, 칩 크기가 커질 뿐 아니라 설계시간이 오래 걸린다. 그리고 뒤에서 나오는 실험 결과에서와 같이 간단한 1차 모듈레이터 만으로도 DC-DC 컨버터를 충분히 동작시킬 수 있다. 그림 3은 DSM 해석을 위해 비교기의 quantization noise $E(z)$ 를 사용하여 나타낸 수학적 모델을 보여준다. 또한 그림 4는 스위치-커패시터 회로를 사용한 실제 회로의 예를 보여준다. 구성은 op amp, 아날로그 스위치, 커패시터, 비교기로 간단하게 되어있다. 따라서 그림 1의 analog

to digital interface를 구현할때 flash ADC를 사용하는 것 보다 DSM을 사용할 경우 하드웨어 구성에 있어 더 간단하게 된다. 그림 3으로부터 델타-시그마 모듈레이션을 정리하여 수식으로 나타내면^[12]

$$STF(z) = \frac{V(z)}{U(z)} = z^{-1} \quad (1)$$

$$NTF(z) = \frac{V(z)}{E(z)} = 1 - z^{-1} \quad (2)$$

식 (1)은 signal transfer function (STF) 라고 불리우며, 출력신호는 단순히 입력신호가 1 clock 지연된 것임을 보여주고 있다. 식 (2) 는 비교기에서 발생하는 노이즈가 어떻게 출력으로 전달되는 지를 보여주는 noise transfer function (NTF) 이다. 주파수 특성을 분석하기 위해 $z = e^{j2\pi f/f_s}$ 로 대치하여 분석 한다^[12]. 여기서 f_s 는 샘플링 주파수이다.

$$NTF(f) = 2\sin\frac{\pi f}{f_s} \quad (3)$$

위 식에서 보여주듯이 저주파 신호 영역에 있는 quantization 노이즈는 NTF 에 따라 대폭 감쇠된다. 따라서 DSM 에서는 저주파 신호 영역에서 quantization 노이즈를 감쇠시키고 고주파수로 갈수록 노이즈는 증가하게 된다. 일반적인 경우 고주파수 노이즈는 디지털 저역통과 필터를 사용하여 감쇠시킨다. 그 결과, DSM 은 저주파수 대역에서 높은 정확성을 가진 ADC 로서 동작한다. 일반적인 델타-시그마 변환기에서 전체 블록은 아날로그 델타-시그마 모듈레이터 후단에 디지털 필터가 연결되어 다음과 같이 구성된다.

그림 5에서 2단으로 구성된 디지털 필터는 일반적으로 사용되는 경우를 나타낸다. 디지털 필터를 단일 필터로 사용할 수 있으나, 하드웨어의 복잡함 때문에 첫 번째 단에는 sinc 필터를 사용하는 것이 일반적이다^[12].

그리고 두 번째 단은 FIR (finite impulse response) 또는 IIR (infinite impulse response) 필터로 구성된다. 디지털 필터는 고주파 신호영역의 노이즈를 감쇠시킨다. sinc 필터는 아래의 식처럼 데이터의

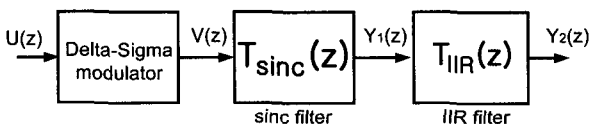


그림 5. 일반적인 DSM의 디지털 필터
Fig. 5. Digital filters for general DSM application.

accumulation 을 통해 쉽게 구현할 수 있는 장점이 있다. 수식에서 M 은 accumulation 되는 디지털 신호의 총 개수를 의미한다.

$$Y_1(z) = \frac{1}{M} \times (1 + z^{-1} + z^{-2} + \dots + z^{-(M-1)}) V(z) \quad (4)$$

$$= \frac{1}{M} \left(\sum_{i=0}^{M-1} z^{-i} \right) V(z) \quad (5)$$

그림 6에서는 sinc 필터의 주파수 특성을 보여 준다. 기본적으로 DC 근처의 신호는 통과하고 고주파 신호는 감쇠되는 저역통과 필터의 특성을 보여준다.

DC-DC 컨버터는 신호 영역이 DC 로 제한 되어있다. 이러한 특성을 활용하면 디지털 필터를 더욱 최적화 시키는 것이 가능하다. DC-DC 컨버터는 신호 영역의 범위가 매우 작아서 본 설계에서는 기존의 sinc 필터대신에 디지털 적분기를 사용한 저역 통과 필터를 사용한다. 디지털 적분기는 정확하고 쉽게 구현할 수 있으며, 추가적으로 남아있는 노이즈 성분은 그림 7과 같이 DC-DC 컨버터 자체에 존재하는 LC 필터를 이용하여 감쇠시킨다. 디지털 적분기의 수식은 아래의 (7) 과 같이 표현되면 단순한 디지털 로직으로 구현가능하다.

$$Y(z) = (1 + z^{-1} + z^{-2} + z^{-3} + \dots) V(z) \quad (6)$$

$$= \sum_{i=0}^{\infty} z^{-i} V(z) \quad (7)$$

본 논문의 컨트롤러 설계에서는 그림 1의 analog-to-digital interface는 DSM으로 구현되었고, 디지털 컨트롤러의 control law는 위에서 언급한 디지털 적분기로서 구현되었다. Control law 의 구현을 적분기로 한 것은 기존 [5]에서의 방식과 유사하다.

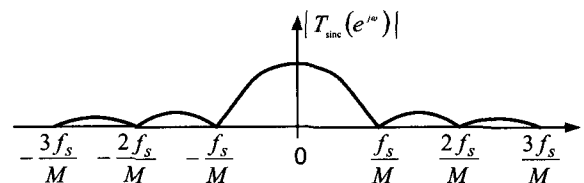


그림 6. Sinc 필터 응답
Fig. 6. Sinc filter response.

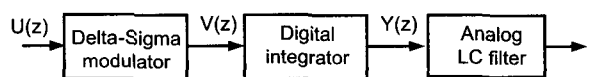


그림 7. DC-DC 컨버터의 필터
Fig. 7. Filter implementation in DC-DC converter.

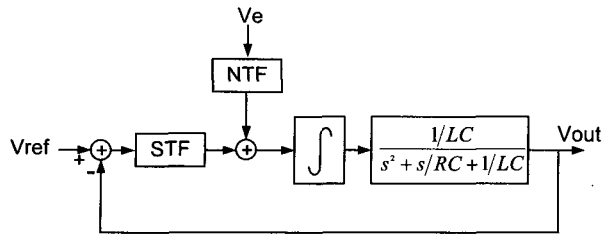


그림 8. 제안된 DC-DC 컨버터의 분석 모델
Fig. 8. Mathematical model of the DC-DC converter.

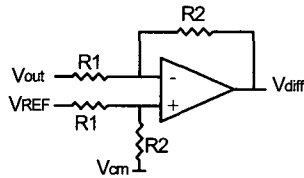


그림 9. 출력 전압의 오차를 검출하는 차동 앰프
Fig. 9. Differential amplifier to sense output voltage error.

그림 8은 본 논문에서 제안한 디지털 컨트롤러를 수학적으로 모델링 한 것이다. 그림 1의 ADC 블록은 STF와 NTF로, 디지털 블록은 적분기로 대체 하였고, 그림 1의 로드 저항 R, 인덕터 L, 커패시터 C는 2차 함수로 표현된 그림 8의 RLC 블록을 의미한다.

DC-DC 컨버터는 피드백 시스템으로, V_{out} 을 검출 받아 V_{ref} 와 V_{out} 의 오차를 측정하는 차동 앰프가 필요하다. 본 설계에서는 그림 9의 회로를 사용하였다. 피드백 시스템의 분석을 통해 V_{ref} 가 출력으로 전달되는 전달함수는

$$H1 = \frac{V_{out}}{V_{ref}} = \frac{STF \times K(s) \times L(s)}{1 + STF \times K(s) \times L(s)} \quad (8)$$

또한, 비교기의 quantization 노이즈 V_e 가 출력으로 전달되는 전달함수는

$$H2 = \frac{V_{out}}{V_e} = \frac{NTF \times K(s) \times L(s)}{1 + STF \times K(s) \times L(s)} \quad (9)$$

와 같이 표현될 수 있다. 그림 8에서 나타내진 DC-DC 컨버터는 continuous function 과 discrete function 이 함께 존재하는 형태가 된다. 따라서 본 논문에서는 Bilinear transformation^[13]을 적용하여 discrete 함수를 아날로그로 형태로 변환하여 분석하였다. 디지털 적분기를 수식으로 나타내면 아래와 같다^[5].

$$K(s) = \frac{K}{s} \quad (10)$$

여기서 K는 적분기 이득이고 다음과 같이 표현된다.

$$K = \frac{\Delta d}{T_{cnt}} \quad (11)$$

여기서 Δd 는 PWM 듀티 사이클 resolution이고 T_{cnt} 는 카운터 클럭의 한 주기이다. Δd 가 작아지면, 출력전압을 좀더 정확하게 컨트롤할 수 있으나, 피드백 시스템의 루프 이득이 감소되고 컨트롤 되는 응답속도는 늦어진다. 예를 들어, 7비트 PWM 컨트롤러를 사용할 경우 듀티 사이클의 resolution은 $3V/27=23mV$, 10비트는 $3V/210=2.9mV$ 이 된다. 만약 출력 컨트롤의 높은 정확성과 피드백 시스템의 빠른 응답을 동시에 요구할 경우, DSM의 클럭 주파수와, N-비트 디지털 적분기의 N-비트를 함께 증가시켜야 한다. 본 논문에서의 칩 설계에서는 전체 블록의 주파수를 같은 주파수를 사용하여 복잡성을 최소화 할 수 있게 설계하였다.

앞에서 언급한 바대로 Bilinear transform을 통해 continuous 함수로 변환한 후 피드백시스템의 특성을 분석하였다. 식 (8)과 식 (9)의 주파수 특성을 분석한 결과가 그림 10에 나타나 있다.

STF의 특성에 따르면 DC-DC 변환기의 DC 출력전압은 V_{ref} 전압과 같게 되고, NTF 특성에 따르면 quantization 노이즈는 특히 DC 쪽에서 크게 감쇠된다. 1 비트 인터페이스 기법인 DSM을 사용할 때 quantization 노이즈는 매우 크게 발생한다. 그러나

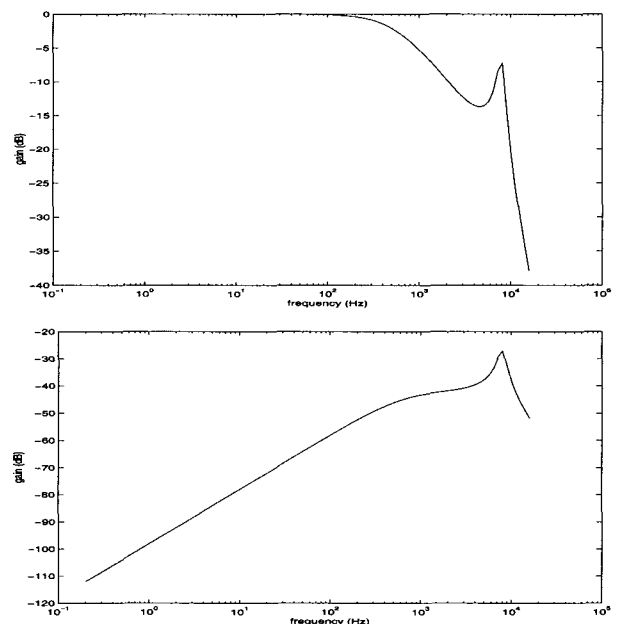


그림 10. STF 와 NTF 의 주파수 특성
Fig. 10. Magnitude responses of STF and NTF.

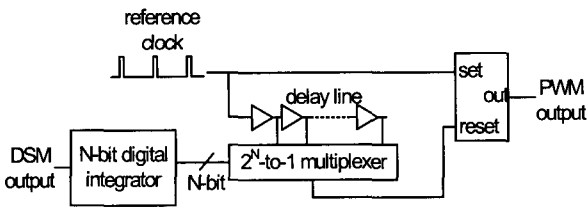


그림 11. 디지털 컨트롤러
Fig. 11. Digital controller.

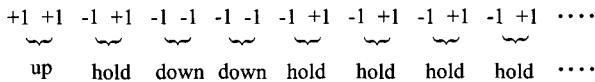


그림 12. 디지털 적분기 컨트롤 up, down, hold
Fig. 12. UP, down, and hold control of digital integrator.

NTF 에 의해 DC 근처의 전압에 대한 노이즈는 대폭 감소하게 된다. 이러한 원리에 의해 아날로그 값을 디지털 값으로 정확하게 변환할 수 있다는 사실을 quantization 노이즈 에 대한 NTF 의 그림에서 다시 한번 확인할 수 있다. 그림 11은 디지털 컨트롤러의 내부 구조이다. 디지털 컨트롤러의 구조는 일반적인 설계방식의 PWM 듀티 컨트롤러와 유사하다^{[4][5][7]}. 그림 11의 디지털 적분기는 그림 1의 디지털 블록과 비교하면 control law 블록에 해당하고, 그림 11의 다른 블록들은 PWM duty control 블록에 해당한다. Delay line은 2N의 delay buffer들로 구성되어 있다. 짧은 펄스는 플립플롭의 셋의 입력으로 연결 되어 PWM 신호를 high로 만들고, 멀티플렉서에서 선택된 딜레이 신호는 플립플롭의 리셋이 되어 PWM 신호를 low로 만든다.

본 논문에서 설계된 칩에서는 일반적인 디지털 컨트롤러 회로에 2가지 디지털 로직이 추가적으로 구현되었다. 첫 번째로, 그림 12 에서와 같이 hold 컨트롤 신호를 적분기에 구현 하였다. 출력 전압을 안정적으로 유지하려면, DC-DC 변환기의 PWM 듀티 비는 변화가 없어야 된다. 그러나 디지털 적분기는 멀티플렉서와 직접 연결되어있어, 적분기의 값이 약간이라도 변할 경우 PWM 듀티 비에 직접 영향을 준다. 그 결과 적분기의 값이 변하면, 출력전압이 oscillation 하며 불안정하게 동작할 수 있다. 불안정하게 동작하지 않기 위해서, 적분기에 hold 신호를 추가 했다. DSM 블록에서 발생된 2개의 연속적인 출력으로 컨트롤 신호를 만든다. 만약 2개의 연속적인 출력이 +1 +1 이면 up 컨트롤 신호를 발생하고 적분기는 1로 증가한다. 그리고 출력 신호가 -1 -1 이면 down 신호가 발생하여 적분기는 -1 감소한다. 또 +1 -1 또는 -1 +1 로 출력되면, hold 신호가 발생하고, hold 신호는 적분기의 이전 상태의 값을 계속

유지하여 적분기에 의한 출력전압의 oscillation을 방지한다.

두 번째로는, 적분기의 overflow, underflow를 방지하는 로직이 추가되었다. 예를 들어, 7비트 적분기는 최대 나타낼 수 있는 수가 127이다. 적분기 출력 값이 최대 일 때, up 컨트롤 신호가 들어올 경우 적분기는 overflow 되어 0 이 되므로 출력 전압은 크게 oscillation 하며 불안정하게 동작할 수 있다. 이렇게 불안정한 동작을 방지하기 위하여 적분기의 최대 값을 127 로 고정하여 유지시킨다. 이와 유사하게 적분기의 최소 값인 0 일 때 down 신호가 들어오면 적분기는 127 이 되어 불안정하게 동작 할 수 있으므로 적분기의 출력을 0 으로 강제로 유지 시킨다. 이와 같이 hold 와 overflow, downflow 는 불안정한 상태를 방지 하기위한 장치이다.

III. 시제품 측정 결과

제안된 디지털 DC-DC 컨버터는 0.35 μ m CMOS 공정을 사용하여 제작하였고, 아래 그림 13은 시제품 디지털 DC-DC 컨버터의 테스트 보드 사진이다. 사진의 왼쪽 아래의 칩이 개발된 칩이다. 아래에 나오는 실험 측정 파형들은 각각 7비트와 10비트 디지털 적분기를 사용하여 비교 테스트한 결과이다. 테스트에서는 DC-DC 컨버터의 V_{ref} 전압변화 및 출력전류 변화에 따른 피드백 컨트롤 성능을 보여준다. 그림 14는 7비트 PWM 컨트롤의 출력전류 변화에 따른 칩 성능을 측정한 것이다. 입력 전압을 3.0V, V_{ref} 전압은 1.5V로 설정한 후 출력전류를 그림 14의 아래쪽 파형에서와 같이 75mA에서 275mA로 변경한 후 다시 75mA로 변경하였다. 이러한 갑작스러운 변화에 따라 그림의 위쪽에 표시된 출력 전압에는 순간적으로 약 200mV 전압강하가 발생되었다. 그러나 개발된 7비트 칩의 피드백 컨트롤에 의해 약 300 μ s 후에는 정상적인 전압을 회복하도록 동작함을 알 수 있다. 출력전류 테스트 및 측정을 위해 저항과 스위치 그리고 전류 측정용 shunt 저항이 사용되었다. 출력전류 변화 측정시 발생한 스파크는 출력 전류를 변환 시켜주는 스위칭에 의한 것으로 판단된다. 그림 15는 10비트 PWM 컨트롤을 측정한 결과로 10비트 역시 안정도가 좋음을 알 수 있다. 식 (11)에서 7비트 PWM 적분기보다 10비트 PWM 적분기의 이득이 작음을 알 수 있고, 이것은 전체 피드백 시스템의 이득에 영향을 준다. 10비트 PWM 적분기가 7비트 PWM 적분기보다 이득이 1/8만큼 감소한

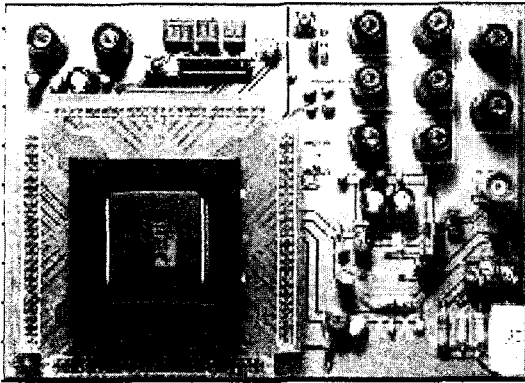


그림 13. 디지털 DC-DC 컨버터 테스트 보드 사진
Fig. 13. Board photograph of the digital DC-DC converter.

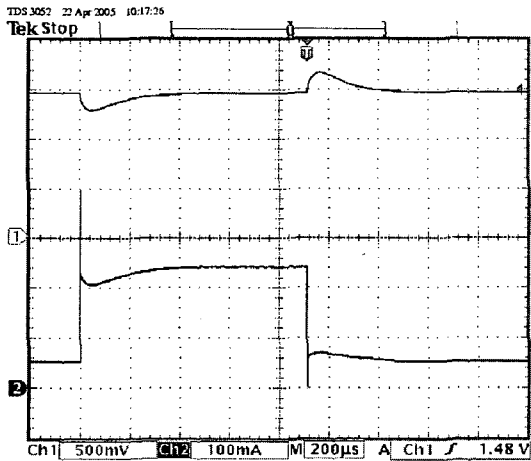


그림 14. 7비트 디지털 DC-DC 컨버터 출력전류 변경
Fig. 14. Output current change with 7bit digital DC-DC converter.

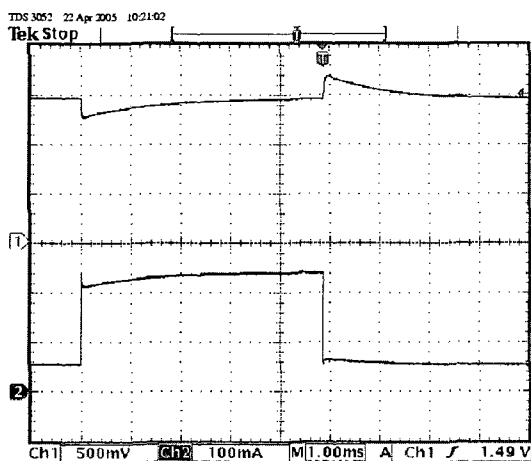


그림 15. 10비트 디지털 DC-DC 컨버터 출력전류 변경
Fig. 15. Output current change with 10bit digital DC-DC converter.

결과, 약 8배정도 응답시간이 길어진 결과를 보여준다. 그림 16과 그림 17은 입력전압은 3V로 고정되고 V_{ref} 가

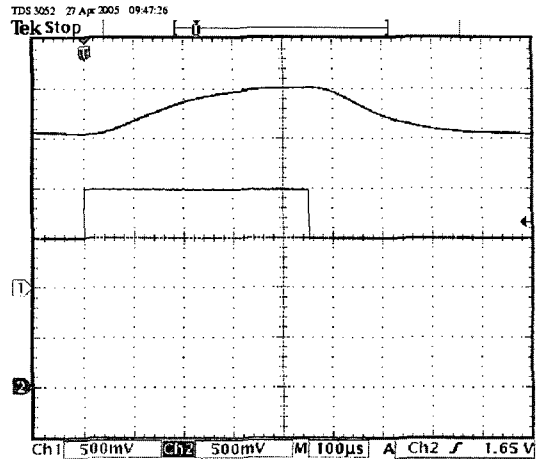


그림 16. 7비트 디지털 DC-DC 컨버터 V_{ref} 변경
Fig. 16. V_{ref} change with 7bit digital DC-DC converter.

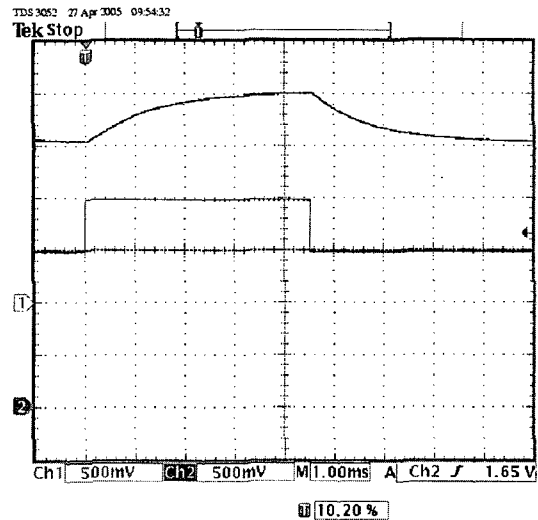


그림 17. 10비트 디지털 DC-DC 컨버터 V_{ref} 변경
Fig. 17. V_{ref} change with 10bit digital DC-DC converter.

1.5V에서 2.0V로 급격히 변할 때의 측정 결과를 보여준다. V_{ref} 의 변화에 따라 출력전압도 정확하게 변화됨을 테스트 보드 측정결과가 보여주고 있다. 앞에서의 결과와 동일하게 비트수가 높을수록 응답속도는 느려진다고 할 수 있다. 이러한 현상은 앞에서의 수학적 분석 결과와 일치한다.

그림 18은 입력전압이 3V, V_{ref} 전압은 1.5V일 때의 확대된 출력 파형을 보여준다. 그림의 아래쪽에는 더욱 크게 확대된 출력 파형을 보여준다. DC-DC 변환기의 power transistors의 ON/OFF에 의해 약 20mV ripple 전압이 발생함을 알 수 있다. 이러한 측정 파형은 매우 균일한 전압 ripple을 보여주고 있고, 이는 개발된 칩의 동작이 매우 안정정임을 증명한다.

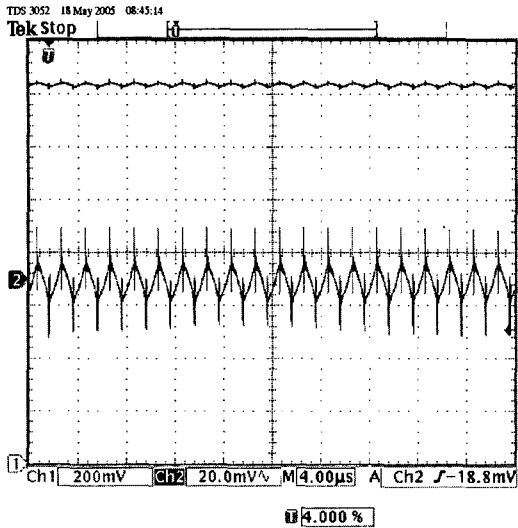


그림 18. 7비트 디지털 DC-DC 컨버터의 출력전압 및 ripple전압

Fig. 18. Output voltage and ripple voltage of the 7bit digital DC-DC converter.

IV. 결 론

본 논문에서는 기존 아날로그 방식이 아닌 디지털 방식으로 컨트롤 되는 DC-DC 변환기의 설계를 보여 주었다. 디지털 컨트롤러 칩의 개발은 기존의 디지털 방식에서 주로 사용되던 flash ADC 방식의 단점을 극복하기 위해, 아날로그 회로가 최소화 된 DSM을 인터페이스 회로로서 사용하였다. 개발된 칩은 테스트 보드를 통해서 성공적으로 동작하고 있음을 검증하였다.

참 고 문 헌

[1] J. Kim and M.A Horowitz, "An efficient digital sliding controller for adaptive power-supply regulation," IEEE J. of Solid-State Circuit, vol. 37, pp.639-647, May 2002.
 [2] S. Bibian, and H. Jin, "High performance predictive dead-beat digital controller for DC power supplies," IEEE Trans. on Power Electronics, vol. 17, pp.420-427, May 2002.
 [3] B. J. Patella, A. Prodic, A. Zirger, and D. Maksimovic, "High-frequency digital PWM controller IC for DC-DC converter," IEEE Trans. on Power Electronics, vol 18, pp.438-446, January 2003.
 [4] A. syed, E. Ahmed, and D. Maksimovic, "Digital PWM controller with feed-forward compensation," Applied Power Electronics

Conference, PP.60-66, 2004.
 [5] A. P. Dancy, R. Amirtharajah, and A. P. Chandrakesan, "High-efficiency multiple-output DC-DC conversion for low-voltage systems," IEEE Trans. on Very Large Scale Integration Systems, vol.8, pp.252-263, June 2000.
 [6] G. Y. Wei and M. Horowitz, "A fully digital, energy-efficient, adaptive power-supply regulator," IEEE J. Solid-State Circuits, vol. 34 pp.520-528, April 1999.
 [7] A. V. Peterchev, J. Xiao and S. R. Sanders, "Architecture and IC implementation of a digital VRM controller," IEEE Trans. on Power Electronics, vol 18, pp.356-364, January 2003.
 [8] K. Kutluay, I. Cadirci, A Yafavi, and Y. Cadirci, "Digital control of universal telecommunication power supplies using dual 8-bit micro-controllers," Industry Application Conference, pp.1197-1204, 2002.
 [9] G. F. Franklin, J. D. Powell, and M. Workman, Digital Control of Dynamic Systems, Third edition, Addison-Wesley, 1998.
 [10] R. W. Erickson, and D. Maksimovic, Fundamentals of Power Electronics, Second edition, KAP, 2001.
 [11] A. I. Pressman, Switching Power Supply Design, Second edition, McGraw-Hill 1998.
 [12] S. R. Norsworthy, R. Schreier, and G. C. Temes, Delta-Sigma Data Converters: Theory, Design, and Simulation, IEEE Press, 1996.
 [13] J. G. Proakis, and D. G. Manolakis, Digital Signal Processing: Principles, Algorithms, and Applications, Prentice Hall, 1996.

저 자 소 개



홍 완 기(학생회원)
2003년 동양대학교
제어계측공학과 학사.
2003년~현재 한양대학교
전기전자제어계측공학과
석사과정

<주관심분야 : System IC design, DC-DC converter>



김 기 태(학생회원)
2004년 한양대학교
전자공학과 학사
2004년~현재 한양대학교
전기전자제어계측공학과
석사과정

<주관심분야 : System IC design, DC-DC converter>



김 인 석(학생회원)
2005년 한양대학교
전자컴퓨터공학과 학사
2005년~현재 한양대학교
전기전자제어계측공학과
석사과정

<주관심분야 : System IC design, DC-DC converter>



노 정 진(정회원)
1990년 한양대학교
전기공학과 학사 졸업
1996년 삼성전자 선임 연구원
1998년 미국 Pennsylvania State
University 전기공학
석사 졸업

2001년 Intel. USA, senior design engineer

2001년 University of Texas at Austin.
컴퓨터공학 박사.

2001년~현재 한양대학교 전자컴퓨터공학부
조교수

<주관심분야 : CMOS DC-DC converter 설계,
Over-sampling delta-sigma data converters>