

## 미세 피치를 갖는 bare-chip 공정 및 시스템 개발

심형섭<sup>†</sup> · 강희석\* · 정훈\* · 조영준\* · 김완수\*\* · 강신일\*\*\*

<sup>†</sup>연세대학교 대학원 기계공학과, \*한국생산기술연구원,

\*\* (주)바이옵트로, \*\*\*연세대학교 기계공학부

## The Development of Fine Pitch Bare-chip Process and Bonding System

Hyoung Sub Shim<sup>†</sup>, Heui Seok Kang\*, Hoon Jeong\*  
Young June Cho\*, Wan Soo Kim\*\* and Shin Ill Kang\*\*\*

<sup>†</sup>Department of Mechanical Eng., Graduate School, Yonsei University,

\*Korea Institute of Industrial Technology,

\*\*BiOptro Co.LTD, \*\*\* School of Mechanical Eng., Yonsei University

### ABSTRACT

Bare-chip packaging becomes more popular along with the miniaturization of IT components. In this paper, we have studied flip-chip process, and developed automated bonding system. Among the several bonding method, NCP bonding is chosen and batch-type equipment is manufactured. The dual optics and vision system aligns the chip with the substrate. The bonding head equipped with temperature and force controllers bonds the chip. The system can be easily modified for other bonding methods such as ACF.

**Key Words :** Bare-chip, Flip-chip, Packaging, Bonding system, NCP

### 1. 서 론

IT기술, 반도체 산업 등의 급격한 발전에 힘입어 최근의 첨단 전자, 통신제품은 초경량 초소형화와 동시에 고기능 복합화의 발전 추세를 보이고 있다. 또한 소득수준의 증가로 인한 소비자 요구의 다양화에 따라 그 생산형태가 소량 다품종 생산체제로 급격히 변화하고 있다. 이에 따라 전자, 통신 제품의 크기나 부품의 크기가 급속히 소형화되며 요구되는 정밀도는 점점 높아지고 있는 추세이다. 이런 추세에 발맞추어 전자제품, 통신제품의 핵심적인 부품인 IC chip도 QFP(Quad Flat Pack) → TAB(Tape Automated Bonding) → BGA(Ball Grid Array) → COB(Chip On Board) → μBGA(micro Ball Grid Array) → FC(Flip Chip), μFC(micro Flip Chip) 등으로 계속 소형화되고 있다.

Flip Chip Package는 Module Substrate 위에 Chip

Surface를 Bumping 시킴으로서 최단의 접속길이와 저열저항, 저유전율의 특성도 가지면서 초소형에 높은 수율의 낮은 원가생산성을 갖는 첨단 패키징 기술이다. 현재 PC, MMIC 등에 활용되고 있으나 향후 폭넓게 사용될 것으로 예상하고 있다. 이와 같이 Flip chip으로 대표되는 Bare chip packaging은 기존의 방법에 비해 고밀도의 실장이 가능하고 고주파 특성이 뛰어나며 대량생산이 실현될 경우 제조 원가가 저렴한 장점이 있어, 점차 소형화되어 가는 전자, 통신제품에는 필수적인 조립기법이 되고 있으며 향후 21세기를 주도할 주요한 패키징 기술로서 자리를 잡게 되었다.

하지만 Bare chip 패키징은 선진외국에서도 아직 개발이 진행 중인 기술이며, 국내는 이제 개발을 막 시작한 단계라고 할 수 있다. 국내에서 선진국에 비해 경쟁력있는 Bare chip 패키징 기술을 확보하기 위해서는 다음과 같은 기술들의 개발이 시급하다.

우선, Bare chip을 비롯한 차세대 미소 전자부품의 실장공정 기술이 확보되어야 하며, 초미세 bare chip

<sup>†</sup>E-mail : nani7@kitech.re.kr

실장관련 핵심장비의 국산화가 필요하다. 칩 패키징 기술은 전자제품의 성능, 신뢰성, 가격을 결정하는 핵심 제조기술로서 반도체와 기타 전자 부품을 사용하여 전자 제품을 구현하는 핵심 제조 기술이라 할 수 있으며, 전체적인 칩 패키징의 수요는 전자, 통신 제품의 발달에 따라 계속 증가하고 있다. COF는 LCD 부분의 핵심 반도체 제품으로 TFT, STN LCD모니터, IMT2000용 컬러이동전화, PDA, PDP, 게임기 등의 수요증가와 더불어 폭발적으로 늘어나고 있으나 까다로운 공정기술에 의해 아직 여러 회사에서 장비가 출시되고 있지 못한 상태이다.

이에 본 연구에서는 Nanometer급 3차원 위치 측정/제어 기술, 정밀 온도제어 기술, 미소 힘 제어 기술, Calibration 기술, 마이크로 Epoxy Bonding/Dispensing 기술 등을 통한 미세 피치를 갖는 Bare chip 공정 및 시스템 개발을 수행하였다

## 2. 플립칩 패키징 공정

Flip-chip이란 bare chip을 뒤집어 기판에 접합하는 본딩 방법이다. 이 방법은 bare chip의 알루미늄 패드 위에 형성된 metallization 부위에 solder bump를 증착시키고, reflow 솔더링 공정으로 솔더의 형상을 구형으로 만든후 솔더가 장착된 bare chip을 reflow 솔더링 공정으로 기판에 접합시킨다. 이 공정 중 정밀온도제어 기술은 부품의 신뢰성에 중요한 영향을 미치는 공정중의 하나이다. 특히, package에 접착되어 있는 미세 칩에 나쁜 영향을 끼치지 않고 정확한 온도제어에 의해 균일하게 soldering할 필요가 있다. 부품의 특성에 따라 어느 온도 영역에서는 정해진 시간내에 일정한 온도이상으로 상승 시켜야만 하는 제한된 환경을 만들어 줄 필요가 있다. 따라서 이에 적합한 장비를 제작하였다.

또한, 수십미크론 정도의 크기를 갖는 초미세 전자 부품의 실시간 조립 작업에서 발생 가능한 오차를 패

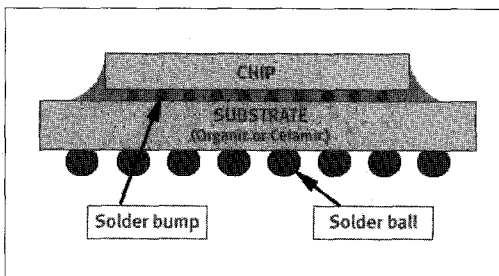


Fig. 1. Cross section of BGA flip chip.

키징 시스템이 스스로 보정할 수 있도록 하기 위해서 콤비 광학계 및 정밀 비전 센서 정보융합기술을 개발하였다. 이 기술을 이용하여 조립영역 내에서 두 광학계로부터의 부품과 substrate 상의 실장 위치간의 위치 정보를 맵핑하고, 이 정보를 사용하여 패키징 장비의 위치 제어 시스템의 자세 및 위치교정을 통해 요구되는 정렬 정밀도를 만족하는 장비를 제작하였다.

### 2.1. 플립칩 장비 구성

플립칩 장비의 기본적인 구성을 Fig. 2에 나타내었다. 이 그림에서 알 수 있듯이 Loader/Unloader, Indexer 및 Rail System, Dispenser, Wafer Loader, Wafer Transfer System, Chip Pick Up Unit, Chip Recognition Unit, Bonding Header, 그리고 Film상의 칩이 놓일 위치와 Chip의 상대적인 위치 및 자세를 자동으로 인식하는 Unit로 구성되어 있다.

세부적인 장비구성을 살펴보면 다음과 같다. Reel Tape에 감겨져 있는 film을 공급하여 주는 Loader와 칩의 Bonding이 끝난 필름을 다시 Reel에 감아서 배출하는 Unloader가 좌우측에 배치되어 있다. Loader에서 들어온 Film을 펴서 Bonding부의 정확한 위치에 공급하고 본딩이 끝난후 Unloader로 보내주는 역할을 하는 Indexer 가 중앙에 있다. Underfill용 수지를 공급하는 Dispenser는 Bonding head 전에 위치하여 Substrate에 Bonder를 공급하는 역할을 한다.

Chip이 Sawing & Sorting 된 wafer형태로 공급될 때 이 wafer를 적재해 놓는 Buffer기능을 하는 Wafer Loader와 Wafer Loader에서 공급된 Wafer에서 chip을 하나씩 Pickup할 수 있도록 분리시켜 주는 기능을 하는 Wafer Transfer는 별도의 공급라인에 배치되어 있다. Wafer Pick up은 Wafer Transfer에서 집어낸 부품을 Bonder Head까지 공급해 주는 기능을 한다. 전달 중에 Chip을 180도 회전시켜서 본딩 방향이 기판 쪽을 향하도록 하게 하는 기능도 갖고 있다.

본딩헤드는 기판과 Chip을 직접 본딩 하는 장치로서 적당한 압력과 열을 가할 수 있도록 설계되어 있다. 또한 본딩헤드는 Chip과 기판을 정렬하는 기능을 갖고

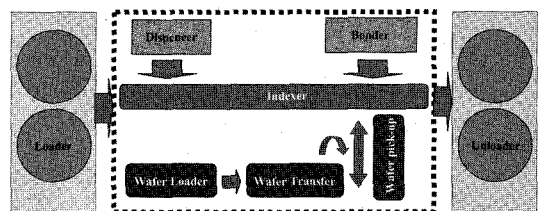


Fig. 2. Layout of COF bonding machine.

있다. 정렬은 Dual 광학계와 정밀 스테이지를 이용하여 수행된다.

**2.2. 시스템 설계**

자동화된 플립칩 장비는 Fig. 2의 공정을 모두 포함하여야만 한다. 그렇지만 본 연구에서는 연구 목적의 장비 개발을 위하여 Substrate와 Chip의 Carrier부분과 Loader, Unloader 부분을 생략한 반 자동화 장비를 제작하였다. 즉 플립칩 본딩 장비의 핵심인 본딩헤드 부분만을 제작하여 실제 생산 보다는 실험이나 Pilot 생산 또는 Rework장비 등으로 활용 가능한 장비를 제작하였다.

또한 Loader, Unloader를 사용하지 않으면서 자동화 장비를 만들기 위해 카트리지 형태의 본딩 베이스를 사용하여 일정량의 Chip을 Batch형태로 공급 할 수 있도록 하였다

Fig. 3은 플립칩 장비의 설계도면으로 작동원리를 보

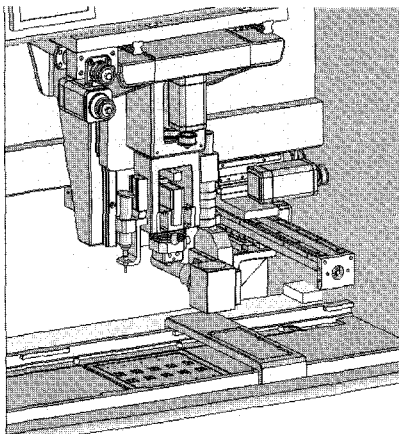


Fig. 3. Schematic of bonding module.

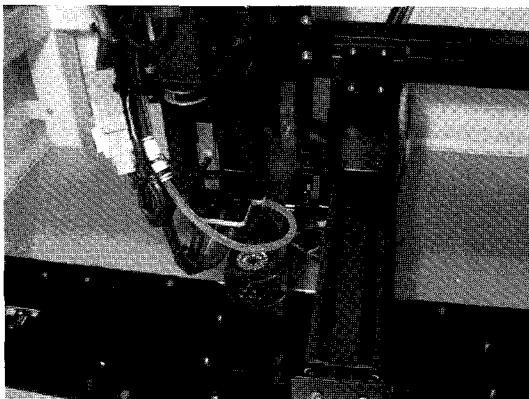


Fig. 4. Bonding module.

면 Bonding Head부분에서 Bare chip을 흡착하게 되면 듀얼 광학계가 측정위치로 움직여 Substrate와 bare chip의 마크를 camera를 통하여 정렬하게 된다. 이 결과를 가지고 chip을 흡착하고 있는 Bonding head는 X, Y 축으로 움직이게 된다. Camera 화면에 얼라인 마크가 정확히 일치하면 Bonding Head 부분이 Z축으로 내려와 열과 압력으로 본딩 하게 된다. 이때 Bonding Base 부분 역시 열을 가하게 된다.

Fig. 4는 본딩 장비의 실제 사진을 보여주고 있다. 장비의 핵심 요소인 Bonding Head, Bonding Base, Dual Camera 등을 나타내고 있다.

Table 1에서 보듯이 이 장비는 열 압착을 이용하여 본딩을 하며, 온도는 300°C까지 제어가 가능하다. 본딩 Force는 5 N에서 300 N까지 제어할 수 있으며, 본딩 할 수 있는 가장 작은 칩 사이즈 크기는 1x3 mm이며 substrate는 35 mm이다. 그러나 헤드부분과 본딩 베이스 부분을 교체하면 더 작은 bare chip 본딩도 가능하다.

**2.3. Bonding Head**

본딩헤드는 여러 부품으로 이루어져 있어 다양한 기능을 수행하게 된다. 본딩 팁은 중공 타입으로 제작되

Table 1. Spec. of bonding module

Bonding Method	열 압착
Heat source (°C)	R.T.~300
Bonding Force (N)	5~300
Chip Size (mm)	1×3~25×25
Substrate Size (mm)	35~70

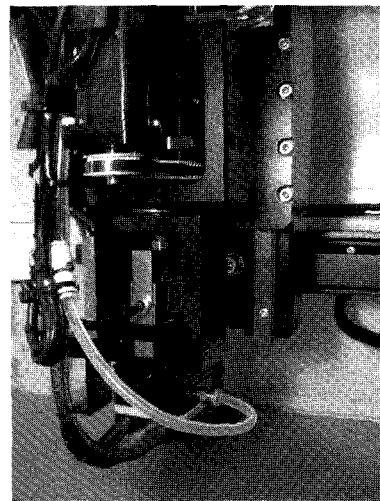


Fig. 5. Head module.

Table 2. Spec. of Head module

Bonder Head Module			
Heater		Cartridge Heater	
Temp. Range (°C)		R.T. - 350	
Temp. Control		1°C	
Bonder Force (N)		5 - 300	
Bonding Time		Max. 20 Sec.	
Axis	Stroke	X	150 mm
		Y	150 mm
		Z	150 mm
		R	±15°
	Accu.	X	±5 µm
		Y	±5 µm
		Z	±5 µm
		R	±0.02
Force control		Loadcell	

어 있어 공급된 Chip을 진공으로 잡게 된다. 또한 본딩 헤드는 4축의 정밀 스테이지에 장착되어 있는데, 비전을 통해 계산된 위치 정보를 이용하여 기관과 칩을 정해진 정밀도로 정렬하는 기능을 수행한다. 정렬이 끝난 후 본딩을 수행하기 위해서는 적당한 압력과 열이 필요하게 된다.

이에 따라 본딩 팁에는 히터가 장착되어 있고 Force Control을 위해서는 Load cell이 장착되어 있다. 압착력이 크거나 본딩 중에 충격력이 가해지면 Chip이나 기관이 파손될 수 있으므로 정확하고 빠른 힘 제어가 필수적으로 필요하다. Fig. 5와 Table 2에 본딩헤드의 구조와 스펙이 나타나 있다.

온도제어는 1°C 간격으로 가능하며, 한번 본딩시 걸리는 최대시간은 20 sec로 Wire본딩에 비하여 빠르다는 것을 알 수 있다. Accuracy가 ±5 µm로써 fine pitch를 갖는 bare chip 본딩에도 사용할 수 있다.

2.3. Vision unit

Fig. 6에 보는 바와 같이 듀얼광학계의 원리를 살펴보면 위 부분의 영상 즉, image 1은 Beam splitter를 통하여 바로 CCD 카메라로 영상이 전달 되어 지며 아래 부분의 영상 즉, image 2는 Beam splitter와 미러를 통하여 CCD 카메라로 영상이 전달된다.

Fig. 7에서 보는 바와 같이 조명을 위하여 image 1과 image 2를 보는 부분에 고휘도LED가 감싸고 있다.

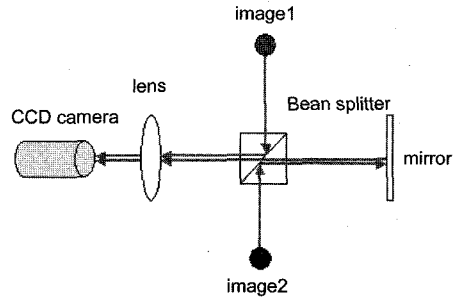


Fig. 6. Schematic of Dual view system.

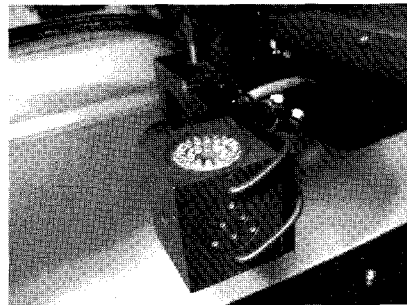


Fig. 7. Vision module.

듀얼광학계는 미리 상부 하부의 기준이 맞추어 진다. 적용되는 한계는 1마이크로미터의 분해능을 가지며 (비전에서 커버하는 에어리어는 640x480 마이크로미터), 일단 하부 PCB 기준면의 X, Y, R에 대한 Combined Image를 영상처리 기법을 사용하여 찾는다. 기준이 설정이 되면 상부칩의 상태를 확인하고, 동일한 방법으로 기준에 대해 틀어진 상태에 대한 계산된 위치만큼 X, Y, R을 컨트롤 하여 위치를 맞추게 된다. 맞추어진 칩의 상부 하부를 다시 동시관찰 또는 순차 관찰하여 Align mark가 일치하면 Z축으로 이송 및 가압하여 본딩 하게 된다.

Table 3. Spec. of vision module

Bonder Vision Module			
Method	Dual Side Viewer (Chip Bump Side @ Substrate)		
Axis	Stroke	X	200mm
		Y	150mm
	Accue.	X	±5 µm
		Y	±5 µm
Speed	100 mm/s		

### 3. 결 론

COF는 LCD 부분의 핵심 반도체 제품으로 TFT, STN LCD모니터 등의 수요증가와 더불어 폭발적으로 늘어나고 있다. 그러나 까다로운 공정기술에 의해 아직 여러 회사에서 장비가 출시되고 있지 못한 상태이다. 이를 감안하여 LCD Driver IC용 COF 장비를 위한 Flip chip Bonding 시스템을 개발하였다. 본 장비는 Substrate와 Chip의 Carrier부분과 Loader, Unloader 부분을 생략한 반 자동화 장비이다. 즉 플립칩 본딩 장비의 핵심인 본딩헤드 부분만을 제작하여 실제 생산 보다는 실험이나 Pilot 생산 또는 Rework 등에 활용이 가능한 장비이다. Flip Chip 접합공정이 타 공정에 비해서 생산성이 높으며 Cost가 낮은 장점을 지니므로 향후 이러한 공정수요가 증가할 것으로 예측된다.

### 감사의 글

본 연구는 G7 첨단생산시스템개발사업의 기술료활용사업의 지원으로 진행되었으며, 이에 감사 드립니다.

### 참고문헌

1. Adrian Michalick, M. and Bright, V. M., "Flip-chip fabrication of advanced micromirror arrays", Sensors and actuators. A, Physical, Vol. 95 No. 2/3, pp. 152-167, 2002.
2. Yi-Shao Lai and Tong Hong Wang, "Verification of submodeling technique in thermomechanical reliability assessment of flip-chip package assembly?", Microelectronics and Reliability, Vol. 45, Issues 3-4, Pages 575-582, 2005.
3. 이상학, "전자패키지(Electro Package) 기술동향", 한국과학기술정보연구원, 2003.
4. 류연수, "플립칩관련 기술 및 시장동향", 전자부품연구원 전자정보센터 2002.