

Fail-Safe Seaway를 위한 GPS 수신기의 다중비트처리기법 연구

조득재* · 오세웅** · 서상현***

*, **, *** 한국해양연구원

A Study on Multi-Bit Processing Scheme of GPS Receiver for Fail-Safe Seaway

Deuk-Jae Cho* · Se-Woong Oh** · Sang-Hyun Suh***

*, **, *** Korea Ocean Research & Development Institute, Daejeon 305-343, Korea

요 약 : 해상에서 항법시스템의 고장이나 중단에도 불구하고 연속적인 항법 서비스의 제공이 가능하도록 하는 Fail-Safe Seaway 방안이 필요하다. 모든 위성 및 지상전파항법의 통합전파항법기술을 위해 본 논문에서는 소프트웨어 라디오 기술을 이용한 수신기 특히, GPS 수신기의 신호처리 알고리즘 설계에 초점을 맞춘다. 현재 소프트웨어 GPS 수신기의 가장 큰 문제점은 실시간 구현의 어려움에 있다. GPS 신호와 같이 넓은 대역폭을 갖는 신호를 다중 상관기로 구현하는데 있어서, 상용 프로세서에서는 많은 연산량이 요구되어 실시간 구현이 어렵기 때문이다. 본 논문은 실시간 구현 시에 요구되는 많은 연산량을 해결하기 위해 소프트웨어 GPS 수신기 내부에서 생성하는 다중비트의 반송파 및 코드를 일정한 패턴으로 간소화시켜 연산량을 크게 감소시키는 방법을 제안한다.

핵심용어 : Fail-Safe Seaway, 통합전파항법기술, 소프트웨어 GPS 수신기, 다중비트처리

Abstract : It is necessary that Fail-Safe Seaway technology providing a continuous navigation solution though fault of navigation system is occurred in sea. This paper focus on signal processing of GPS receiver, one of receivers using the software radio technology to implement a integrated radio navigation system including satellite-based and ground-based navigation systems. It is difficult to implement the software GPS receivers using a commercial processor because of the heavy computational burden for processing the GPS signals in real time. This paper proposes an efficient multi-bit GPS signal processing scheme to reduce the computational burden for processing the GPS signals in the software GPS receiver. The proposed scheme uses a compression concept of the multi-bit replica signals and patterned look-up table method to generate the correlation value between the GPS signals and the replica signals.

Key words : Fail-Safe Seaway, Radio navigation, Software GPS receiver, Multi-bit processing

1. 서 론

현재 사용하고 있는 디지털 신호처리 방식의 GPS (Global Positioning System) 수신기는 크기, 무게, 전력 소비와 성능 면에서 많은 장점을 가지고 있지만, 동시에 디지털 신호처리 과정이 하드웨어로 구현되어 있기 때문에 몇 가지 제한을 가지고 있다. 즉, GPS 수신기의 구현 방식을 변경하려면 하드웨어로 구성된 디지털 신호처리의 구조 변경 및 교체가 필요하고, 그로 인한 시간과 비용의 낭비가 발생하게 된다. 최근 들어 이러한 문제점을 해결하기 위해 소프트웨어 라디오 (SDR, Software Defined Radio) 기술을 이용한 GPS 수신기의 설계가 많이 연구되고 있다. 소프트웨어 라디오 기술은 최소의 RF 블록만을 이용하여 모든 디지털 신호 처리를 소프트웨어로 수행하기 때문에 다른 형태의 통신 방식 전환이 용이하고, 적용 분야가 매우 다양하기 때문에 GPS를 비롯한 여러 통신 분야의 연구 쟁점으로 떠오르고 있다(Mitola, 2000;

Akos, 2001).

소프트웨어 GPS 수신기와 기존 GPS 수신기의 주된 차이점은 디지털 신호처리 과정이 모두 소프트웨어로 구현된다는 점이다. 소프트웨어 GPS 수신기는 새로운 구현 방식이나 알고리즘, 그리고 다른 주파수 대역의 신호처리 과정을 적용할 때에도, 더 이상의 하드웨어 변경은 필요가 없으며, 단지 소프트웨어 재설계만으로 가능하게 된다. 즉, 소프트웨어 GPS 수신기는 하드웨어로 구현된 GPS 수신기의 단점인 재구성력, 유연성 등을 장점으로 갖게 된다. 그러나 현재 소프트웨어 GPS 수신기의 가장 큰 문제점은 실시간 구현의 어려움에 있다. GPS 신호와 같이 넓은 대역폭을 갖는 신호를 다중 상관기로 구현하는데 있어서, 상용 프로세서에서는 많은 연산량이 요구되어 실시간 구현이 어렵기 때문이다(Jonas, 2002; Ledvina, 2003).

현재 구현 가능한 소프트웨어 GPS 수신기는 RF (Radio Frequency) 대역의 GPS 위성 신호를 IF (Intermediate

* 대표저자 : 조득재, djcho@moeri.re.kr 042)868-7282
** 정희원, osw@moeri.re.kr 042)868-7297
*** 종신회원, shsuh@moeri.re.kr 042)868-7264

Frequency) 대역으로 내림 변환 후, A/D (analog to digital) 변환기를 거쳐 IF 샘플 데이터를 생성하는 과정은 하드웨어로 구현하고, 그 이후의 모든 신호처리 과정을 소프트웨어로 구현한다.

본 논문은 현재의 기술 상태를 고려하여, RF/IF부를 상용 칩을 이용하고, IF 샘플 데이터의 처리는 PC 환경에서 수행하여 초기 동기, 신호 추적, 측정치 생성, 항법 등과 같은 대부분의 GPS 신호처리를 수행하는 소프트웨어 GPS 수신기를 대상으로 기술하였다.

사용자의 위치를 구하기 위해서는 4개 이상의 위성 신호가 필요하므로, 이에 따라 실시간 구현 시에 요구되는 많은 연산량을 해결하기 위해 본 논문은 새로운 신호처리 기법을 제안한다. 제안하는 신호처리 기법은 소프트웨어 GPS 수신기 내부에서 생성하는 다중비트의 반송파 및 코드를 일정한 패턴으로 간소화시켜 연산량을 크게 감소시키는 방법이다(Cho, 2003).

2. 일반적인 GPS 디지털 신호처리기

GPS 디지털 신호처리기는 입력된 디지털 IF 샘플 신호로부터 반송파 및 코드를 제거하여 항법 메시지를 제공하여야 하며, 위성 신호와의 동기 유지를 위한 반송파 및 코드 추적 루프에 오차 신호를 제공해야 한다. 이 오차 신호는 각 추적 루프의 판별기 (discriminator)의 종류에 따라 달라지며, 일반적으로 반송파 추적 루프를 위해 동위 위상 (in-phase) 상관 값과 직교 위상 (quadrature-phase) 상관 값을, 코드 추적 루프를 위해 앞섬 (early) 코드에 대한 상관 값과 뒤짐 (late) 코드에 대한 상관 값을 제공한다. 또한 위성과 수신기간의 의사거리 측정정을 위해 현재 생성하는 의사 잡음 코드의 위상 정보를 제공해야 한다. 이러한 신호 추적 과정을 통해서 비로소 항법 메시지 복원과 항법에 필요한 측정치 생성이 가능해진다. 이를 위해 일반적인 GPS 수신기의 디지털 신호처리기는 Fig. 1의 구조를 갖는다.

Fig. 1에서 생성된 동위 위상 반송파는 식 (1)과 같이 나타

낼 수 있으며, 반송파 혼합기의 출력은 식 (2)와 같이 정리할 수 있다.

$$LO_I = \cos [2\pi f_r t_k + \phi_k] \quad (1)$$

$$I_k = \frac{1}{2} A_k C_k D_k \cos [2\pi (f_{IF} - f_r) t_k + \phi_k - \phi_{rk}] + \frac{1}{2} A_k C_k D_k \cos [2\pi (f_{IF} + f_r) t_k + \phi_k + \phi_{rk}] \quad (2)$$

여기서 f_r 와 ϕ_{rk} 는 생성된 동위 위상 반송파의 주파수 및 위상이다.

코드 혼합기의 출력 신호는 반송파 혼합기의 출력 신호와 코드 발생기의 코드를 곱하여 생성된 신호로 식 (3)과 같이 나타낼 수 있다.

$$I'_k = \frac{1}{2} A_k C_k C_{rk} D_k \cos [2\pi (f_{IF} - f_r) t_k + \phi_k - \phi_{rk}] + \frac{1}{2} A_k C_k C_{rk} D_k \cos [2\pi (f_{IF} + f_r) t_k + \phi_k + \phi_{rk}] \quad (3)$$

여기서 C_{rk} 는 코드 발생기에서 생성한 코드이다.

누산기는 코드 혼합기에서 출력한 신호를 누산하는 블록으로 C/A 코드의 한 주기 동안 누산한 결과를 출력하며, 식 (4)와 같다.

$$I_\Sigma = \sum_{k=1}^{M_E} I'_k = \frac{A}{2} M_E \frac{\sin(\pi \Delta f_\Sigma T)}{\pi \Delta f_\Sigma T} R(\tau_\Sigma) D_\Sigma \cos(\Delta \phi_\Sigma) \quad (4)$$

여기서 T는 C/A 코드의 주기, ME는 T시간 동안의 샘플 수, f_Σ 은 주파수 오차, τ_Σ 은 입력 코드와 생성 코드 사이의 시간 오차, ϕ_Σ 는 위상오차, $R(\tau_\Sigma)$ 는 C/A 코드의 자기상관 (autocorrelation) 함수이며, 식 (5)와 같이 근사화 할 수 있다.

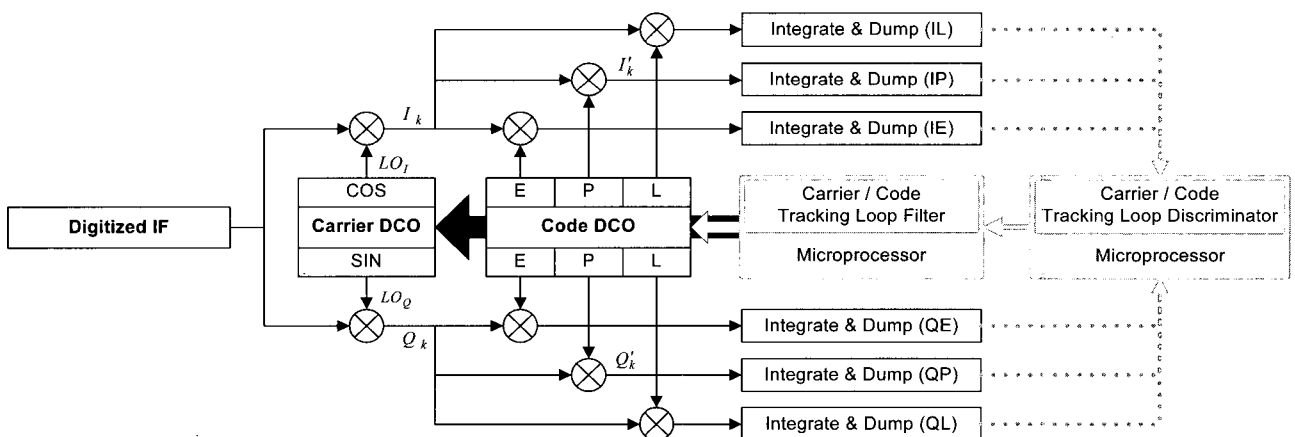


Fig. 1 Structure of the conventional digital signal processor

$$R(\tau) = \begin{cases} 1 - |\tau|, & |\tau| \leq 1 \\ 0, & |\tau| > 1 \end{cases} \quad (5)$$

3. 다중비트처리기법 기반의 GPS 디지털 신호처리기

본 논문에서 제안하는 디지털 신호처리기의 상관기 동작 메커니즘을 하드웨어에서 동작하는 일반적인 디지털 신호처리기의 상관기 동작 메커니즘과 비교하면 Fig. 2와 같다. 일반적인 디지털 신호처리기의 상관기 동작 메커니즘은 입력 IF 샘플 신호와 수신기 생성 신호를 샘플별로 상관하여 1msec 동안 적분하는 방법이다.

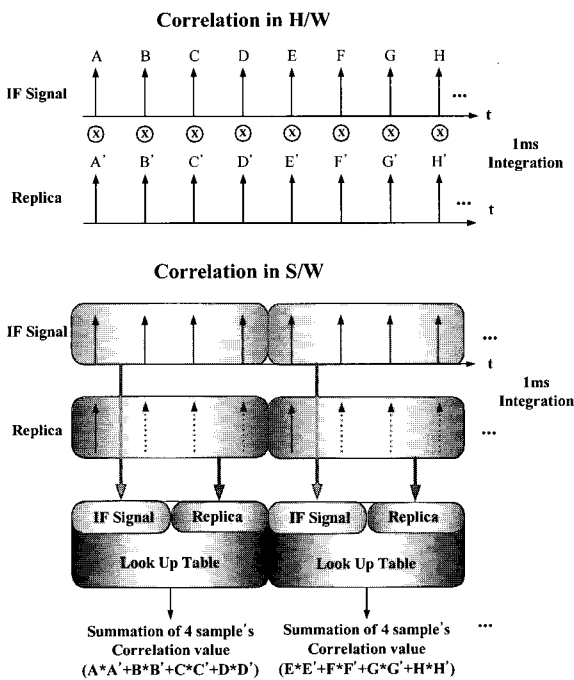


Fig. 2 Mechanism comparison of the conventional correlator and the proposed correlator of the digital signal processor

제안하는 디지털 신호처리기의 상관기 동작 메커니즘은 입력 IF 샘플 신호를 모아서 수신기 생성 신호와 함께 한꺼번에 상관하여 적분하는 방법이다.

Fig. 2의 상관기 동작 메커니즘을 포함하는 디지털 신호처리기의 구조는 Fig. 3과 같다(Cho, 2003).

제안하는 신호처리기는 디지털 IF 샘플 신호를 연속 신호 제어 블록을 통해 생성한 디지털 IF 샘플 열을 수신기에서 생성하는 반송파 및 코드와 합성한 후, 이 합성한 비트 열을 주소로 하는 LUT에 의해 연속 신호 제어에 따라 상관값을 계산하는 구조이다.

3.1 연속 신호 제어 블록 설계

연속 신호 제어 블록 (Serial-to-Parallel Control)은 디지털 신호처리기에 입력되는 디지털 IF 샘플 신호를 N샘플, 즉 2N(N=1, 2, 3, ...) 비트의 연속된 디지털 IF 샘플 신호 열로 제어하는 블록으로, 일종의 일정한 길이의 비트 열을 저장하는 버퍼라고 할 수 있다.

3.2 반송파 및 코드 생성

본 논문에서 제안하는 반송파 및 코드 생성 방법은 주로 영상 데이터 압축에 사용하는 DCT (discrete cosine transform)의 개념을 기반으로 한다. DCT의 기본 개념은 영상 데이터의 이웃하는 픽셀간 변화가 적기 때문에 이는 공간 주파수 관점에서 저주파이고, 따라서 영상 정보는 거의 저주파에 집중하게 되므로 입력되는 영상 데이터를 DCT 변환을 거쳐 적은 수의 영상 신호에 정보를 집중시키고, 고주파 성분에 대해서는 '0' 또는 작은 값을 갖도록 하여 압축을 하게 되는 것이다. 이러한 개념을 반송파 및 코드 생성 방법에 적용할 수 있다. 반송파 생성의 경우, 수신기에서 생성하는 반송파의 종류는 ±1, ±2의 4가지이다. 이때 4가지의 반송파로 구현할 수 있는 반송파 패턴의 수는 총 256가지이다. 256가지의 패턴을 반송파 생성기의 출력 패턴과 비교해 가장 많이 일치하는 빈도를 나타내는 패턴을 수신기에서 생성하는 패턴으로만 결정한다. 반송

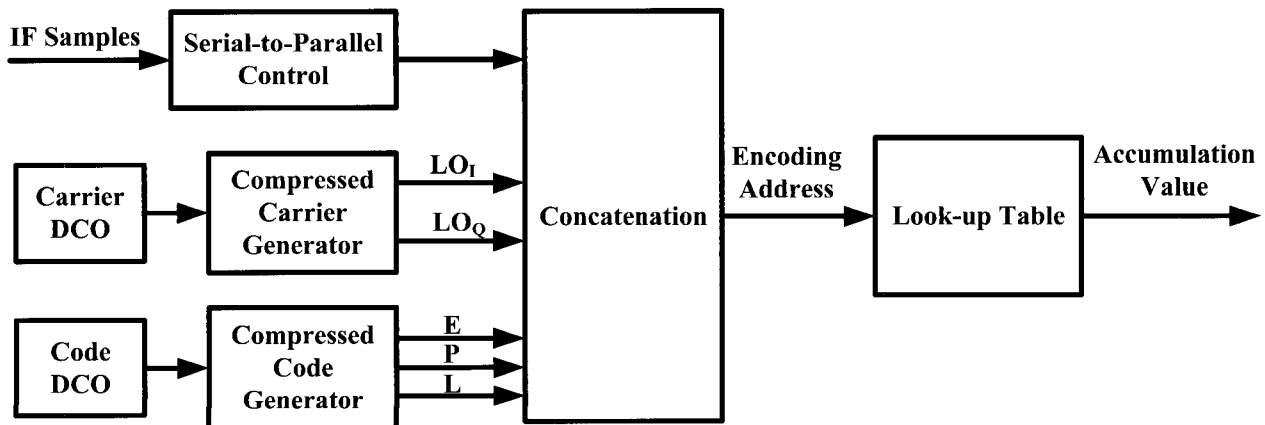


Fig. 3 Structure of the proposed digital signal processor

파 패턴을 결정하는 개념을 Fig. 4에 나타내었다.

N개의 디지털 IF 샘플에 대해 생성된 N개의 반송파는 식 (6)과 같이 일반화하여 나타낼 수 있다.

$$LO_{I_N} = \sum_{n=1}^N \cos [2\pi f_r t_k + \phi_{rk + \text{mod}([n-1] \times 2, 8)}] \quad (6)$$

여기서 $\text{mod}([n-1] \times 2, 8)$ 은 $[n-1] \times 2$ 를 8로 나눈 나머지를 의미한다.

식 (6)은 N=1일 때 식 (1)과 같음을 알 수 있다.

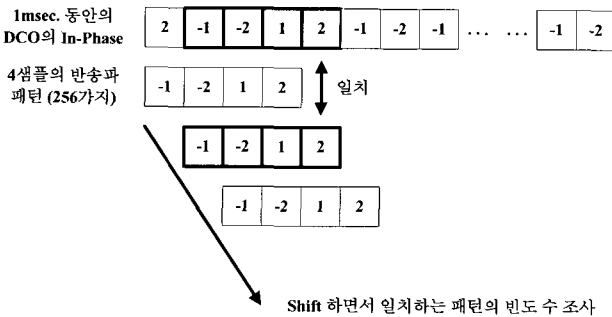


Fig. 4 Concept of the carrier pattern decision

식 (6)에서의 위상, $\phi_{rk + \text{mod}([n-1] \times 2, 8)}$ 은 주파수 생성기의 상위 3비트에 따라 결정되는데, 이때의 동위 위상과 직교 위상 반송파 출력을 Table 1에 나타내었다.

Table 1 Carrier output

주파수 생성기 상위 3비트 위상	동위 위상 반송파 출력	직교 위상 반송파 출력
000	1	2
001	2	1
010	2	-1
011	1	-2
100	-1	-2
101	-2	-1
110	-2	1
111	-1	2

식 (6)과 Table 1로부터 N=4인 경우, 임의의 시점에서 주파수 발생기의 상위 3비트가 '001'이라면 그 시점에서의 동위 위상 반송파 출력은 '2'가 되고 다음 세 시점에서는 '1', '-2', '-1'이 될 것이라는 것을 알 수 있다. 또한 임의의 시점에서 초기 반송파 출력이 결정되면, 식 (6)에 의해 일정한 반송파 패턴만을 생성한다는 것을 알 수 있다.

코드 생성의 경우, 코드 위상 (code phase)과 샘플링 클럭과의 관계가 중요하다. 즉, C/A 코드의 패턴을 찾기 위해 코드 위상에 따라 C/A 코드의 한 칩이 샘플 되는 개수로 코드의 패턴을 결정한다. 코드 패턴을 결정하는 개념을 Fig. 5에 나타내었다. N=4인 경우, 수신기에서 생성하는 코드의 종류는 ±1의 2가지이고, 4개의 샘플을 한번에 처리하므로 구현할 수 있는 코드의 패턴 수는 총 8가지이다.

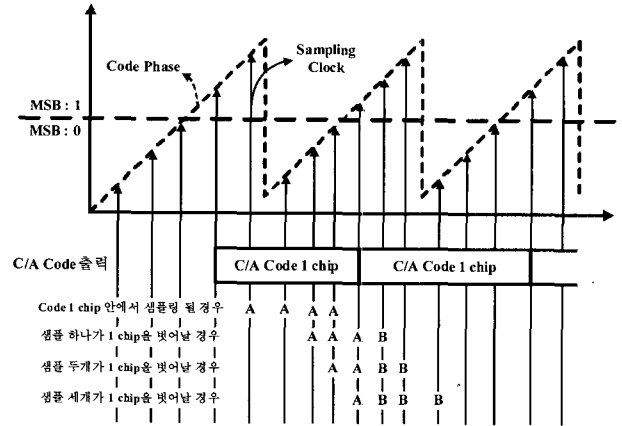


Fig. 5 Concept of the code pattern decision

3.3 다중비트열의 조합과 LUT를 이용한 누산기

8비트의 디지털 IF 샘플 신호의 인코딩 값과 그 시점의 주파수 발생기의 위상에 따른 3비트의 반송파 패턴 인코딩 값 및 2비트의 코드 패턴 인코딩 값을 조합하여 LUT에 의한 누산값을 생성하는 과정을 Fig. 6에 나타내었다. 인코딩 조합에 의해 13비트의 인코딩 주소 (0h1FC9)가 생성되면, 미리 만들어 놓은 LUT에 의해 누산값 (14)을 기존의 곱셈 연산 없이도 얻을 수 있다.

4. 제안한 디지털 신호처리기의 신호 손실 분석

제안한 디지털 신호처리기는 한번에 N개의 샘플 신호를 처리하고, LUT를 이용함으로써 기존 연구 결과보다 연산량 관점에서 덧셈 연산량을 1/N만큼 감소시킬 수 있고, 곱셈 연산이 필요 없다. 하지만 이에 따른 신호 손실을 감수해야 한다. 즉, 소프트웨어 GPS 수신기의 디지털 신호처리기 중 반송파 신호 패턴의 모든 경우의 수를 생성하는 것이 아니라 압축된 반송파 패턴만을 생성하므로, 이는 소프트웨어 GPS 수신기의 구조를 간결하게 할 뿐만 아니라 LUT를 생성하는데 필요한 주소의 개수를 줄여 PC 메모리의 부담을 덜어준다. 그러나 Fig. 4의 개념으로부터 얻을 수 있는 총 24가지의 패턴을 92%의 빈도 확률을 갖는 8가지의 패턴으로 압축함에 따른 신호 손실은 불가피하다. 반송파 패턴 수에 따른 신호 손실률을 Fig. 7에 나타내었다.

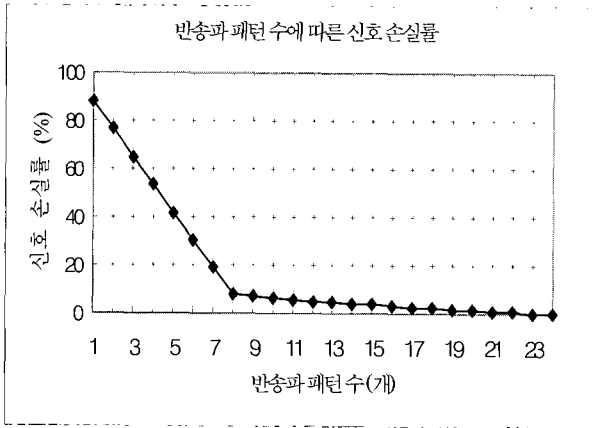


Fig. 7 Signal loss due to the number of carrier pattern

또한 코드 패턴의 경우에도 모든 경우의 수를 생성하는 것이 아니라 압축된 반송파 패턴만을 생성하므로, 역시 신호 압축에 따른 신호의 손실은 불가피하다. 기존의 일반적인 GPS 수신기에서의 C/A 코드 특성과 비교하여 제안한 디지털 신호처리기의 생성된 코드 패턴에 의한 상관 손실을 식 (7)에 나타내었다.

$$\begin{aligned}
 Loss &= 20\log\left(\frac{\text{Conv. Max.}}{\text{Proposed. Max.}}\right) \\
 &= 20\log(5,714/5,120) \\
 &= 0.953\text{dB}
 \end{aligned}
 \tag{7}$$

5. 성능 검증

본 논문은 Fig. 8과 같이 GPS 시뮬레이터와 디지털 신호 수집 장치를 이용하여 수집한 IF 샘플 신호로 기존 디지털 신호처리기를 갖는 GPS 수신기와 제안한 디지털 신호처리기를 갖는 소프트웨어 GPS 수신기의 항법 성능을 검증하였다.

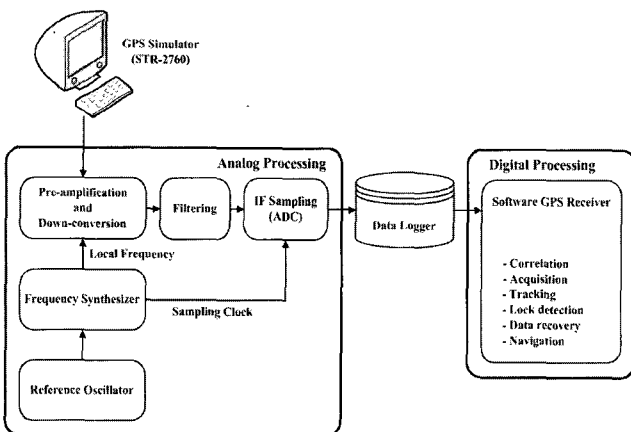


Fig. 8 Test setup

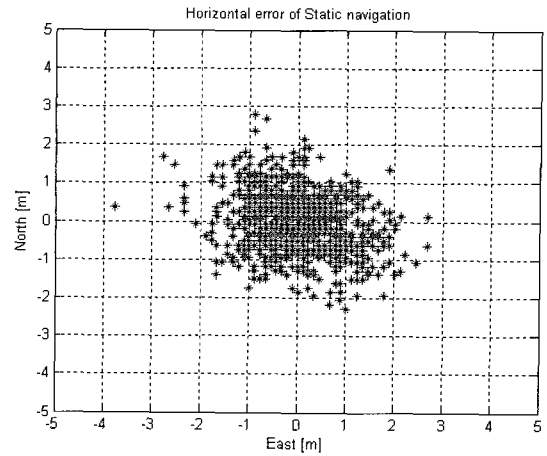


Fig. 9 Horizontal error of static navigation in the conventional GPS receiver

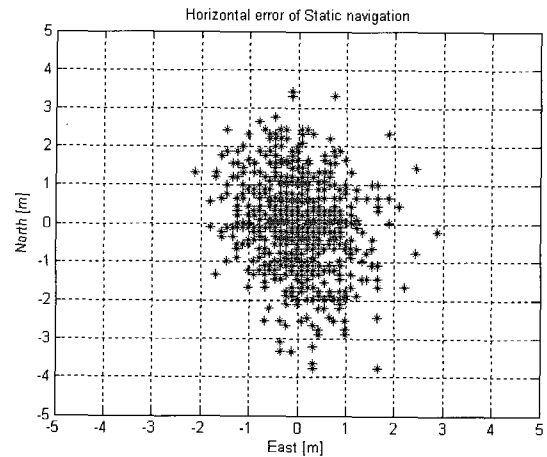


Fig. 10 Horizontal error of static navigation in the proposed software GPS receiver

모든 가시 위성 신호에 대해 일반적인 디지털 신호처리기의 구조를 갖는 하드웨어 구조의 GPS 수신기를 이용한 정지 상태의 항법 결과를 Fig. 9에 나타내었다. 이때 위성 획득 수는 8개이고, 실험 결과 위치오차가 2.38m(2drms)로 나타났다.

제안한 디지털 신호처리기를 갖는 실시간 소프트웨어 GPS 수신기가 8개의 위성 획득시 정지 상태에서의 항법 결과를 Fig. 10에 나타내었다. 이때의 위치오차는 2.76m(2drms)를 나타내었다.

제안한 디지털 신호처리기 구조를 갖는 소프트웨어 GPS 수신기가 기존의 일반적인 디지털 신호처리 구조를 갖는 수신기 보다는 신호의 손실 등으로 인해 좋지 않은 항법 성능을 나타내고 있지만, 만족할 만한 항법 성능을 나타내고 있음을 알 수 있다.

6. 결론

본 논문은 연산량에 대한 문제를 극복하고 실시간으로 소프

트웨어 GPS 수신기를 구동하기 위한 효과적인 다중비트 처리 기법을 제안하였다. 제안한 신호처리 기법은 기존 GPS 수신기에서 구현되었던 반송파 혼합기, 코드 혼합기 및 누산기의 연산 과정을 제거하고, 일정한 디지털 IF 샘플 신호와 수신기에서 생성하는 반송파 및 코드의 패턴을 분석하고 LUT를 이용하여 연산량을 줄이는데 목적이 있다. 압축된 반송파 및 코드 패턴을 이용함에 따라 신호의 손실을 가져오는 결과를 초래했지만 본 논문에서는 신호의 손실에 대한 영향은 고려하지 않았다. 본 논문에서 제안한 디지털 신호처리를 이용한 소프트웨어 GPS 수신기의 항법 결과는 기존 하드웨어로 구현된 GPS 수신기와 비교해도 손색이 없을 정도로 좋은 결과를 보였다. 본 논문에서 설계된 다중비트 신호 처리 기법은 추후 Fail-Safe Seaway를 위하여 구현할 GPS/Galileo/Loran-C 통합항법시스템의 핵심 알고리즘으로 사용이 가능하다.

후 기

본 논문은 한국해양연구원과 동아대학교 지능형통합항만관리 연구센터의 지원을 받아 수행한 결과입니다.

참 고 문 헌

- [1] Akos, Dennis M. (2001), "Real-Time GPS Software Radio Receiver," Proceedings of the ION National Technical Meeting 2001, pp.809~816.
- [2] Cho D. J. (2003), "A Novel Signal Processing Scheme for Software Radio GPS Receivers," Proceedings of the 6th International Symposium on Satellite Navigation Technology Including Mobile Positioning & Location Services, Melbourne, Australia, CD-ROM.
- [3] Jonas Thor (2002), "A High-Performance Real-Time GNSS Software Receiver and its Role in Evaluating Various Commercial Front End ASICs," Proceeding of the 15th International Technical Meeting of the Satellite Division of the Institute of Navigation, pp. 2254~2260.
- [4] Ledvina, B. M. (2003), "A 12-Channel Real-Time GPS L1 Software Receiver," Proceedings of the ION 2003 National Technical Meeting, pp.767~782.
- [5] Mitola, Joseph III (2000), "Software Radio Architecture: Object-Oriented Approaches to Wireless Systems Engineering", John Wiley & Sons, Inc.

원고접수일 : 2005년 10월 10일

원고채택일 : 2005년 10월 29일