

논문 2005-42SD-12-1

# Nano-Scale MOSFET의 게이트길이 종속 차단주파수 추출 (Gate-Length Dependent Cutoff Frequency Extraction for Nano-Scale MOSFET)

김 중 혁\*, 이 용 태\*, 최 문 성\*, 구 자 남\*\*, 이 성 현\*\*\*

(Jounghyck Kim, Yongtaek Lee, Munsung Choi, Janam Ku, and Seonghearn Lee)

## 요 약

본 연구에서는 측정된 S-파라미터로부터 추출된 Nano-scale MOSFET 등가회로 파라미터의 scaling 방정식을 사용하여 차단주파수의 게이트 길이 종속성을 모델화하였다. 모델된 차단주파수는 게이트 길이가 줄어들수록 크게 증가하다가, 점점 증가율이 크게 감소하는 경향을 보였다. 이는 게이트 길이가 감소함에 따라 내부전달시간은 크게 줄어들지만, 외부 기생 충전시간은 상대적으로 조금씩 감소하기 때문이다. 이와 같은 새로운 게이트길이 종속 모델은 Nano-scale MOSFET의 RF성능을 최적화시키는 데 큰 도움이 될 것이다.

## Abstract

The gate length-dependence of cutoff frequency is modeled by using scaling parameter equations of equivalent circuit parameters extracted from measured S-parameters of Nano-scale MOSFETs. It is observed that the modeled cutoff frequency initially increases with decreasing gate length and then the rate of increase becomes degraded at further scale-down. This is because the extrinsic charging time slightly decreases, although the intrinsic transit time greatly decreases with gate length reduction. The new gate length-dependent model will be very helpful to optimize RF performances of Nano-scale MOSFETs.

**Keywords:** RF CMOS, MOSFET, modeling, parameter extraction, cutoff frequency

## I. 서 론

최근 RF 송수신기의 고주파화 및 광대역화가 전 세계적으로 가속화 되는 상황에서, RF IC의 제조를 위해 공정상 안정도가 높고, 가격 경쟁력이 탁월한 Silicon MOSFET이 기본 소자로 많이 사용되고 있으며<sup>[1][2]</sup>, 공

정기술의 발달로 MOSFET 소자의 크기가 점차 감소하고 있다.

이러한 RF MOSFET의 게이트길이( $L_g$ )가 scale-down됨에 따라서 RF 성능을 결정하는 차단주파수( $f_T$ )가 급격히 상승하기 때문에, Nano-scale MOSFET의 중요성이 증가하고 있으며, 일반적으로 MOSFET의  $f_T$ 는 다음 식으로 표현된다.

$$f_T = \frac{g_{mo}}{2\pi(C_{gs} + C_{gd})} \quad (1)$$

하지만, 이식은 외부 기생성분에 의한 충전시간을 무시하고 그림1의 실선 box 내부의 intrinsic 성분만을 고려한 intrinsic  $f_T$ 의 값을 나타낸다. 실제로 nano-scale

\* 학생회원, \*\*\* 정회원, 한국의국어대학교 전자정보공학부 (School of Electronics and Information Engineering, Hankuk University of Foreign Studies)

\*\* 정회원, 삼성종합기술원

(Samsung Advanced Institute of Technology)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급 나노소자개발사업단 지원으로 수행 하였음.

접수일자: 2005년8월16일, 수정완료일: 2005년11월28일

CMOS 소자에서는  $L_g$ 의 감소로 intrinsic speed가 증가하기 때문에, 외부 충전시간이 extrinsic  $f_T$ 를 결정하는 중요한 요소가 된다.

따라서, 그림 1의 실선 box 밖의 외부 기생 성분의 정확한 추출데이터가 필수적이다. 또한  $L_g$ 가 scale-down됨에 따라서 향상되는  $f_T$  특성을 정확히 모델링하기 위해서는 내부 파라미터들의  $L_g$ 종속 데이터를 정확히 추출하여야 한다.

따라서 본 연구에서는 MOSFET소자의 게이트 polysilicon 길이  $L_g$ 를 65nm에서 215nm까지 변화시키면서 등가회로 파라미터 데이터들을 추출하였다. 이러한 추출 데이터를 사용하여  $L_g$ 종속 모델 방정식을 새롭게 유도하였으며, 이를 사용하여 65nm 이하 소자의 차단 주파수를 예측하였다.

## II. 모델 파라미터 추출

### 1. 추출 방법 및 모델

본 연구에 사용된 소자는 multi-finger 형태의 gate layout (단위 finger 폭 =  $5\mu\text{m}$ , finger수 = 10)을 가진 N형 MOSFET이다. 우선 정확한 MOSFET parameter 추출을 위해서 본 연구에서는 open과 short 패드 패턴들을 사용하여 측정된 S-parameter를 de-embedding하였다.<sup>[3]</sup>

그림 1은 RC병렬 기관 모델을 사용한 소신호

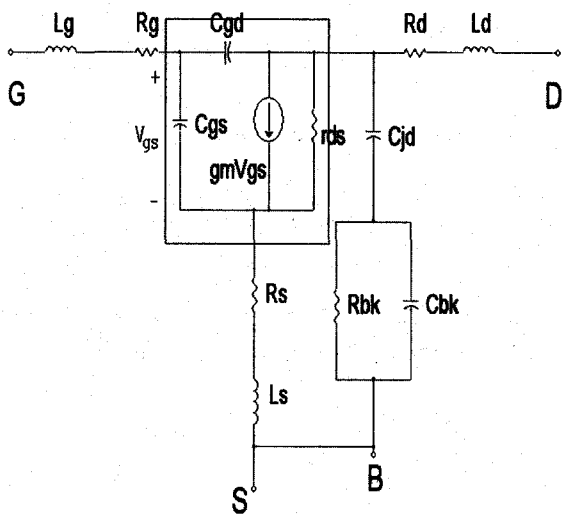


그림 1. 병렬 RC 기관 모델을 사용한 소신호 MOSFET 등가회로

Fig. 1. Small-signal MOSFET equivalent circuit using parallel RC bulk model.

MOSFET 등가회로를 보여준다. 먼저, 외부 기생 파라미터를 직접 추출하기 위해서  $V_{gs}=0V$ 로 고정시켰다. 이와 같이 외부  $V_{gs}$ 가 0V인 상태에서는 그림 1에서  $g_{m0}$ 가 사라지게 되고, 채널이 형성되지 않으므로  $r_{ds}$ 가 무한대가 된다.

먼저, 저항( $R_g, R_s, R_d$ )과 인덕턴스( $L_g, L_s, L_d$ ) 값들을 추출을 위하여 다음과 같은  $V_{gs}=0V$ 의 zero-bias S-parameter를 사용한 직접추출 방법이 사용되었다. 그림1의 고주파영역(HF)에서 유도된 Z-parameter 방정식은 다음과 같다.<sup>[4]</sup>

$$\text{Real}(Z_{22} - Z_{12})_{HF} \approx R_d + \frac{A_d}{\omega^2} \quad (2)$$

$$\frac{1}{\omega} \text{Imag}(Z_{22} - Z_{12})_{HF} \approx L_d - \frac{E_d}{\omega^2} \quad (3)$$

$$\text{Real}(Z_{11} - Z_{12})_{HF} \approx R_g + \frac{A_g}{\omega^2} \quad (4)$$

$$\frac{1}{\omega} \text{Imag}(Z_{11} - Z_{12})_{HF} \approx L_g - \frac{E_g}{\omega^2} \quad (5)$$

$$\text{Real}(Z_{12})_{HF} \approx R_s + \frac{A_s}{\omega^2} \quad (6)$$

$$\frac{1}{\omega} \text{Imag}(Z_{12})_{HF} \approx L_s - \frac{E_s}{\omega^2} \quad (7)$$

여기에서  $A_d, E_d, A_g, E_g, A_s, E_s$ 는 고정된 bias에서 변하지 않는 내부 parameter의 함수로 표현된다.

$R_d, L_d, R_s, L_s, R_g, L_g$  값은 각각 식 (2)-(7)을  $\omega^{-2}$ 으로 그린 후 각각 얻어진 extrapolation line의 y-절편 값으로 결정되었다.

RC병렬 기관 모델 파라미터들은  $V_{gs}=0V$ 인 그림 1의 낮은 주파수(LF) 영역에서 유도된 방정식을 사용하였다.

$$\text{Real}(Y_{22}^b + Y_{22}^b) = \frac{k_1 \omega^2}{1 + k_2 \omega^2} \quad (8)$$

$$\frac{1}{\omega} \text{Imag}(Y_{22}^b + Y_{12}^b) = C_{jd} \left[ \frac{1 + m_1 \omega^2}{1 + k_2 \omega^2} \right] \quad (9)$$

여기서  $Y^b$ -parameter는 측정된 S-parameter부터 추출된  $R_d$  및  $L_d$ 를 제거한 후 얻어졌다.

이때,  $k_1$  및  $k_2$ 는 다음과 같이 주어진다.

$$k_1 = R_{bk} C_{jd}^2 \quad (10)$$

$$k_2 = R_{bk}^2 (C_{bk} + C_{jd})^2 \quad (11)$$

$R_{bk}$  와  $C_{bk}$ 는 식(10)과 (11)로부터 유도된 다음의 식으로부터 쉽게 결정할 수 있다.

$$R_{bk} = \frac{k_1}{C_{jd}^2} \quad (12)$$

$$C_{bk} = \frac{C_{jd}^2 \sqrt{k_2}}{k_1} - C_{jd} \quad (13)$$

여기에서  $k_1$ ,  $k_2$ ,  $C_{jd}$ 는 다음과 같은 방법으로 결정되었다. 식(8)은 낮은 주파수(LF) 영역에서 다음 식으로 근사화된다.

$$\text{Real}(Y_{22}^b + Y_{22}^b)_{LF} \approx k_1 \omega^2 \quad (14)$$

또한, 높은 주파수 영역에서 식(8)은 다음 식으로 근사화 된다.

$$\text{Real}(Y_{22}^b + Y_{22}^b)_{HF} \approx \frac{k_1}{k_2} \quad (15)$$

따라서  $k_1$ 은 낮은 주파수 영역에서 추출된  $\text{Real}(Y_{22}^b + Y_{22}^b)$ 를  $\omega^2$ 의 함수로 그린 후 얻어진 기울기로부터 추출하였고,  $k_2$ 는 식(15)에  $k_1$ 값을 대입하여 구하였다.

한편  $C_{jd}$ 는 낮은 주파수 영역에서 근사화 된 다음 식을 사용하여 추출되었다.

$$\frac{1}{\omega} \text{Imag}(Y_{22}^b + Y_{12}^b)_{LF} \approx C_{jd} \quad (16)$$

그림 1에서 내부 파라미터들인  $g_{m0}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $r_{ds}$  값들은  $Y^i$ -parameter 로부터 유도된 다음 방정식들로부터 각각 결정하였다.<sup>[5][6]</sup>

$$C_{gd} = -\frac{1}{\omega} \text{Imag}(Y_{12}^i) \quad (17)$$

$$C_{gs} = \frac{1}{\omega} \text{Imag}(Y_{11}^i + Y_{12}^i) \quad (18)$$

$$g_{m0} = |Y_{21}^i - Y_{12}^i| \quad (19)$$

$$r_{ds} = \frac{1}{\text{Real}(Y_{22}^i)} \quad (20)$$

여기서  $Y^i$ -parameter는  $Y^b$ -parameter 에서 지금까지 구한  $R_g$ ,  $R_s$ ,  $L_g$ ,  $L_s$ ,  $C_{bk}$ ,  $R_{bk}$  를 순차적으로 빼줌으로서 얻어졌다.

위와 같은 추출방법을 사용하여 nano MOSFET의 소신호 등가회로 모델 파라미터 값들을 구하였다. 그림

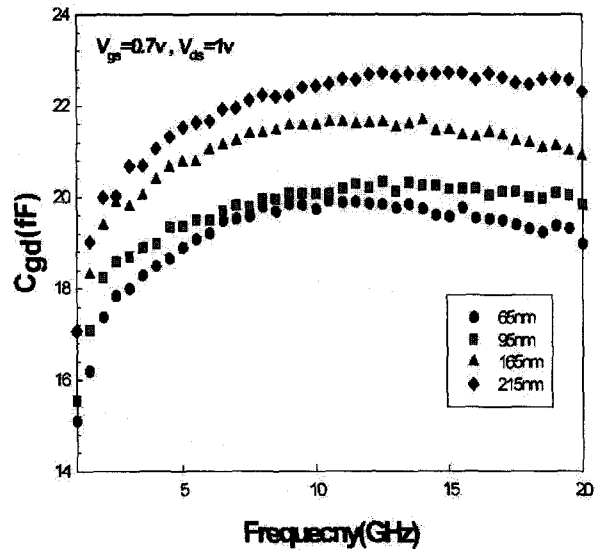


그림 2. 추출된  $C_{gd}$  의 주파수 응답곡선  
Fig. 2. The frequency response of extracted  $C_{gd}$  data.

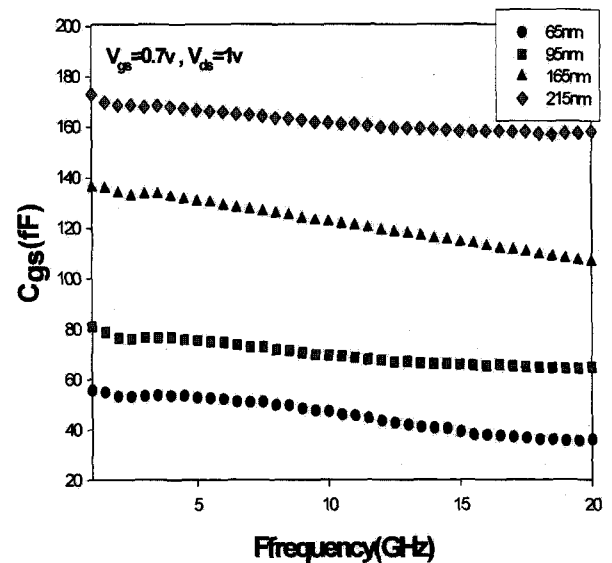


그림 3. 추출된  $C_{gs}$ 의 주파수 응답 곡선  
Fig. 3. The frequency response of extracted  $C_{gs}$  data.

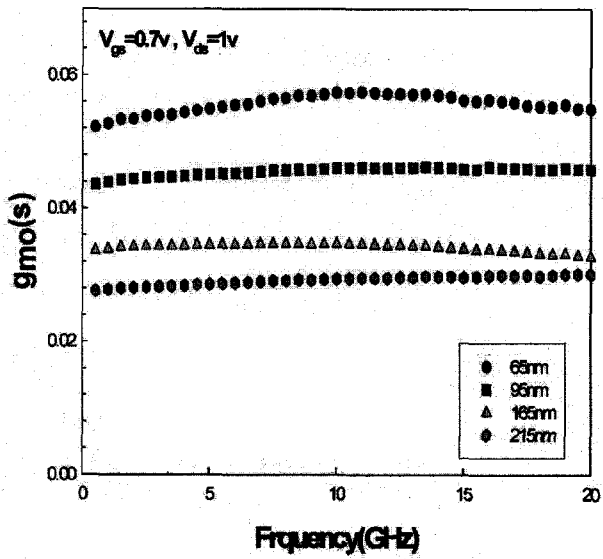


그림 4. 추출된 gm0의 주파수 응답 곡선  
Fig. 4. The frequency response of extracted gm0 data.

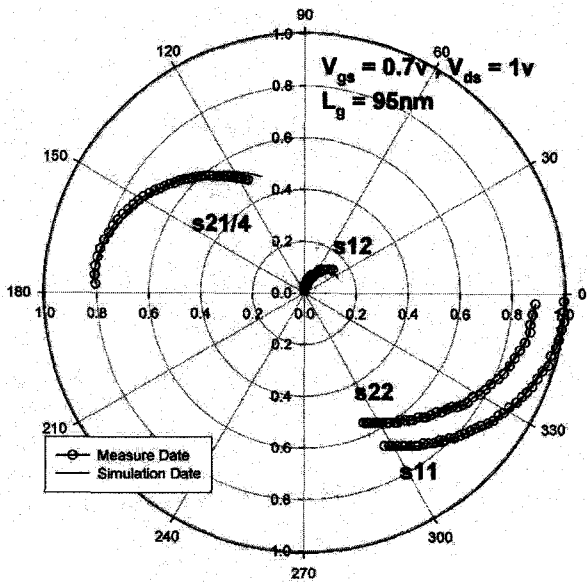


그림 5. 모델된 S-파라미터와 측정된 데이터를 0.5GHz-20GHz 까지 비교한 그래프  
Fig. 5. Comparison between measured and modeled S-parameter data from 0.5GHz to 20GHz.

2-4에서는  $L_g$ 가 65nm, 95nm, 165nm, 215nm인 소자에 대해서 식(17)-(19)을 주파수의 함수로 그린 그래프를 각각 보여 준다.

그림 2에서는 주파수가 낮아지면서  $C_{gd}$  데이터가 급격히 감소되는 현상이 관찰되었으며, 이는 비교적 낮은  $C_{gd}$  값 때문에  $Y_{12}$ -parameter 측정값의 정확도가 떨어지기 때문에 발생하는 것으로 판단된다.

그림 5에서는 추출된 외부 기생성분 및 내부 파라미터들을 그림 1에 대입하여 모델된 S-파라미터들이 측정된 S-파라미터와 20GHz까지 잘 일치하는 것을 보여주고 있으며, 이는 추출방법의 타당성을 증명한다.

### III. Gate length 종속 곡선 및 차단주파수 모델링

위에서 설명된 추출방법을 사용하여 게이트 길이에 따라 변화하는 내부소자 파라미터들의 종속특성을 구하였다. 그림 6과 7은 각각 식(8)-(13)까지의 방정식을

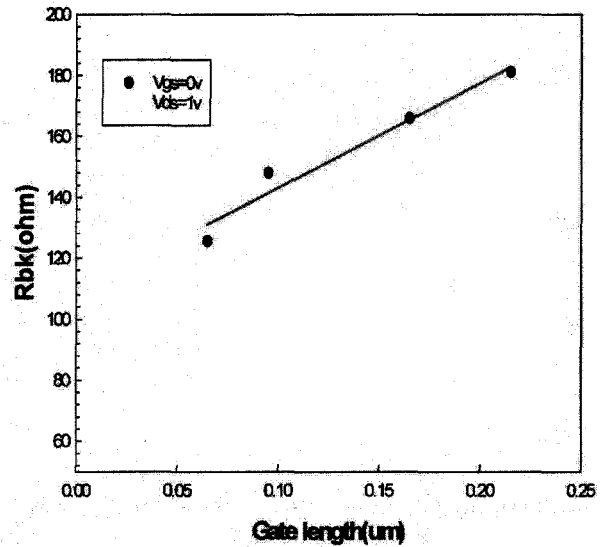


그림 6. 추출된 Rbk의  $L_g$ 종속 그래프  
Fig. 6.  $L_g$ -dependent graph of extracted  $R_{bk}$ .

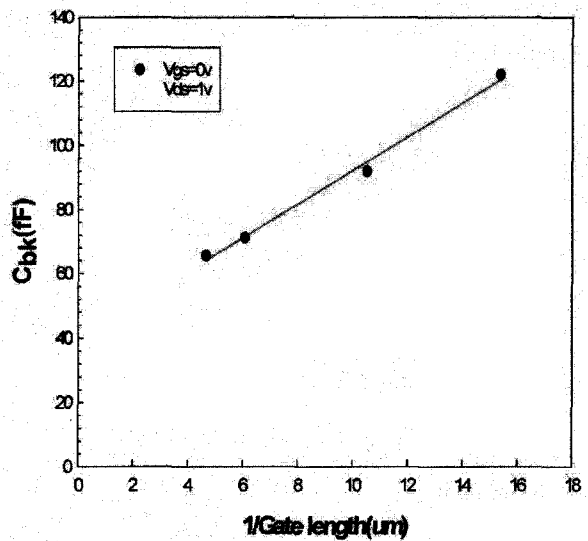


그림 7. 추출된 Cbk의  $1/L_g$ -종속곡선  
Fig. 7.  $1/L_g$ -dependent graph of extracted  $C_{bk}$ .

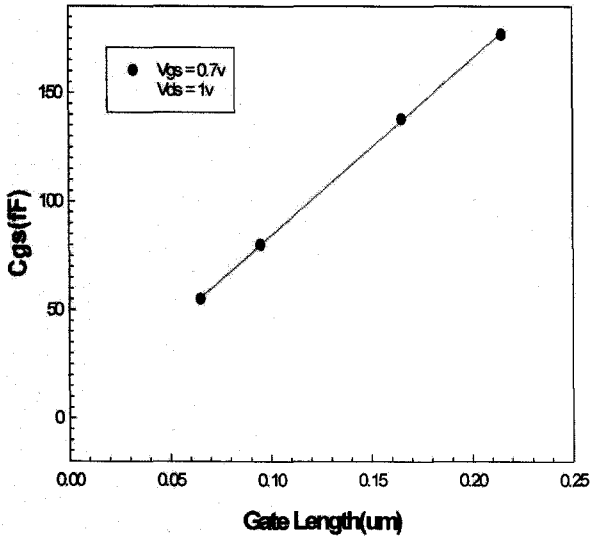


그림 8. 추출된  $C_{gs}$ 의  $L_g$  종속 그래프  
Fig. 8.  $L_g$ -dependent graph of extracted  $C_{gs}$ .

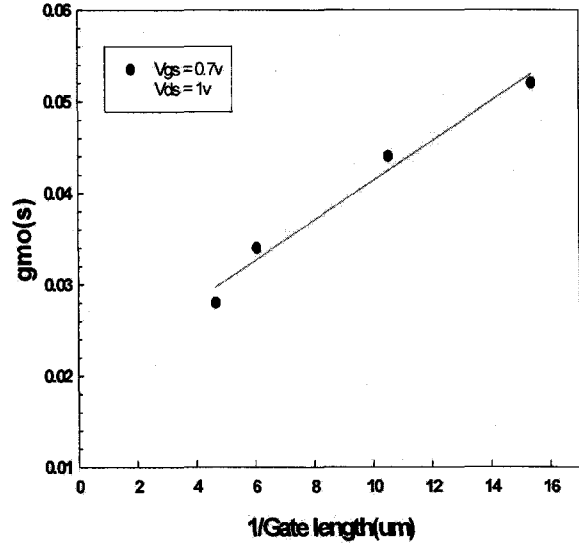


그림 10. 추출된  $g_{mo}$ 의  $L_g$  종속 그래프  
Fig. 10.  $L_g$ -dependent graph of extracted  $g_{mo}$ .

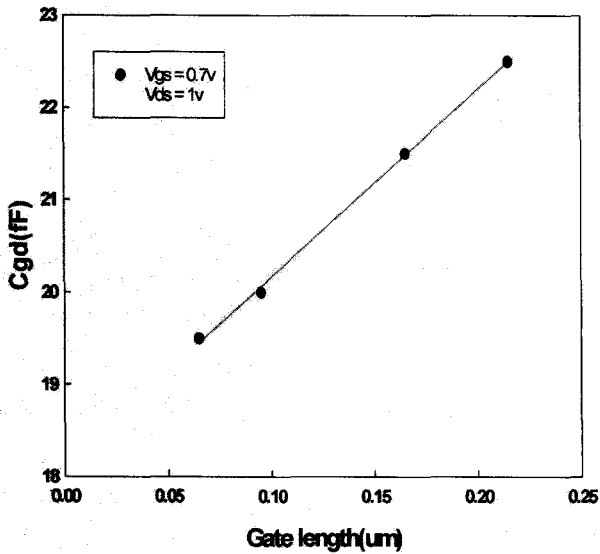


그림 9. 추출된  $C_{gd}$ 의  $L_g$  종속 그래프  
Fig. 9.  $L_g$ -dependent graph of extracted  $C_{gd}$ .

이용해서 구한  $R_{bk}$ 와  $C_{bk}$ 의  $L_g$ -종속 데이터를 보여주고 있으며,  $R_{bk}$ 는  $L_g$ 에 비례해서 증가되는 경향을 보이며,  $C_{bk}$ 는  $1/L_g$ 에 비례하여 증가하는 것을 알 수 있다. 그 이유는  $L_g$ 가 길어지면 채널아래에 존재하는 기판영역의 길이가 증가되므로  $R_{bk}$ 는 커지고, 상대적으로 기판 유전체의  $C_{bk}$ 는 감소되는 현상으로 설명할 수 있다. 이와 같이 추출된 기판 파라미터의  $L_g$  종속 값들은 다음과 같이 단순한 scalable 방정식으로 표현할 수 있다.

$$R_{bk} = aL_g + b \quad (21)$$

$$C_{bk} = \frac{c}{L_g} + d \quad (22)$$

그림 8은 그림 3의 5GHz 이하의 데이터 값으로 결정되었으며, 그림 9의  $C_{gd}$ 는 그림 2에서 10GHz 부근의 상수로 일정한 데이터를 사용하여 결정되었다. 이러한  $C_{gs}$ 와  $C_{gd}$ 의  $L_g$ -종속 데이터를 사용하여  $L_g$ 의 증가에 따라 그 값이 거의 선형으로 증가하는 것을 확인할 수 있었다. 이는 각각  $L_g$ 의 크기가 증가함에 따라서 inversion channel 면적과 drain pinch-off 면적이 증가하기 때문에 발생된다. 이는 물리적 scaling 방정식을 통해 예상된 것과 일치한다. 이와 같이 추출된  $C_{gs}$ 와  $C_{gd}$ 의  $L_g$  종속 값들은 다음과 같이 단순한 scalable 방정식으로 표현할 수 있다.

$$C_{gs} = eL_g + f \quad (23)$$

$$C_{gd} = gL_g + h \quad (24)$$

그림 10은 그림 4의 5GHz 이하 저주파 데이터로부터 결정되었다. 그림 10과 11에서 보여주는 것처럼  $g_{mo}$ 는  $L_g$ 의 역수에,  $r_{ds}$ 는  $L_g$ 에 따라 비교적 선형적으로 증가하는 것을 볼 수 있었다. 이는 물리적 scaling 방정식을 통해 예상된 것과 일치하며, 이와 같이 추출된 파라미터의  $L_g$  종속 값들은 다음과 같이 단순한 scalable 방정식으로 표현할 수 있다.

$$r_{ds} = jL_g + k \quad (25)$$

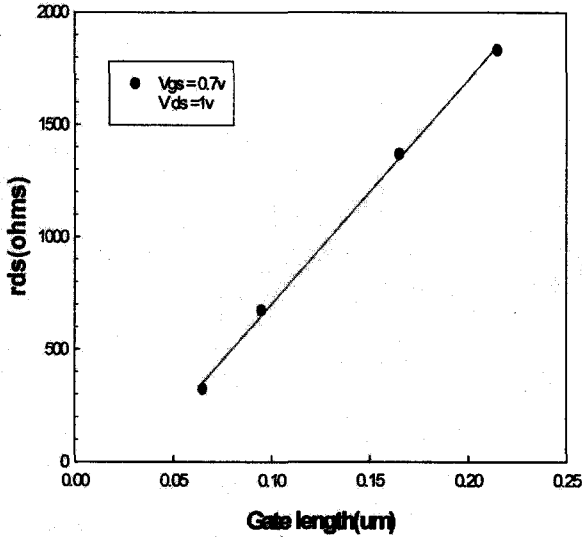


그림 11. 추출된 rds의 Lg종속 그래프  
Fig. 11. Lg-dependent graph of extracted rds.

$$g_{mo} = \frac{m}{L_g} + n \quad (26)$$

이와 같이 fitting된 Lg종속 방정식들을 사용하면 측정데이터가 없는 65nm이하의 MOSFET RF특성을 정확히 예측 가능하다.

따라서, 본 논문에서는 위의 식 (19)-(26)의 모델방정식으로부터 계산된 Cgs, Cgd, gmo, rds, Cbk, Rbk 를 그림1에 대입한 후에 소자 S-파라미터를 시뮬레이션 하였다. 이때 Rg,와 Lg도 추출된 Lg종속 데이터를 fitting 하여 얻어진 scaling 방정식을 사용하였다.<sup>[7]</sup> Rd, Ld, Rs, Ls, Cid 는 Lg의 변화에 무관하므로 추출된 상수 값을 사용하였다.

그림 12는 이와 같이 시뮬레이션 된 S-파라미터로부터 변환된 fT모델 값과 측정데이터를 Lg가 가장 긴 215nm의 fT(215nm) 측정값으로 normalize한 곡선을 보여주고 있다. 이 그림에서 모델된 fT/fT(215nm)가 1/Lg<sup>2</sup>에 따라 비례하여 증가하다가 Lg < 75nm 부터는 증가율이 감소하는 것을 알 수 있다. 이는 다음 식으로 표현되는 실제 extrinsic fT의 방정식으로부터 설명이 가능하다.

$$f_T = \frac{1}{2\pi(\tau_I + \tau_{RC})} \quad (27)$$

여기에서  $\tau_I$ 는 내부전달시간 (intrinsic transit time)  $C_{gs}/g_{mo}$ 이고,  $\tau_{RC}$  는 외부 기생성분에 의한 RC 충전

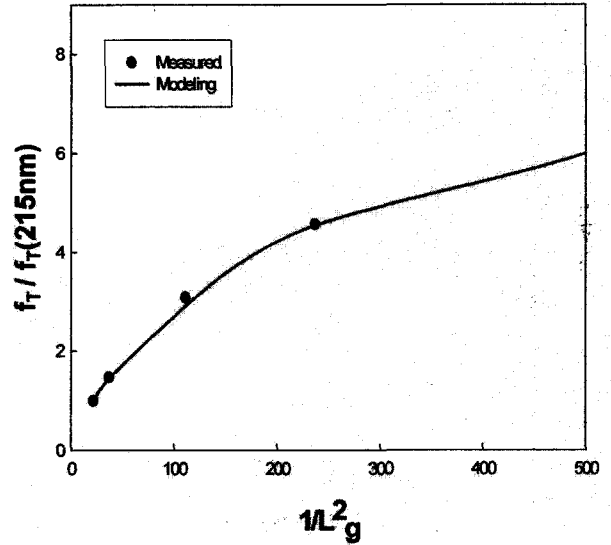


그림 12. 모델된 fT/fT(215nm) 를 측정값과 함께 1/Lg<sup>2</sup> 함수 그린 그래프

Fig. 12. The graph of measured and modeled fT/fT(215nm) as a function of 1/Lg<sup>2</sup>.

시간이다. 즉, Lg가 95nm에서 65nm로 줄어들면서 식 (27)의 내부전달시간  $\tau_I$ 가 감소하여, 충전시간  $\tau_{RC}$ 가 extrinsic fT를 결정하는 중요한 요소가 되기 때문이다.

하지만, 그림9에서 보여주는 것처럼 Lg의 감소에 따라 줄어드는 Cgd에 의해  $\tau_{RC}$ 성분도 동시에 조금씩 감소되어,  $1/L_g^2 > 200$  이상의 영역에서도 기울기는 크게 줄어들지만, saturation되지 않고 지속적으로 증가됨을 알 수 있다.

이는 게이트 길이가 nano-scale로 감소되더라도 외부 기생성분의 크기도 동시에 크게 줄어들지 않는다면 fT의 상승폭이 매우 저하되는 것을 보여주고 있다. 이와 같은 게이트 길이 종속 데이터는 nano MOSFET의 성능을 극대화하기 위해서는 외부 기생성분의 최소화가 필수적이라는 것을 보여준다. 이와같이 모델된 Lg 종속 방정식을 사용하면 측정데이터가 없는 65nm이하의 MOSFET RF특성을 예측 가능하다.

참고 문헌

[1] N. Camilleri, J. Costa, D. Lovelace, and D.Ngo, "Silicon MOSFET's the microwave device techology for the 90's in IEEE MTT-S Int. Microwave Symp. Dig. pp.545-548. 1993.

- [2] S. P. Voinigescu, S. Wind, Y. Rosenfield, M. G. R. Thomson, and M. Polcari, "High performance 0.1um CMOS devices with 1.5V power supply", in Tech. Dig Int. Electron Devices Meet, pp. 127-130, 1993.
- [3] S. Lee, "Effects of pad interconnection parasitics on forward transit time in HBTs", IEEE Trans. Electron Devices, Vol 46, no 2, pp.275-278, Feb 1999.
- [4] S. Lee, "An accurate RF extraction method for resistances and inductances of sub-0.1m CMOS transistors", Electronics Letters, Vol 41, no 24, Nov. 2005.
- [5] 윤신섭, 이성현, "Nano CMOS 소자 내부 등가회로 파라미터의 바이어스 종속성 연구" 반도체 소사이 어티 추계학술대회 논문지, 제26권, 제2호, pp.155-158, 2003년 11월.
- [6] 이용택, 최문성, 구자남, 이성현, "Deep Submicron MOSFET 기판회로 파라미터의 바이어스 및 게이트길이 종속데이터", 전자공학회논문지, 제 41권 SD편, 제12호, pp. 27-34, 2004년 8월.
- [7] 최문성, 이용택, 구자남, 이성현, "RF MOS 트랜지스터를 위한 게이트 임피던스 모델 파라미터의 바이어스 종속 데이터 추출", 전자공학회 논문지, 제42권, SD 제5호, pp. 293-300, 2005년 5월.1374-1379.

## 저 자 소 개



김 종 혁(학생회원)  
2005년 한국외국어대학교 전자  
정보공학부 학사 졸업.  
2005년 한국외국어대학교 전자  
정보공학과 석사 과정.  
<주관심분야 : RF CMOS 소자  
모델링>



이 용 택(학생회원)  
2004년 한국외국어대학교 전자정  
보공학부 학사 졸업.  
2004년 한국외국어대학교 전자정  
보공학과 석사 과정.  
<주관심분야 : RF CMOS 소자  
모델링>



최 문 성(학생회원)  
2004년 한국외국어대학교 전자  
정보공학부 학사 졸업.  
2004년 한국외국어대학교 전자  
정보공학과 석사 과정.  
<주관심분야 : RF CMOS 소자  
모델링>



구 자 남(정회원)  
1988년 서울대학교 전기공학과  
학사 졸업.  
1991년 서울대학교 전기공학과  
석사 졸업.  
2004년 한국외국어대학교 전자  
정보공학 박사과정.

1991년~2001년 2월 삼성전자 중앙연구소  
책임 연구원

2001년 3월~현재 삼성종합기술원 전문 연구원  
<주관심분야 : RFID, RF CMOS 소자 모델링>



이 성 현(정회원)  
1985년 고려대학교 전자공학과  
학사 졸업.  
1989년 미국 University of  
Minnesota 전기공학과  
석사 졸업.

1992년 미국 University of  
Minnesota 전기공학과  
박사 졸업

1992년~1995년 한국전자통신연구원 선임연구원  
1995년~현재 한국외국어대학교 전자정보공학부  
교수

<주관심분야 : CMOS 및 마이플라 소자 모델링>