

논문 2005-42SD-12-3

펜타센 TFT와 유기 LED로 구성된 픽셀 어레이 제작

(Fabrication of Pixel Array using Pentacene TFT and Organic LED)

최 기 범*, 류 기 성*, 정 현*, 송 정 근**

(Choe Ki Beom, Ryu Gi Seong, Jung Hyun, and Song Chung Kun)

요 약

본 논문에서는 Poly-ethylene-terephthalate (PET) 기판 위에 Organic Thin Film Transistor (OTFT)와 Organic Light Emitting Diode (OLED)를 직렬 연결시킨 픽셀과 64 x 64 픽셀로 구성된 어레이를 제작하여 동작을 시연하였다. OTFT는 PET 기판과의 호환성을 고려하여 Poly 4-vinylphenol을 게이트 절연체로, 펜타센을 활성층으로 사용하여 제작되었다. 개별 소자 수준에서는 이동도가 1.0 cm²/V·sec로 나타났으나, 어레이에서는 0.1~0.2 cm²/V·sec로 약 10배 정도 감소하였다. 어레이의 동작을 분석하였고 OTFT의 OLED에 대한 전류구동능력을 확인하였다.

Abstract

In this paper, we fabricated a pixel array in which each pixel was consisted of Organic Thin Film Transistor (OTFT) serially connected with Organic Light Emitting Diode (OLED) on Poly-ethylene-terephthalate (PET) substrate and the number of pixels was 64 x 64. As a gate insulator of OTFT, the thermally cross-linked PVP was used and the organic semiconductor, Pentacene, is deposited for an active layer of OTFT considering the compatibility with PET substrate. The mobility of OTFT is 1.0 cm²/V·sec as a discrete device, but it was reduced to 0.1~0.2 cm²/V·sec in the array. We analyzed the operation of the array and confirmed the current driving ability of OTFTs for the OLEDs.

Keywords : Pentacene, OTFT, PVP, AMOLED, PET

I. 서 론

최근 Digital Media 시험방송의 시작으로 휴대성이 요구되는 평판 디스플레이(FPD)에 대한 관심과 수요가 더욱 증가하고 있다. 이 중 유기발광다이오드 (Organic Light Emitting Diodes: OLED)는 시야각이 넓으며, 높은 색순도를 가지고, 전력 소모가 적어 휴대용 FPD에 최적이며, 또한 저온 공정이 가능하여 플렉서블 (flexible) FPD로 적용할 수 있어 활발한 연구가 이루어지고 있다.

OLED 디스플레이는 구동 소자의 유무에 따라 능동형(active mode)과 수동형(passive mode)으로 나눌 수

있으며, 능동형 OLED 디스플레이(AMOLED)를 구현하기 위한 구동소자로서, poly-Si TFT, a-Si TFT, 유기 박막트랜지스터 (Organic Thin Film Transistor: OTFT)의 3가지의 TFT가 적용되고 있다. OLED는 흐르는 전류의 양에 따라 밝기가 변화하는 전류 구동형 소자이므로 이동도가 높은 poly-Si TFT(mobility: ~100 cm²/V·sec)의 적용이 가장 빠르게 이뤄졌다^[1]. 그러나 대면적 기판에서 성능의 불균일성, 그리고 Si 박막 형성을 위한 CVD공정과 Si 결정화를 위한 레이저 또는 열처리 등 고온 공정으로 대면적 플라스틱 기판을 사용하는데 어려움이 있다. a-Si TFT 역시 대면적화에는 유리하지만 낮은 이동도(mobility: ~1cm²/V·sec)와 문턱 전압의 불안정 그리고 Si 증착 시 높은 공정 온도로 인하여 플렉서블 AMOLED 적용이 어렵다^[2]. 반면에, OTFT는 OLED와 재료 및 장비의 호환성이 우수하고 100°C 이하의 저온공정이 가능하며, 궁극적으로 roll-to-roll 공정이 가능하게 되어 플렉서블 AMOLED

* 학생회원, ** 정회원, 동아 대학교 전자공학과
(Dept of Electronics and Computer Engineering,
DongA University)

※ 본 연구는 2003년 동아대학교 교내학술연구비의 지원에 의하여 수행되었음.

접수일자: 2005년9월20일, 수정완료일: 2005년11월30일

의 구현에 가장 적합한 구동소자이다.

그러나 OTFT의 플렉서블 AMOLED에 적용에 대한 연구는 초기 단계로서, 낮은 이동도를 가진 OTFT의 OLED 구동능력에 대한 연구 그리고 OTFT와 OLED의 집적화 공정에 대한 연구가 필요하다. 또한 플라스틱기판 위에 적용할 수 있는 안정된 게이트 절연층에 대한 연구가 필요하며, 새로운 게이트 절연층에 대한 활성층 성막 공정에 대한 연구도 필요하다. 최근 발표된 펜타센(Pentacene) TFT의 이동도는 개별 소자 수준에서 $5 \text{ cm}^2/\text{V} \cdot \text{sec}$ 로서 OLED를 구동할 정도로 우수한 결과를 보였다^[3].

현재 많은 기업과 연구소에서 OTFT를 사용하는 AMOLED에 대하여 연구 중이다. Dupon사와 Honeywell사는 플라스틱 기판 위에 a-Si TFT를 사용하여 AMOLED 디스플레이를 시연하였다^[4]. Lehigh 대학에서는 스테인리스 기판위에 p-Si TFT를 사용하여 AMOLED를 제작하였고^[5], Philips는 폴리머 TFT를 사용하여 E-Ink를 구동하였다^[6]. Pioneer사는 펜타센 TFT를 이용한 AMOLED를 유리 기판위에 Ta₂O₅ 무기 절연층위에 제작하였다^[7]. 하지만 플라스틱 기판 위에서 유기 TFT를 이용한 AMOLED의 제작은 아직 이루어지지 않았고, 본 논문에서 처음으로 시도되었다.

본 논문에서는 OTFT의 OLED에 대한 전류구동능력을 연구하기 위하여 OTFT와 OLED로 구성된 픽셀과 64 x 64 픽셀의 어레이를 제작하여 동작을 분석하였다. 플라스틱 기판과의 호환성을 고려하여 OTFT의 게이트 절연체로 Poly 4-vinylphenol (PVP)를, 활성층으로 펜타센을 사용하였다. 또한 어레이 패널에 화면을 성공적으로 디스플레이함으로써 OTFT 기반 플렉서블 AMOLED의 실현 가능성을 확인하였다.

II. Fabrication of Array

1. PVP 성막 공정

최근까지 펜타센TFT의 연구는 유기물의 특성을 분석하기 위하여 안정된 Si 기판과 SiO₂를 게이트 절연층으로 사용하여 제작되었으나, 플렉서블 디스플레이는 플라스틱 기판의 유연성과 호환성이 우수한 게이트 절연층으로 새로운 재료를 필요로 한다^[8]. 본 논문에서는 Poly-ethylene-terephthalate(PET) 기판에 적용할 게이트 절연층으로 PVP를 사용하였다. PVP 용액은 분말의 PVP를 액상의 propylene glycol monomethyl ether acetate (PGMEA)를 이용하여 용액화시키고 포토리소

그래피 공정이 가능하도록 가교제(cross-link agent: CLA)를 첨가하여 자기 교반기(magnetic stirrer)를 이용하여 2시간 동안 혼합하였다. PVP의 전기적 특성은 구성 물질의 혼합비에 좌우된다. 따라서, PGMEA에 대한 PVP와 CLA의 혼합비를 변화시키면서 가장 적합한 특성을 나타내는 혼합비를 도출하였다. 그리고, PVP 게이트 절연막은 어레이 제작시 필요한 포토리소그래피 공정을 견딜 수 있는 내화학성을 가져야 하고, 이것은 PVP막의 경화정도에 좌우되므로 경화를 촉진하는 CLA의 경화온도를 변화시키면서 포토리소그래피 유기 용매인 아세톤에 대한 내화학성을 실험하였다. 혼합된 PVP용액은 syringe 필터로 여과시킨 후 기판에 도포하고, 용매를 휘발시키기 위하여 경화 온도는 최대 내화학성과 기판의 결정화 온도를 고려하여 도출하였다.

2. 펜타센 성막 공정

OTFT의 활성층인 펜타센은 진공 증착으로 성막하였다. 펜타센 박막의 결정성은 게이트 절연막의 표면 상태와 성막조건에 좌우되고 OTFT의 성능에 직접적인 영향을 미치므로 새로운 게이트 절연막에 적합한 성막 공정조건 도출이 필요하다. 펜타센은 그래인을 이루며 성장하고, 캐리어가 그래인 경계를 통과할 때 산란에 의하여 이동도가 감소하므로 그래인이 크면 그래인 경계 밀도가 낮아져서 높은 이동도를 얻을 수 있다. 그래인의 크기는 펜타센의 증착율과 펜타센 분자의 기판 표면확산계수에 관계되며 증착율은 펜타센 증발 온도에 의하여 결정된다. 유기 게이트 절연막인 PVP 위에서 펜타센 성막공정의 최적 조건을 도출하기 위하여 증발 온도를 변화시키면서 펜타센 박막을 성막하여 그래인 크기와 이동도를 측정하였다.

3. 어레이 제작

어레이의 단위 픽셀은 아래의 그림 1에서 보듯이 하나의 OTFT와 하나의 OLED로 구성되었다.

OLED는 전류 구동 소자이고 OTFT에 의해 조절된다. 외부 환경에 대한 안정성을 유지하기 위하여 OTFT는 포화영역에서 동작되어야 하므로 OTFT의 포화영역에서의 출력 전류 값이 OLED의 특정 휘도의 전류값과 일치하도록 설계하였다. OLED에서 육안으로 빛을 관측 가능한 특정 휘도($1.5 \text{ cd}/\text{m}^2$)에 필요한 전압 전류는 5.8V에서 $5.7 \mu\text{A}$ 이고 W/L이 20인 inverted staggered 구조로 제작된 OTFT에서 $5.7 \mu\text{A}$ 의 전류를 얻기 위한 게이트 전압은 -20V였다. OTFT가 포화 영

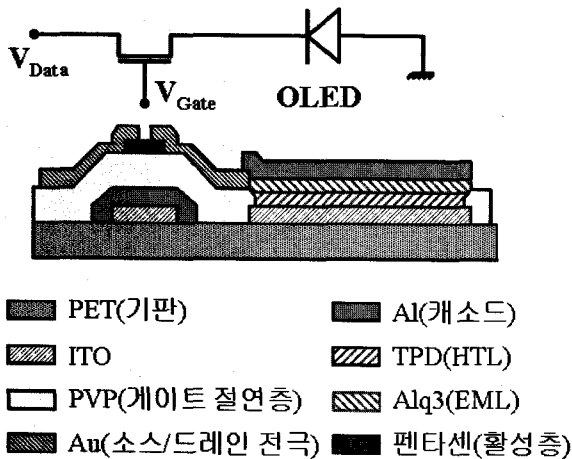


그림 1. 픽셀 단면
Fig. 1. Cross section of the Pixel.

역에서 동작하기 위해서는 다음 식을 만족하여야 한다.

$$V_G - V_{Th} \leq V_{DD} - V_{Diode} \quad (1)$$

여기서 $V_G = -20V$, $V_{Th} = -6V$, $V_{dio} = -5.8V$ 이므로 V_{DD} 는 $-19.2V$ 이상이어야 한다.

어레이는 64 x 64 픽셀로 구성되며, 그림1에서 보듯이, 각 픽셀은 OLED와 OTFT를 직렬연결시킨 구조로 제작하였다. 이는 OTFT의 OLED 전류구동능력을 시험하기 위한 것이다.

어레이는 Indium Tin Oxide (ITO)가 코팅된 PET기판 위에서 OTFTs 제작 공정과 OLEDs 제작 공정을 함께 수행하였다. 공정 온도가 낮은 PET 기판은 게이트 절연막인 PVP와 활성층인 펜타센 성막 공정시 열안정성을 위해 유리 기판에 부착시켜 150°C의 진공 속에서 2시간 동안 열처리하여 내부 스트레스를 감소시킴으로써 후 공정에서 발생하는 열에 의한 수축현상을 최소화하였다. 후 공정은 유리 기판에 부착시킨 PET 위에 수행되고 완료 후에 기판을 떼어낸다.

열처리된 PET 기판은 재현성 있는 소자를 제작하기 위해 증류수, 아세톤 그리고 이소프로필알콜을 이용하여 순서대로 초음파 세척하고 건조시켰다. 세척 공정을 거친 후 OLED의 애노드인 ITO를 포토리소그래피 공정으로 형성화하고, 게이트 전극으로 Al을 진공 증착하였다. 이어서 게이트 절연막인 PVP를 앞에서 언급한 방법으로 성막하였다. PVP가 도포된 어레이는 OLED의 애노드인 ITO를 노출시키기 위해 포토리소그래피 공정 후 O_2 플라즈마로 건식 식각하였다. 이 때 진공 챔버의 압력은 30mtorr이고 산소 유량은 10sccm이며, ICP 전력은 350W 이었다.

이어서 OTFT의 활성층으로 펜타센을 진술한 조건에서 증착하였고, 드레인/소스 전극으로 Au를 증착하고 형성화하였다. OTFT의 구조는 OLED 공정과의 호환성 및 전류구동능력을 고려하여 역스태거(inverted staggered) 구조로 제작되었다^[9].

OTFT 제작을 완료한 후 이어서 OLED 제작하였다. 본 연구의 목적이 OTFT의 전류구동능력 평가이므로 OLED의 공정은 최적화하지 않았고, 간단한 정공전송층(HTL)과 발광층(EML)의 2층 구조를 사용하였다. HTL층으로 TPD를 35nm 증착하였고, EML층으로 Alq3를 35nm 증착하였다. 마지막으로 OLED의 캐소드 전극으로 Al을 이용하여 OTFT의 소스 전극과 연결하였다.

III. Results and Discussion

1. PVP 게이트 절연막의 전기적 특성

제작된 OTFT의 성능은 게이트 절연막인 PVP의 혼합비에 의존하며 최적의 혼합 조건을 찾기 위해 다양한 혼합 조건에 대해 성능을 평가하였다.

그림 2에서 보듯이, 100w%의 PGMEA에서 PVP가 10w%일 때 차단전류(off-state current)가 가장 작고 도통전류(on-state current)가 가장 크게 나타났다. 이때 이동도는 $0.82 \text{ cm}^2/V \cdot \text{sec}$, 부문턱기울기(Sub-threshold Slope: SS)이 6.41 V/dec, 문턱전압이 -4.93 V 로 나타났다. 또한 CLA의 비율 역시 OTFT의 성능에 영향을 미치고 그림 2에서 볼 수 있듯이, 100w%의 PGMEA와 PVP가 10w%로 고정시키고 5%의 CLA가 첨가될 경우 가장 우수한 성능의 OTFT를

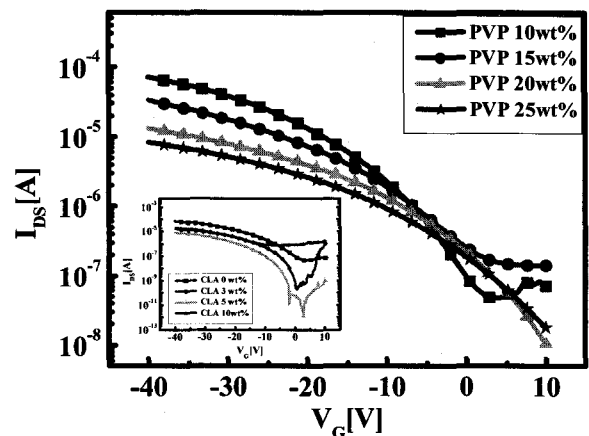


그림 2. CLA와 PVP의 혼합비에 따른 OTFT 특성 변화
Fig. 2. The characteristics of OTFT depending on the mixing ratio of PVP and CLA.

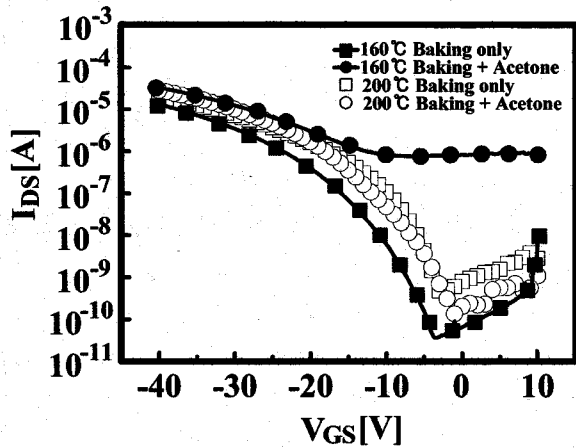


그림 3. CLA-PVP의 baking 온도와 아세톤 처리에 따른 OTFT 특성 변화

Fig. 3. The characteristics of OTFT depending on the baking temperatures and acetone treatment of CLA-PVP.

제작할 수 있었다. 이 때 OTFT의 이동도는 $0.64 \text{ cm}^2/\text{V}\cdot\text{sec}$, 차단전류가 $4.17 \times 10^{-10} \text{ A}$, 부분턱기울기가 $3.49 \text{ V}/\text{dec}$, 문턱전압이 -10.2 V 로 나타났다.

어레이에 적용되는 게이트 절연막은 회로구성을 위하여 형상화가 가능해야 하므로 CLA를 첨가하여 경화시킴으로써 내화확성을 갖게 한다. 이 때 경화온도에 따라 PVP가 갖는 내화확성의 정도가 다르며 이에 대한 실험결과가 그림 3에 나타나있다. 그림 3에서 보듯이, 160°C에서 경화시킨 PVP는 아세톤 유기용매에 영향을 받아 차단전류가 매우 커지지만, 200°C에서 경화시킨 PVP는 아세톤 유기용매에 영향을 받지 않아 차단전류가 변하지 않음을 확인할 수 있다.

따라서, 어레이에 적용되는 PVP 게이트 절연막 성막 공정은 100w%의 PGMEA에 10w%의 PVP, 5w%의 CLA를 혼합하여 소자에 도포한 후 200°C에서 경화시켜 내화확성을 가지게 하는 것이 최적의 조건으로 산출되었다.

2. 펜타센 박막 성막 공정

펜타센 박막의 결정성은 OTFT의 성능에 직접적인 영향을 미치는 요소로서 펜타센 박막의 성막율과 펜타센 분자의 표면확산계수에 의존한다. 성막율은 증발온도에 의존하므로 증발온도에 따른 펜타센 박막 성막 실험을 하였으며, 박막의 그래인 크기와 이동도를 측정하였다.

그림 4의 SEM 사진에서 볼 수 있듯이, 증발온도가 190°C에서 그래인 크기가 가장 큰 박막을 얻을 수 있었

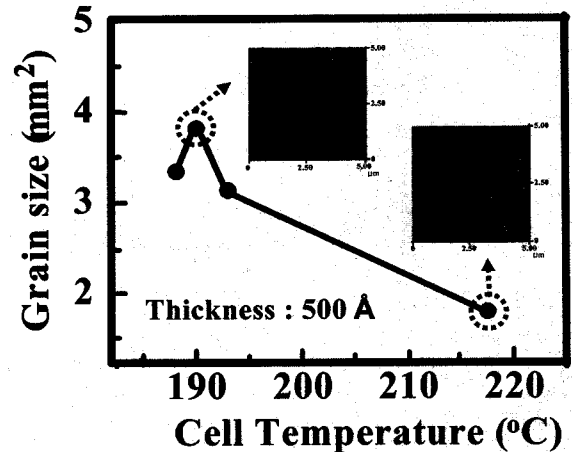


그림 4. 증발 온도에 따른 펜타센 입계 사이즈

Fig. 4. The evaporation temperature dependence of pentacene grain size.

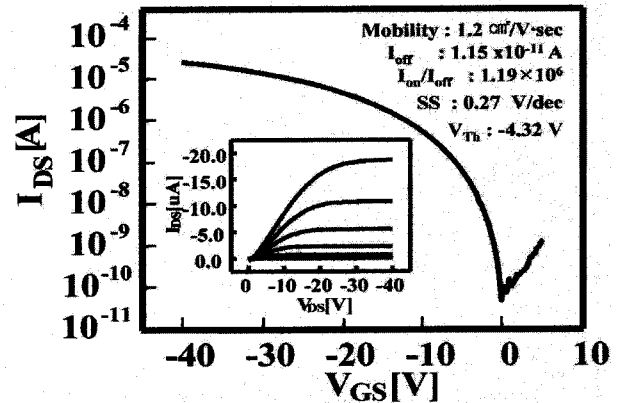


그림 5. PVP 게이트 절연층을 이용한 OTFT의 전기적 특성

Fig. 5. The electrical characteristics of pentacene TFTs using PVP gate.

다. 이동도 역시 218°C에서는 $0.2 \text{ cm}^2/\text{V}\cdot\text{sec}$ 이지만 190°C에서 그래인 크기가 커짐으로써 $0.8 \text{ cm}^2/\text{V}\cdot\text{sec}$ 로 증가 하였다.

PVP 게이트 절연막 위에서 펜타센 박막을 190°C에서 50 nm로 성막한 소자는 그림 5에서 보듯이 이동도는 최고 $1.2 \text{ cm}^2/\text{V}\cdot\text{sec}$, 부분턱기울기 $0.27 \text{ V}/\text{dec}$, I_{on}/I_{off} 는 2×10^6 의 특성을 갖는 OTFT를 얻을 수 있었고, 이는 AMOLED에 적용하기에 충분한 TFT 성능이라고 판단된다.

3. 어레이 성능 분석

PET 기판 위에 제작된 64 x 64 어레이의 성능을 평가하기 위해 이동도를 측정하였으며, 그 결과가 그림 6에 나타나 있다. 그림 6에서 보듯이, 이동도는 개별 소자보다 약 10배 정도 감소하여 평균 $0.1 \sim 0.2 \text{ cm}^2/\text{V}\cdot\text{sec}$ 로

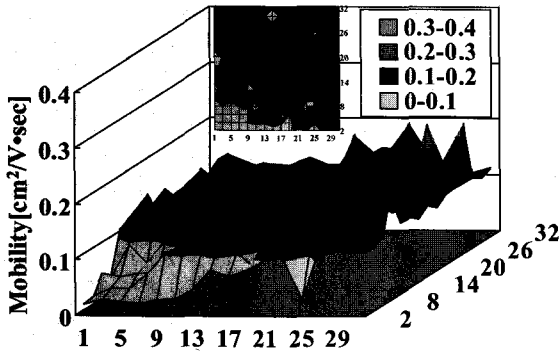


그림 6. 64 x 64 어레이에서 OTFT의 이동도 분포
 Fig. 6. The distribution of mobilities of OTFTs in 64 x 64 array.

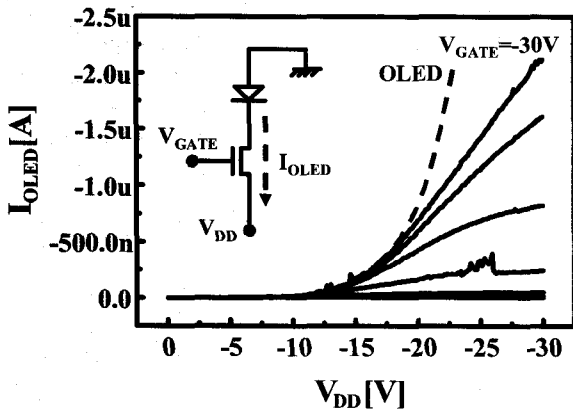


그림 7. OTFT의 게이트 전압에 따른 OLED 전류 변화
 Fig. 7. The variation of OLED current depending on the gate and source-drain voltages of OTFT.

나타났으나 기관 전체에 걸쳐 그 오차가 10%이내인 것으로 균일도는 수용할 수 있는 범위로 나타났다. 이와 같은 균일한 성능을 가진 OTFT의 분포는 균일한 전류를 OLED에 인가하게 되어 그 밝기가 균일해진다.

OTFT의 OLED 구동 능력을 평가하기 위해 전원 전압 V_{DD} 를 0V에서 -30V까지 변화시키고 게이트 전압에 0V에서 -30V까지 인가하여 출력 특성을 측정하였고, 개별 OLED 전류특성과 함께 그림 7에 나타내었다. 그림 7에서 보듯이, OTFT와 OLED가 직렬로 연결되어 있으므로 전류는 두 소자 중 큰 저항을 가지는 소자에 의하여 좌우된다. 따라서 낮은 전압 영역에서는 저항이 큰 OLED가 전류를 제한하여 전류가 거의 흐르지 않고 (약 10^{-9} A), 높은 전압 영역에서는 OTFT가 전류를 제한하여 출력 특성이 나타나서 전류가 일정해지고 게이트 전압에 의하여 전류 크기가 변화함을 볼 수 있다. 이것은 OLED와 OTFT의 복합적인 영향에 의한 것으로, OLED 문턱 전압 이하의 낮은 전원 전압 영역에서는

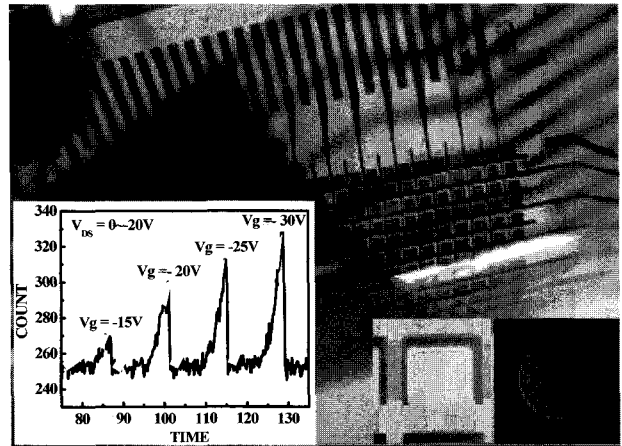


그림 8. 제작된 어레이의 사진, OTFT의 VGS에 대한 OLED 휘도 변화 및 어레이에 디스플레이된 그림
 Fig. 8. The picture of the fabricated array on which a picture was displayed, and the intensity variation of OLED according to VGS of OTFT.

OLED에 의해 제한된 차단 상태의 전류가 흐르게 되고, OLED 문턱 전압 이상의 전원 전압 영역에서는 OTFT에 의해 제한된 포화된 전류가 흐르게 된다. 약 $2 \mu A$ 로 포화된 전류에서 1.5 Cd/m^2 의 휘도를 보였다. 결과적으로 OTFT는 OLED를 구동할 수 있는 충분한 전류를 공급하며 게이트 전압으로 크기를 조절할 수 있음을 확인하였다.

그림 8은 제작된 64 x 64 픽셀 array의 구동 결과를 나타내고 있다. 제작된 OLED는 EML층이 Alq3인 OLED는 파장 530 nm의 전형적인 녹색발광을 하고, 개별 소자의 경우 6V에서 20 Cd/m^2 의 휘도가 나타났다. 그림 8 내부의 작은 그림은 게이트 전압에 의한 휘도 변화를 나타내고 있다. 게이트 전압을 -5V에서 -20V까지 단계적으로 변화시키고, 소스-드레인 전압을 각 단계마다 0V에서 -20V까지 변화시켰다. 게이트 전압이 증가함에 따라 밝기가 증가함을 볼 수 있다. 그림 8의 디스플레이된 그림에 결함을 볼 수 있는데, 이것은 공정시 발생하는 오염이 주요 원인인 것으로 추정되며, 또한 소자의 포장 공정이 이루어지지 않아 시간이 지남에 따라 소자가 급격히 열화되었기 때문인 것으로 판단된다.

IV. 결 론

OLED에 대한 OTFT의 전류구동능력을 평가하기 위하여 OTFT와 OLED로 구성된 픽셀과 64 x 64 픽셀

어레이를 제작하여 시연하였다. OTFT는 PET 기판과 호환성을 고려하여 PVP를 게이트 절연층으로 사용하여 최적의 구성비를 도출하였고, 활성층인 펜타센 박막 증착조건도 최적화하였다. 개별 OTFT는 이동도 1.0 cm²/V·sec로 우수한 성능을 나타내었으나, 어레이에서는 0.1~0.2 cm²/V·sec로 약 10배 감소하였다. 이는 공정시 발생하는 오염 때문인 것으로 생각된다. OTFT가 OLED에 충분한 전류를 공급하며 게이트 전압으로 전류 크기를 조절할 수 있음을 확인하였다.

참 고 문 헌

[1] T. Nishibe, "Low-temperature poly-Si TFT by excimer laser annealing", *Mat. Res. Soc. Symp. Proc.*, Vol.685E, pp.D6.1., 2001.

[2] J. Jang and B. C. Lim, "a-Si TFTs with planarized gate insulator", *SID 99 Digest*, pp.728-731, San Jose, California, May, 1999.

[3] T. W. Kelley, D. V. Muyres, P. F. Baude, T. P. Smith, T. D. Jones, "High Performance Organic Thin Film Transistors", *Proceeding 2003 MRS Spring Meeting*, pp. 226, April, 2003.

[4] K. R. Sarma, presented at *3rd Annual Flexible Displays & Microelectronics Conf.* Flexible Backplane Technologies, 2004.

[5] M. Troccoli, T. Afentakis, T. Chuang, M. Hatalis, J. Hartzell, presented at *3rd Annual Flexible Displays & Microelectronics Conf.* Flexible Backplane Technologies, 2004.

[6] P. V. Lieshout, presented at *3rd Annual Flexible Displays & Microelectronics Conf.* Display Technologies: Applications & The Electro-Optic Front Plane, 2004.

[7] T. Chuman, S. Ohta, S. Miyaguchi, H. Sato, T. Tanabe, Y. Okuda, and M. Tsuchida, *SID 04*, May, 2004.

[8] H. Klauk, M. Haik, U. Zschieschang, G. Schmid, W. Radlik "High-mobility polymer gate dielectric pentacene thin film transistors", *J. Appl. Phys.*, vol. 92, iss. no. 9, p. 5259-5263

[9] 이명원, 김광현, 송정근, "펜타센 박막의 두께와 전극위치가 펜타센 TFT 성능에 미치는 영향", *대한전자공학회*, 제39권 SD편, 제12호, 1001-1007쪽, 2002년12월.

저 자 소 개



최 기 범(학생회원)
 2004년 동아대학교 전자공학과 학사 졸업.
 2005년~현재 동아대학교 전자공학과 석사과정.
 <주관심분야 : OTFT, OLED, 반도체>



정 현(학생회원)
 2003년 동아대학교 전자공학과 학사 졸업.
 2005년~현재 동아대학교 전자공학과 석사과정.
 <주관심분야 : OTFT, Gate Insulator, 반도체, Simulation>



류 기 성(학생회원)
 2003년 동아대학교 전자공학과 학사 졸업.
 2005년 동아대학교 전자공학과 석사 졸업.
 2005년~현재 동아대학교 전자공학과 박사과정.
 <주관심분야 : OTFT, AMOLED, 반도체, 플렉시블 디스플레이>



송 정 근(정회원)
 1980년 서울대학교 전자공학과 학사 졸업.
 1984년 서울대학교 전자공학과 석사 졸업
 1992년 University of Cincinnati Electrical and Eng. 공학 박사
 1993년~현재 동아대학교 전자공학과 전자컴퓨터공학부 정교수
 <주관심분야 : 나노유기소자, 분자전자소자, Flexible Electronics, Flexible Display>