

논문 2005-42SD-12-7

비트 수준 슈퍼 시스톨릭 어레이의 설계

(Design of a Bit-Level Super-Systolic Array)

이 재 진*, 송 기 용**

(Jae-Jin Lee and Gi-Yong Song)

요 약

시스톨릭 어레이는 동일한 기능을 가지는 계산처리들을 동일한 형태로 연결하여, 다수의 자료에 반복적인 계산을 하도록 만들어진 병렬처리기로써 개념적으로 산술 파이프라인과 밀접한 관계를 갖는다. 시스톨릭 어레이 셀 내의 연산에 대한 고성능 처리는 시스톨릭 어레이의 중요한 특징이다. 본 논문에서는 시스톨릭 어레이 셀 내의 동시성 처리를 높이기 위해 셀 내의 연산 중에서는 큰 지연 시간을 가지는 셀 내의 연산자를 다시 규칙성을 가지는 시스톨릭 어레이로 구성하는 비트 수준 슈퍼 시스톨릭 어레이 구조를 제안하고, 그 예로 비트 수준 슈퍼 시스톨릭 FIR 필터에 대하여 기술한다. 먼저 정규순환방정식으로 표현된 알고리즘으로부터 워드 수준 시스톨릭 어레이를 유도한 후 유도된 워드 수준 시스톨릭 어레이를 슈퍼 시스톨릭 어레이로 변환한다. 위의 과정으로 유도된 비트 수준 슈퍼 시스톨릭 어레이를 RT 수준에서 VHDL로 모델링 하여 동작을 검증하였으며, Hynix에서 제공되는 0.35 μ m 셀 라이브러리를 사용하여 합성하였다. 본 논문에서 제안하는 비트 수준 슈퍼 시스톨릭 어레이는 워드 수준 시스톨릭 어레이 디자인에 비해 면적은 물론 성능측면에서 이점을 가진다.

Abstract

A systolic array formed by interconnecting a set of identical data-processing cells in a uniform manner is a combination of an algorithm and a circuit that implements it, and is closely related conceptually to arithmetic pipeline. High-performance computation on a large array of cells has been an important feature of systolic array. To achieve even higher degree of concurrency, it is desirable to make cells of systolic array themselves systolic array as well. The structure of systolic array with its cells consisting of another systolic array is to be called super-systolic array. This paper proposes a scalable bit-level super-systolic array which can be adopted in the VLSI design including regular interconnection and functional primitives that are typical for a systolic architecture. This architecture is focused on highly regular computational structures that avoids the need for a large number of global interconnection required in general VLSI implementation. A bit-level super-systolic FIR filter is selected as an example of bit-level super-systolic array. The derived bit-level super-systolic FIR filter has been modeled and simulated in RT level using VHDL, then synthesized using Synopsys Design Compiler based on Hynix 0.35 μ m cell library. Compared conventional word-level systolic array, the newly proposed bit-level super-systolic arrays are efficient when it comes to area and throughput.

Keywords : Super-systolic array, FIR filter, Systolic multiplier

I. 서 론

시스톨릭 어레이^{[1][2][3][4][5]}는 파이프라인 어레이 구조

* 학생회원, ** 정회원, 충북대학교
전기전자컴퓨터공학부

(School of Electrical & Computer Engineering,
Chungbuk National University)

※ 이 논문은 2004년도 충북대학교 학술연구지원사업
의 연구비 지원에 의하여 연구되었음.

접수일자: 2005년8월11일 수정완료일: 2005년11월23일

의 새로운 범주로서 지역적으로 연결된 프로세서들이 규칙적으로 데이터를 계산하고 시스템을 통해 데이터를 전달하는 프로세서 네트워크라고 정의 된다. 규칙적이고 지역적인 데이터의 흐름을 갖으며 계산량이 많은 (computation-bound) 알고리즘에 적용될 수 있는 시스톨릭 어레이는 초기 휴리스틱한 방법으로 설계가 이루어 졌으며, 현재는 의존성 분석과 선형 순환 반복의 시공간 또는 정규순환 방정식의 변형으로부터 자동적으로

시스틀릭 어레이 구조를 유도해 내는 체계적인 방법에 대한 연구가 진행되고 있다.

시스틀릭 어레이 디자인은 고도의 파이프라인 처리라는 점에서 폰노이만 컴퓨터와 다르다. 그림 1에 보이는 것처럼 한 번 메모리로부터 읽어온 데이터는 하나의 셀에서 사용된 후 어레이를 따라 다른 셀로 전달되어 각 셀에서 효과적으로 사용되며, 반면에 반복적인 방법으로 각 데이터에 대하여 다양한 연산이 수행될 수 있다. 시스틀릭 어레이의 이런 특징은 계산량이 많은 알고리즘 처리에 효과적이며, 폰노이만 컴퓨터에서 일반적으로 발생하는 고전적인 메모리 접근 병목현상을 피할 수 있게 한다^[1].

시스틀릭 어레이의 특징은 동시성, 모듈성과 확장성, 공간적 지역성, 시간적 지역성이다. 전역 클록에 맞추어 동시에 각 셀에서 데이터가 규칙적이고 반복적으로 계산되고 네트워크를 통해 전달된다는 면에서 동시성, 동질의 상호연결을 가진 독자적인 기능을 수행하는 셀들로 구성되어 있으며 이러한 구성에 기인하여 무한한 확장이 가능하다는 점에서 모듈성과 확장성, 또한 통신 가능한 상호연결 구조를 가진다는 점과 각 셀들 사이의 데이터 전달 과정에서 단위시간 이상의 지연이 존재한다는 점에서 공간적, 시간적 지역성을 갖는다.

시스틀릭 어레이 셀 내의 연산에 대한 고성능 처리는 시스틀릭 어레이 디자인의 중요한 요소이다.

기존의 비트 수준 시스틀릭 어레이는^{[6][7][8][9]} 시스틀릭 어레이의 파이프라인 단계를 높이고 현재의 VLSI 집적수준을 보다 효과적으로 이용하기 위해 제안되었다. 일반적으로 비트 수준 시스틀릭 어레이를 유도하는 방법은 크게 두 가지로 나눌 수 있다. 첫 번째 방법은 응용 문제를 비트 수준 단위에서 해석한 후 직접 비트 수준 시스틀릭 어레이를 유도하는 것이다. 그러나 이 방법은 연산의 정규순환방정식으로부터 비트 수준 의존 관계를 파악해야 하기 때문에 해당 연산이 복잡하거나

규모가 큰 경우 구현이 매우 어렵다는 단점을 가진다.

두 번째 방법은 셀 내의 연산에 대한 파이프라인 구조를 적용하여 시스틀릭 어레이의 동시성 처리를 높이는 방법이다. 그러나 이 방법은 파이프라인 구조에 기인하여 자료가 단 방향으로 흐르게 되고 입력과 셀 내의 연산에 따라 파이프라인 단계 및 구조를 재구성해야 하는 단점을 가진다.

본 논문에서는 시스틀릭 어레이의 셀 내의 동시성 처리를 높이기 위한 다른 방법론으로 셀 내의 연산 중에서는 많은 지연 시간을 가지는 셀 내의 연산자를 다시 규칙성을 가지는 시스틀릭 어레이로 구성하는 비트 수준 슈퍼시스틀릭 어레이 구조를 제안한다. 본 논문의 슈퍼 시스틀릭 어레이는 비트 수준에서의 데이터 흐름과 처리를 기본으로 한다. 따라서 이후부터 비트 수준 슈퍼 시스틀릭 어레이를 슈퍼 시스틀릭 어레이라 명명한다.

제안된 슈퍼 시스틀릭 어레이는 어레이 셀 내의 연산자가 시스틀릭 어레이의 4가지 특징인 동시성, 모듈성과 확장성, 공간적 지역성, 시간적 지역성을 만족하므로 무한 확장이 가능하다는 장점을 가지며, 셀 내의 데이터 흐름이 갖는다. 또한 워드 수준 시스틀릭 어레이 디자인과 비교했을 때 면적은 물론 성능측면에서 이점을 가진다.

본 논문에서 슈퍼 시스틀릭 어레이의 예를 보이기 위해 슈퍼 시스틀릭 FIR 필터의 설계에 대하여 기술한다. 먼저 연산에 대한 정규순환방정식으로 표현된 알고리즘으로부터 워드수준 시스틀릭 어레이를 유도한 후 유도된 워드 수준 시스틀릭 어레이를 슈퍼 시스틀릭 어레이로 변환한다. 위의 과정으로 유도된 슈퍼 시스틀릭 어레이를 RT(register transfer) 수준에서 VHDL로 모델링하여 동작을 검증하였으며, 검증된 슈퍼 시스틀릭 어레이는 Hynix에서 제공되는 0.35 μ m 셀 라이브러리를 사용하여 합성하였다.

II. 슈퍼 시스틀릭 FIR 필터

1. 워드 수준 시스틀릭 FIR 필터

상수 계수(coefficients)를 가지는 유한 임펄스 응답은 선형추이불변(linear time invariant) 디지털필터이다. 시

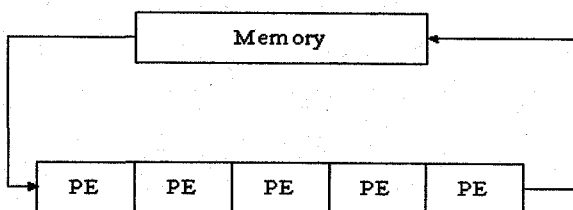


그림 1. 시스틀릭 어레이의 기본구조
Fig. 1. Basic structure of systolic array.

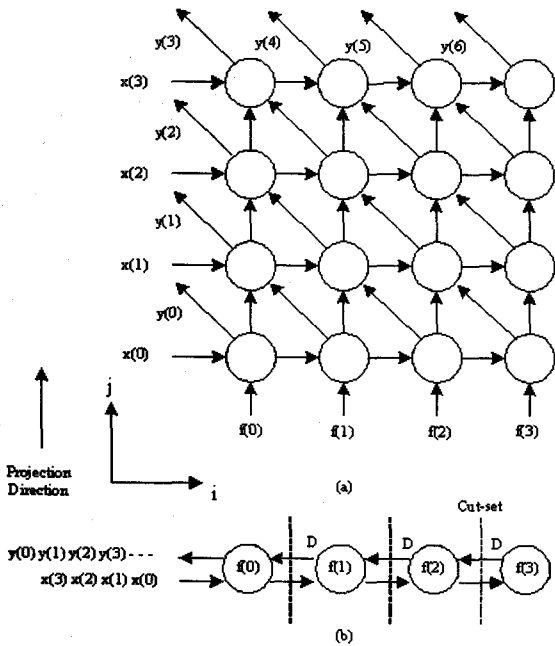


그림 2. (a) FIR 필터의 DG
 (b) j -방향으로 프로젝션해서 얻어진 SFG
 Fig. 2. (a) DG for FIR filter
 (b) SFG obtained by projection along j -direction.

간에 연속적인 입력 $x[n]$ 에 대하여 차수가 L 인 유한 임펄스 응답은 식 1에 보이는 것처럼 유한 컨벌루션^[10]의 합으로 주어지며, 식 1을 이용하여 얻어진 DG (dependence graph)는 그림 2(a)에 보인다.

$$y[n] = x[n] * f[n] = \sum_{k=0}^{L-1} x[k]f[n-k] \quad (1)$$

그림에서 보이는 것처럼 계수 $f(i)$ 는 열들을 따라서 변하지 않고 남아 있게 된다. 이것은 DG를 j -방향으로 프로젝션(projection) 하여 얻어진 그림 2(b)의 SFG (signal flow graph)에 보이는 것처럼 계수 $f(i)$ 가 i 번째 셀의 상수로 저장될 수 있음을 의미한다.

DG에서 SFG로의 매핑은 프로세서의 할당과 스케줄링으로 구분된다. 프로세서 할당은 DG를 보다 낮은 차원의 프로세서 공간(processor space)으로 매핑하는 프로젝션 방법을 이용하며, 스케줄링은 DG의 N 차원 인덱스를 1차원의 시간 인덱스로 매핑하는 함수이다. 선형 스케줄은 DG의 평행한 Hyperplane들의 집합에 기반을 두며, 동일한 Hyperplane 위에 위치한 노드들은 동시에 작업이 수행되어야 한다. 일반적으로 프로젝션 방향뿐만 아니라 스케줄링 방법은 유도되는 시스틀릭 어레이

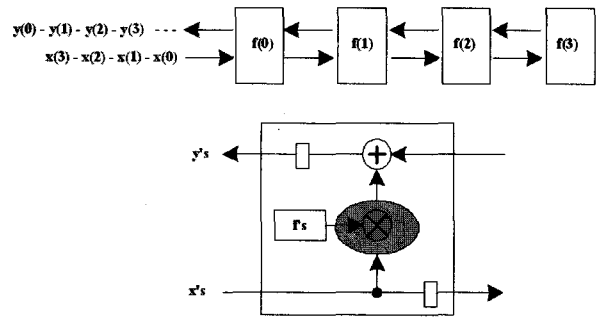


그림 3. 워드 수준 시스틀릭 FIR 필터
 Fig. 3. Word-level systolic FIR filter.

의 성능에 큰 영향을 미친다. DG의 프로젝션과 스케줄링 방향에 따라 직접 시스틀릭 어레이가 유도 될 수 있다. 그러나 이 과정은 DG의 인덱스가 커지면 매우 어려운 작업이므로 일반적으로 시스틀릭 어레이는 먼저 SFG를 유도한 후 시스틀릭화 과정을 통해 유도된다.

위에서 얻어진 SFG는 셀들 사이의 데이터 전달 과정에서 단위시간 이상의 지연이 존재해야 한다는 시스틀릭 어레이의 특징인 시간적 지역성을 만족하지 않기 때문에 시스틀릭화 과정을 적용해야 한다. 위에서 얻어진 SFG를 시스틀릭 어레이로 만들기 위해서 cut-sets으로 나눈 SFG를 그림 2(b)에 보였다. 만약 지연을 2배, 즉 $D \rightarrow 2D$ 로 스케일링하면 cut-sets 안에서 하나의 지연을 왼쪽으로 나가는 에지에서 오른쪽으로 나가는 에지로 전달할 수 있다. 위 과정을 통해 얻어진 워드 수준 시스틀릭 FIR 필터를 그림 3에 보인다.

그림에서 보이는 것처럼 시스틀릭 FIR 필터는 동일한 기능을 수행하는 셀들로 연결되어 있으며, 어레이의 파이프라인 간격, a 은 2이다. 그림 3의 워드 수준 시스틀릭 FIR 필터의 셀은 승산기와 가산기를 포함하고 있다. 통신 및 멀티미디어 분야의 근간이 되는 디지털 신호처리 회로의 성능은 승산기에 좌우된다^{[11][12]}. 집적도가 높은 시스템에서 면적의 제한은 매우 중요한 요소이다. 승산기와 같이 많은 면적과 지연을 차지하는 연산자는 다시 시스틀릭 어레이를 이용하여 구현될 수 있는 후보 연산자이며 이것은 원 시스틀릭 어레이를 슈퍼 시스틀릭 어레이로 만든다.

2. 비트 수준 시스틀릭 승산기

이 절에서는 집적도가 높은 시스템에서 1-비트 입·출력 포트 만을 가지는 비트 수준 시스틀릭 승산기의

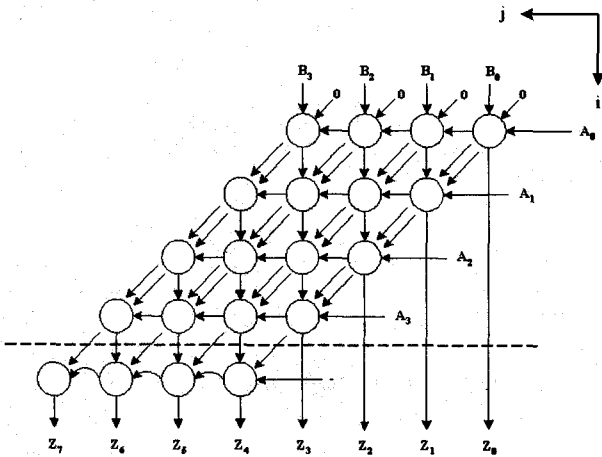


그림 4. 4-비트 정수 A와 B의 승산을 위한 DG
Fig. 4. DG for multiplication of 4-bit integer A and B.

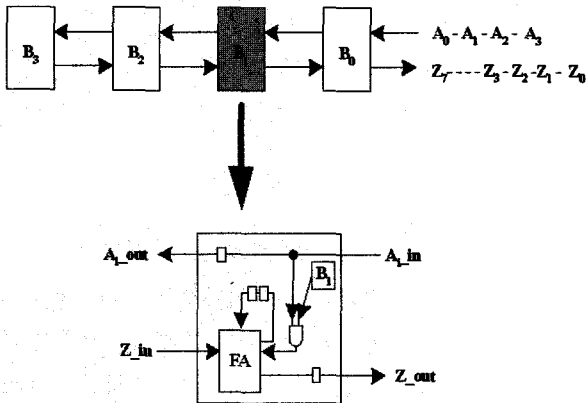


그림 5. 비트 수준 시스톨릭 승산기
Fig. 5. Bit-level systolic multiplier.

설계에 대하여 기술한다.

승산에 필요한 두 M -비트 정수 A 와 B 에 대하여 A_k 와 B_k 를 A 와 B 의 k 번째 비트라고 하면, A 와 B 의 승산 결과는 $2M$ 비트의 정수로 표현된다. M 이 4인 경우 승산 $Z=A \times B$ 를 수행하는 DG를 그림 4에 보인다. 승산을 위한 DG의 데이터 흐름은 크게 두 부분으로 나누어진다. 각 부분은 서로 다른 연결 구조를 가지는 시스톨릭 어레이로 구현되며, 또한 승산의 출력은 비트 단위로 모든 노드에서 생성되므로 VLSI 설계시 많은 출력 포트가 요구된다.

위의 두 문제를 해결하기 위하여 DG의 인덱스를 확장하는 것이 가능하며 이 기법을 인덱스 공간 확장(index space extension)^[1]이라 한다. 인덱스 공간확장 후 ij -방향으로 프로젝션, 기본 스케줄링(default scheduling)을 적용하여 얻어진 비트 수준 시스톨릭

승산기를 그림 5에 보인다.

3. 비트 수준 슈퍼 시스톨릭 FIR 필터

이 절은 2절에서 얻어진 비트 수준 승산기를 사용한 슈퍼 시스톨릭 FIR 필터에 대하여 기술한다. 4개의 M -비트 정수를 가진 계수에 대한 비트 수준 슈퍼 시스톨릭 FIR 필터와 셀 내부 구조를 그림 6에 보인다.

그림 6에 보이는 것처럼 슈퍼 시스톨릭 FIR 필터의 셀은 또 다른 시스톨릭 어레이인 그림 5의 비트 수준 시스톨릭 승산기를 포함하고 있다. 이것은 시스톨릭 FIR 필터를 슈퍼 시스톨릭 FIR 필터로 만들며 시스톨릭 FIR 필터의 셀을 슈퍼 셀로 만든다.

N -비트 입력 시퀀스 $x(n)$ 은 가장 왼쪽 셀에서 비트 연속(bit-serial) 모드로 입력되며 또한 출력 시퀀스 $y(n)$ 도 가장 왼쪽 셀에서 비트 연속 모드로 생성된다. 입력 시퀀스는 데이터 흐름의 동기를 맞추기 위해 하나의 지연을 가지고 어레이에 입력되어야 하는데, 이것은 전체적으로 슈퍼 시스톨릭 FIR 필터의 성능을 저하시킨다. 이 문제를 해결하기 위해 그림 6(a)에 보이는 것처럼 두 개의 서로 다른 입력 시퀀스 x_1 과 x_2 를 인터리빙(interleaving) 시킴으로써 제안된 슈퍼 시스톨릭 FIR 필터의 성능을 향상시킬 수 있다.

제안된 슈퍼 시스톨릭 어레이의 슈퍼 셀과 슈퍼 셀 사이의 데이터 흐름의 동기를 맞추기 위해 두 종류의 지연이 요구된다. $x(n)$ 을 위한 지연은 단위 지연(unit delay)이고 $y(n)$ 을 위한 지연은 $M+2N+2K$ 단위 지연이다. 여기서 K 는 보호 비트(guard bit)이다. 디지털신호처리 알고리즘은 MAC(Multiply-Accumulate)의 집약적인 구성으로 이루어지며, 승산과 가산에 의한 충분한 동적인 공간을 유지하기 위해서 추가적인 k -비트의 보호 비트가 요구된다. FIR 필터의 경우 추가적인 보호 비트는 차수가 L 이고 입력신호와 계수가 unsigned 데이터인 경우는 $\log_2(L)$ 로 주어지고 signed 데이터인 경우는 $\log_2(L)-1$ 로 주어진다. $M+2N+2K$ 단위 지연은 그림 6(a)에 보이는 것처럼 동일한 지연을 가지는 쉬프트 레지스터로 구현된다. 결과적으로 제안된 슈퍼 시스톨릭 FIR 필터는 입력을 위한 한 개의 1-비트 포트와 출력을 위한 한 개의 1-비트 포트만을 가지므로 매우 간결(compact)한 구조를 갖는다.

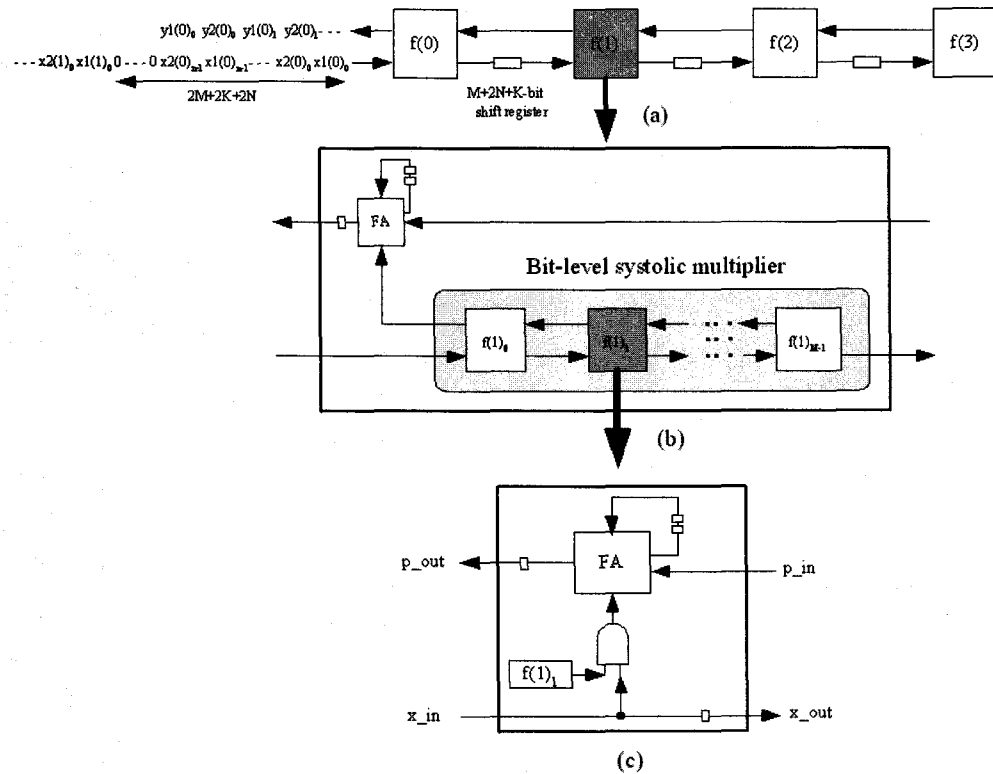


그림 6. (a) 슈퍼 시스톨릭 FIR 필터 (b) 슈퍼 시스톨릭 FIR 필터의 셀 (c) 비트 수준 시스톨릭 승산기의 셀
 Fig. 6. (a) Super-systolic FIR filter (b) The cell of super-systolic FIR filter (c) The cell of bit-level systolic multiplier.

III. 합성 및 성능분석

II장에서 유도된 시스톨릭 승산기와 슈퍼 시스톨릭 FIR 필터는 RT 수준에서 VHDL로 모델링 하여 시뮬레이션으로 동작을 검증한 후 Hynix에서 제공되는 0.35 μ m 셀 라이브러리를 기본으로 하는 Synopsys 디자인 컴파일러^{[13][14]}를 사용하여 합성되었으며 워드 수준 시스톨릭 어레이와 비교 분석 되었다. VHDL 모델링 및 합성 환경은 표 1에 보인다.

표 2는 승수와 피승수가 16-비트인 경우 어레이 승

표 1. 모델링 및 합성환경
 Table 1. Modeling and synthesis environment.

구분	개발환경	CPU/ RAM	운영체제	언어 및 버전
VHDL 모델링 및 시뮬레이션		P4/512M	WinXP	Active HDL5.1
합성		168MHz/ 256M	Solaris5.8	Syn_U-2003.06-SP1

산기와 비트 수준 시스톨릭 승산기의 합성결과이다. 합성 결과에서 전체 면적은 조합회로 면적, 비조합회로 면적, 그리고 구성 요소들간 상호 연결을 위한 면적으로 구분되고 하나의 2-입력 NAND 게이트의 면적을 1로 간주하였을 때 디자인 합성에 요구되는 면적을 나타낸다. 임계 경로 지연 시간은 합성된 디자인의 네트 중 가장 큰 지연을 가지는 네트의 지연시간을 의미하며, 클럭의 주기는 적어도 임계 경로 지연 시간 보다 길어야 하므로 디자인의 클럭을 결정하는 중요한 요인이 된다.

필터의 차수 L 이 4이고 전달계수와 입력신호가 각각 8-비트인 워드 수준 시스톨릭 FIR 필터와 슈퍼 시스톨릭 FIR 필터의 합성결과는 표 3에 보인다.

비트 수준 시스톨릭 승산기와 슈퍼 시스톨릭 FIR 필터는 승수와 피승수, 계수와 입력의 비트 수에 관계없이 일정한 0.99ns의 임계 경로 지연을 가지는데 반해 어레이 승산기와 슈퍼 시스톨릭 FIR 필터의 경우 승수와 피승수, 계수와 입력 비트 수가 증가함에 따라 더 큰 임계경로 지연을 갖는다.

표 2. 승산기 합성 결과
Table 2. Synthesis results for multiplier.

구분 \ 디자인	비트 수준 시스톨릭 승산기	어레이 승산기
조합회로 면적 (2-input NAND)	183.5	2000.5
비조합회로 면적 (2-input NAND)	441	0
네트의 상호 연결을 위한 면적 (2-input NAND)	1.59	3.55
입계 경로 지연 (ns)	0.99	32.39

표 3. FIR 필터 합성 결과
Table 3. Synthesis results for FIR filter.

구분 \ 디자인	슈퍼 시스톨릭 FIR 필터	워드 수준 시스톨릭 FIR 필터
조합회로 면적 (2-input NAND)	832	8891.5
비조합회로 면적 (2-input NAND)	2688	1162
네트의 상호 연결을 위한 면적 (2-input NAND)	8.93	19.55
입계 경로 지연 (ns)	0.99	37.41

표 2와 표 3의 합성 결과는 비트 수준 시스톨릭 승산기와 슈퍼 시스톨릭 FIR 필터가 어레이 승산기와 워드 수준 시스톨릭 FIR 필터에 비해 하드웨어 복잡도와 성능측면에서 우수함 보여준다.

서론에서 언급한 것처럼 비트 수준 시스톨릭 어레이는 응용 문제를 비트 수준 단위에서 해석한 후 직접 유도되거나, 또는 셀 내의 연산에 대한 파이프라인 구조를 적용함으로써 유도 될 수 있다. 따라서 워드 수준 시스톨릭 어레이에 비해 성능 측면에서는 이점을 가지지만,

하드웨어 복잡도 즉 면적은 증가하게 된다. 그러나 본 논문에서 제안하는 비트 수준 슈퍼 시스톨릭 어레이는 워드 수준 시스톨릭 어레이에 비해 면적과 성능측면에서 모두 이점을 가진다.

IV. 결 론

본 논문에서는 시스톨릭 어레이 셀 내에 대한 동시성 처리를 높이기 위해 시스톨릭 어레이 구조 내 셀이 또 다른 시스톨릭 어레이 구조를 가지는 슈퍼 시스톨릭 어레이 구조를 제안하고, 그 예로 슈퍼 시스톨릭 FIR 필터 설계에 대하여 기술하였다.

시스톨릭 어레이는 규칙적인 데이터의 흐름을 위해 셀 내의 모든 연산들이 단위 클럭 안에 수행되어야 된다고 가정한다. 그러나, 서로 다른 연산에 대해 요구되는 지연의 차이는 무시될 수 없으며 연산 중에서 가장 큰 지연을 가지는 연산자가 시스톨릭 어레이의 단위 클럭을 결정하게 되고 이 것은 궁극적으로 시스톨릭 어레이의 성능을 떨어뜨린다. 이 문제를 해결하기 위해 큰 지연을 가지는 셀 내의 연산자를 다시 시스톨릭 어레이로 구성하는 것이 가능하며, 이 과정은 셀이 기본적인 연산자(primitive operator)로 구성될 때까지 계속 될 수 있다.

본 논문에서 제안된 슈퍼 시스톨릭 어레이는 워드 수준 시스톨릭 어레이에 비해 하드웨어 복잡도와 성능측면에서 이점을 가지며, 많은 양의 곱셈 덧셈과 같은 반복적인 산술연산이 요구되는 컨벌루션, FFT, FIR 필터, IIR 필터, DFT 등과 같은 디지털신호처리 및 영상처리 알고리즘을 간결하면서도 규칙적이고, 입·출력과 계산 사이의 균형을 유지하면서 동시성 처리를 높일 수 있도록 구현하는데 사용될 수 있다.

참 고 문 헌

- [1] S. Y. Kung, VLSI Array Processors, Prentice Hall, 1988.
- [2] H. T. Kung, "Why Systolic Architectures?," IEEE Computer vol. 15, no. 1, pp. 37-46, 1982.
- [3] H. T. Kung and C.E.Leiserson, "Systolic Arrays (for VLSI)," Sparse Matrix Proc., Academic Press, Orland, pp. 256-282, 1979.

- [4] S. Y. Kung, "On Supercomputing with Systolic /Wavefront Array processors," *IEEE computer*, vol. 72, no. 7, 1984.
- [5] K. T. Johnson, A. R. Hurson, "General Purpose Systolic Arrays," *IEEE Computers*, pp. 20-31, Novemver 1993.
- [6] J. Mccanny, J. Mcwhirter, and S. Y. Kung "The use of data dependence graphs in the design of bit-level systolic arrays," *IEEE Trans. Acoust., Speech., Signal Process.*, vol. 18, pp. 787 -793, 1990.
- [7] S. Nayak, and P. Meher, "High throughput VLSI implementation of discrete orthogonal transforms using bit-level vector-matrix multiplier," *IEEE Trans. Circuits Syst. II, Analog Digital Signal Process.*, vol. 46, (5), pp. 655 - 658, 1999.
- [8] R. S. Grover, W. Chang and Q. Li, "A comparison of FPGA implementation of two's complement bit-level and word-level matrix multiplier," *FPGA 2001*, pp. 223, 2001
- [9] S. S. Nayak, "Bit-level systolic implementation of 1D and 2D discrete wavelet transform," *IEE Proc. of Circuits, Devices and Systems*, vol. 152, pp. 25 - 32, 2005
- [10] U. Meyer-Baese, *Digital Signal Processing with Field Programmable Gate Arrays*, Springer, 2001.
- [11] J. J. Lee and G. Y. Song, "Implementation of the Super-Systolic Array for Convolution," *ASP-DAC 2003*, pp. 491-494, 2003.
- [12] S. G. Smith and R.W.Morgan, "Generic ASIC architecture for high-performance integer arithmetic realization," *Proc. of IEEE int. conf., computer design*, 1989.
- [13] K. C. Chang, *Digital Systems Design with VHDL and Synthesis*, IEEE Computer Society Press, 1999.
- [14] <http://www.synopsys.com>

저 자 소 개



이 재 진(학생회원)
 2000년 충북대학교 컴퓨터공학과
 학사 졸업.
 2003년 충북대학교 컴퓨터공학과
 석사 졸업.
 2003년~현재 충북대학교
 컴퓨터공학과 박사과정

<주관심분야 : SoC 설계, High-level Synthesis>



송 기 용(정회원)-교신저자
 1978년 서울대 공대 학사
 전자공학
 1980년 서울대 대학원
 석사 전자공학
 1995년 미국 루이지애나 주립대
 박사 컴퓨터공학

1983년~현재 충북대학교 전기전자컴퓨터공학부
교수

<주관심분야 : SoC 설계, PLD 구조 설계, Logic Synthesis>