

논문 2005-42SD-12-8

# 저전력 멀티미디어 응용을 위한 10b 100 MSample/s 1.4 mm<sup>2</sup> 56 mW 0.18 um CMOS A/D 변환기

(A 10b 100 MSample/s 1.4 mm<sup>2</sup> 56 mW 0.18 um CMOS A/D  
Converter for Low-Power Multimedia Applications)

민 병 한\*, 박 희 원\*\*, 채 희 성\*, 사 두 환\*, 이 승 훈\*\*\*

(Byoung-Han Min, Hee-Won Park, Hee-Sung Chae, Doo-Hwan Sa, and Seung-Hoon Lee)

## 요 약

본 논문에서는 저전력 멀티미디어 응용을 위한 10b 100 MS/s 1.4 mm<sup>2</sup> CMOS A/D 변환기(ADC)를 제안한다. 제안하는 ADC는 해상도 및 속도 사양을 만족시키면서, 면적 및 전력 소모를 최소화하기 위해 기존의 다단 구조가 아닌 2단 파이프라인 구조를 사용하였다. 그리고 10 비트 해상도에서 1.2 V<sub>p-p</sub>의 단일 및 차동 입력 신호 처리 대역폭을 넓히기 위해 입력 샘플-앤-홀드 증폭기에는 게이트-부트스트래핑 회로를 적용하며, 6 비트 해상도를 필요로 하는 두 번째 단의 flash ADC에는 오픈-루프 오프셋 샘플링 기법을 적용하였다. 또한 커패시터 등 소자 부정합에 의해 해상도에 크게 영향을 줄 수 있는 MDAC의 커패시터에는 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 제안하였다. 기준 전류/전압 발생기는 온-칩으로 집적하여 잡음 에너지를 줄였으며, 필요시 선택적으로 다른 크기의 기준 전압을 외부에서 인가하도록 설계하였다. 제안하는 10b 시제품 ADC는 0.18 um CMOS 공정으로 제작되었고, 측정된 DNL 및 INL은 각각 0.59 LSB, 0.77 LSB 수준을 보여준다. 또한 100 MS/s의 샘플링 속도에서 SNDR 및 SFDR이 각각 54 dB, 62 dB 수준을 보였으며, 전력 소모는 56 mW이다.

## Abstract

This work proposes a 10b 100 MS/s 1.4 mm<sup>2</sup> CMOS ADC for low-power multimedia applications. The proposed two-step pipeline ADC minimizes chip area and power dissipation at the target resolution and sampling rate. The wide-band SHA employs a gate-bootstrapping circuit to handle both single-ended and differential inputs with 1.2 V<sub>p-p</sub> at 10b accuracy while the second-stage flash ADC employs open-loop offset sampling techniques to achieve 6b resolution. A 3-D fully symmetrical layout reduces the capacitor and device mismatch of the first-stage MDAC. The low-noise references are integrated on chip with optional off-chip voltage references. The prototype 10b ADC implemented in a 0.18 um CMOS shows the maximum measured DNL and INL of 0.59 LSB and 0.77 LSB, respectively. The ADC demonstrates the SNDR of 54 dB, the SFDR of 62 dB, and the power dissipation of 56 mW at 100 MS/s.

**Keywords :** A/D 변환기, ADC, CMOS, 저전력, 소면적

## I. 서 론

\* 정희원, \*\*\* 평생회원, 서강대학교 전자공학과 및 바이오 융합기술 협동과정  
(Dep. of Electronic Engineering and Interdisciplinary Program of Integrated Biotechnology, Sogang University)

\*\* 정희원, LG전자 시스템 IC 사업부  
(System IC Division, LG Electronics Co., Ltd)

※ 본 연구는 서강대학교 산업기술연구소 및 IDEC에 의해 지원되었음.

접수일자: 2005년8월13일, 수정완료일: 2005년11월24일

최근 고성능 전자 시스템에서는 디지털 신호의 장점 및 효율성 때문에 거의 대부분의 신호를 디지털 영역에서 처리하는 추세이다. 그러나 실제로 인간이 인지하는 신호는 모두 아날로그 신호이므로 인간과 디지털 시스템 사이를 연결시켜 주는 A/D 변환기(analog-to-digital converter : ADC)의 수요가 날로

급증하고 있다. 예를 들면, 디지털 오실로스코프, 광대역 모뎀, 컬러 스캐너, 고화질 비디오 시스템 및 TFT-LCD 디스플레이 응용 등의 멀티미디어 응용 시스템에서는 100 MSample/s (MS/s) 이상의 샘플링 속도와 10 비트 수준의 해상도를 가지는 ADC가 중요한 역할을 하며, 특히, 휴대폰이나 디지털 카메라, 휴대용 컴퓨터 (Personal Digital Assistants : PDA)와 같은 휴대용 전자제품과 더불어 의료 영상 시스템 역시 휴대 응용이 대두되면서 빠른 샘플링 속도와 높은 해상도를 가지면서 동시에 저전력 및 소면적을 구현하는 ADC의 수요가 절실하다.

기존의 다양한 ADC 구조 중에서 이러한 고속 및 고해상도 요구 조건을 만족시키면서 동시에 면적 및 전력 소모를 가장 최소화할 수 있는 구조 중의 하나는 파이프라인 구조이다. 파이프라인 구조의 경우, 각 단계 많은 비트를 할당할수록 뒷단으로부터 입력으로 계상되는 증가적인 잡음과 소자의 부정합의 영향을 크게 줄일 수 있는 동시에 필요한 증폭기의 개수가 줄어들기 때문에 다소 작은 면적과 적은 소모 전력으로 구현이 가능하다는 장점이 있다. 그러나 증폭기의 닫힌 루프 이득의 증가 및 부하 커패시터 성분의 증가는 ADC의 동작 속도를 제한하는 원인이 되며, 각 단계에서 많은 비트가 결정되므로 비교기의 오프셋이 고속 flash ADC의 성능에 영향을 끼치는 단점도 있다.

그 반면, 각 파이프라인 단계 적은 비트를 할당하게 되면, 각 단계 많은 비트를 할당하는 경우에 비해, 증폭기의 부하 커패시터 성분과 닫힌 루프 이득이 상대적으로 작아지기 때문에 빠른 속도로 아날로그 신호를 처리할 수 있다. 그러나 단 수가 많아지므로 면적이 증가하고 소모 전력 또한 커지게 되며 뒷단으로부터 입력으로 계상되는 잡음의 영향이 비교적 커져서 ADC의 동적 성능이 떨어질 수가 있으며, 각 단계의 소자 부정합이 최종 단계에서는 증첩되어 ADC의 정적 특성 또한 떨어질 수 있다.

최근에 수년간 발표된 10 비트의 해상도에서 샘플링 속도가 50 MS/s 이상의 파이프라인 CMOS ADC를 본 논문에서 제안하는 ADC와 함께 비교하여 그림 1에 나타내었다<sup>[1]-[9]</sup>.

그림 1에서 보듯이 대부분의 ADC는 3단 이상의 다단 파이프라인 구조로 구현되었으나, 본 논문에서 제안하는 10b 100 MS/s CMOS ADC는 앞서 언급한 장점 및 단점들을 고려하여 면적 및 전력 소모를 최

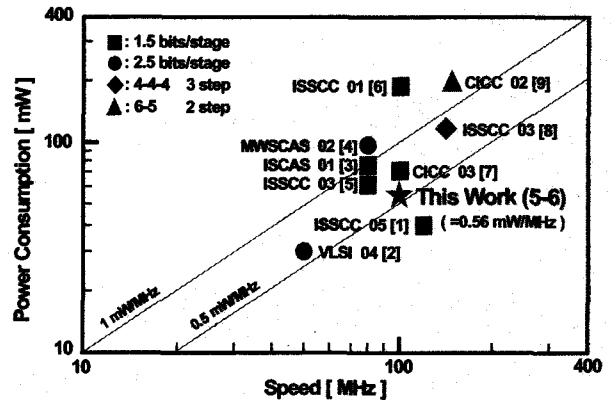


그림 1. 최근 발표된 10b CMOS ADC들의 전력 및 속도 비교

Fig. 1. Power and Speed comparison of recently reported 10b CMOS ADCs.

소화할 수 있는 2단 파이프라인 구조로 구현하였다. 제안하는 ADC의 속도에 대한 전력 소모는 0.56 mW/MHz으로서, 거의 세계 최고 수준에 가까운 높은 전력 효율 및 적은 전력 소모를 보여주고 있다.

본 논문에서는 10 비트 해상도에서 100 MS/s의 동작 속도를 만족시키는 ADC를 구현하기 위해, (1) 면적과 전력 소모를 최소화 및 최적화할 수 있는 2단의 파이프라인 구조로 설계하였으며, (2) 1.8 V 전원 전압에서 10 비트 수준의 해상도를 가지면서 높은 대역폭을 가진 1.2 Vp-p의 단일 및 차동 입력 신호를 동시에 처리하기 위해 입력 샘플-앤-홀드 증폭기 (sample-and-hold amplifier : SHA)에 게이트-부트스트래핑 (gate-bootstrapping) 회로를 사용하였으며, (3) ADC에 사용되는 Multiplying D/A Converter (MDAC)와 2개의 flash ADC에서는 커패시터 및 소자 부정합을 최소화하는 3차원 완전 대칭 구조의 레이아웃 기법을 제안하였고, (4) 두 번째 단계의 6 비트 해상도를 가지는 flash ADC의 경우, 비교기의 오프셋을 줄일 수 있는 오픈-루프 오프셋 샘플링 기법을 적용하였으며, (5) 잡음 성능 향상을 위해 기준 전류/전압 발생기를 온-칩으로 집적하는 한편, 입력 및 출력 패드의 수를 고려하여 선택적으로 외부 기준 전압을 사용할 수 있도록 하였다. II 장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 설명한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

## II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 10b 100 MS/s 2단 CMOS ADC의 전체 구조는 그림 2와 같이 입력 SHA, 5b MDAC, 5b 및 6b flash ADC (FLASH1 및 FLASH2), 디지털 교정 회로 (digital correction logic), 온-칩 기준 전류/전압 발생기, 온-칩 분주기 (decimator) 및 클럭 발생기 (clock generator)로 구성된다. 하나의 마스터 입력 클럭으로부터 두 개의 중첩되지 않는 클럭 위상 Q1, Q2는 칩 내부에서 발생시켰다.

첫 번째 단과 두 번째 단에서 각각 5 비트, 6 비트 디지털 출력을 결정하며, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 및 클럭 피드스루 등의 비선형 오차는 디지털 교정 회로에 입력되는 11 비트 중에서 1 비트를 중첩시켜 10 비트의 출력을 얻는 전형적인 디지털 교정 방식으로 교정된다. 또한, 측정 시에 PCB 기판에서 발생하는 잡음으로 인하여 정확한 성능 측정이 어려운 문제점이 있는데, 이를 해결하기 위해 ADC의 내부는 실제 100 MS/s 이상으로 동작을 시켜도 출력 신호는 2분주, 혹은 4분주로 다운 샘플링 하여 최종 출력 코드를 내보낼 수 있도록 분주기를 온-칩으로 집적하였다.

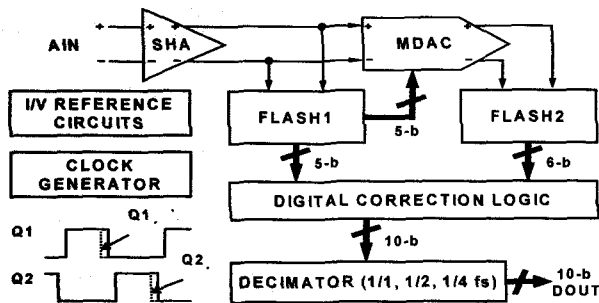


그림 2. 제안하는 10b 100 MS/s 2단 ADC  
Fig. 2. Proposed 10b 100 MS/s two-step ADC.

## III. 제안하는 회로 설계 기법

### 1. 제안하는 게이트 부트스트래핑 기법을 사용하는 SHA 회로

입력 단 SHA 회로에서는 입력 신호의 크기에 관계없이 입력 샘플링 스위치의 게이트-소스 전압을 일정하게 유지시켜 스위치의 저항을 일정하게 만들어주는 게이트-부트스트래핑 기법을 사용하였다<sup>[10]</sup>. 이 경우 부트스트래핑 회로 내의 일부 소자들은 전원전압보다 높은 전압에 의한 소자의 안정성 문제가 발생할 소지가 있다. 기

존의 CMOS ADC에서 사용되는 부트스트래핑 회로는 높은 전압이 인가되는 일부 소자들에 채널이 길고 게이트 유전체가 두꺼운 3.3 V용 소자를 사용함으로써 게이트 유전체 파괴 및 항복 현상을 줄여 어느 정도의 안정성은 확보하였으나, 면적이 커지는 단점이 있다<sup>[8]</sup>. 또한 기생 커패시턴스 및 높은 전압이 인가되는 샘플링 스위치를 구동하기 위해 사용되는 클럭 버퍼 회로의 증가는 면적, 전력 소모 및 잡음 측면에서 ADC의 성능을 저하시키는 원인이 될 수 있다.

본 논문에서 사용하는 0.18 um 1P6M CMOS 공정의 경우, 1.8 V용 소자의 소스-바디, 혹은 드레인-바디 사이에 7 V 이상의 높은 전압이 인가되어도 문제가 없는 공정 특성을 미리 확인 및 고려하여 부트스트래핑 회로에서 모든 소자들을 1.8 V용 정상 소자로 구현하였다. 이와 같이 제안하는 SHA 회로는 작은 면적을 차지하면서도 1.8 V 전원 전압에서 10 비트 수준의 해상도를 가지고 높은 입력 대역폭을 갖는 1.2 Vp-p의 단일 입력 및 차동 입력 신호를 동시에 처리할 수 있도록 설계하였다.

### 2. 높은 커패시터 매칭을 위한 3차원 완전 대칭 레이아웃 기법

제안하는 ADC에 사용되는 5b MDAC은 저 전력, 고속 및 저 잡음 성능을 위해 Merged-Capacitor Switching (MCS) 기법을 적용하여 5b MDAC에서 필요한 32개의 단위 커패시터 수를 16개로 줄였다<sup>[11]</sup>. 그런데, 이 16개의 단위 커패시터 열 간의 부정합은 ADC 전체의 선형성 (linearity) 성능을 결정하는 가장 중요한 요소가 된다. 즉, MDAC의 커패시터 부정합으로 인한 오차 성분을 최소한으로 줄여야 10 비트 혹은 그 이상의 해상도를 구현할 수 있다. 높은 해상도를 요구하는 ADC의 경우에는 커패시터 열의 부정합을 제거하기 위해 아날로그 혹은 디지털 영역의 보정기법을 주로 사용하나, 이러한 보정기법은 대부분 면적과 전력 소모를 증가시키는 단점이 있다. 커패시터의 부정합은 주로 커패시터 자체와 주변 신호 라인과의 기생 커패시턴스에 의한 영향이 크며 이러한 기생 커패시턴스의 영향은 레이아웃 상에서 상당 부분 감쇄시킬 수 있다. 제안하는 높은 커패시터 정합을 위한 레이아웃 기법은 그림 3과 같다.

그림 3의 커패시터는 1P6M CMOS 공정의 MIM (Metal-Insulator-Metal) 커패시터 구조를 갖고 있으며, 모든 단위 커패시터는 같은 구조를 가지며 커패

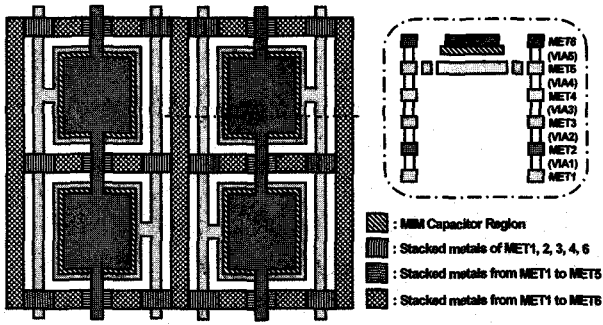


그림 3. 제안하는 3차원 완전 대칭 구조를 가진 커패시터 레이아웃  
Fig. 3. Proposed 3-dimensional fully symmetrical capacitor layout.

시터의 상단기판과 하단기판을 연결하기 위해서 사용되는 금속을 제외한 모든 금속 층들로 단위 커패시터들을 에워싸도록 하였다. 이로 인해, 각각의 단위 커패시터들은 주변 조건이 같아지므로 높은 커패시터 매칭을 얻을 수 있다<sup>[12]</sup>. 이러한 주변 조건에 덜 민감한 레이아웃 기법은 MDAC과 2개의 flash ADC에서 사용하는 정합에 중요한 커패시터 열의 모든 커패시터들 및 그 주변을 둘러싸고 있는 여분의 커패시터 등에도 적용되었다.

3. 6b 해상도를 갖는 2단 flash ADC 설계

제안하는 ADC에는 2개의 flash ADC, 즉, FLASH1 및 FLASH2가 사용된다. 먼저 FLASH1은 5 비트, FLASH2는 6 비트의 디지털 값들을 각각 출력해야 하므로 FLASH1과 FLASH2 블록에는 빠른 속도에서 6 비트 수준의 정확한 신호 처리를 위하여, 그림 4와 같이 MOS 스위치를 사용하는 입력 단에 연결되는 프리앰프 (pre-amp)와 래치 (latch)로 구성되는 비교기를 사용한다. 클록 Q1이 high 상태일 때 내부적으로 발생하는 고정된 바이어스 전압인 CML1을 중심으로 기준 전압을 샘플링하며, 클록 Q2가 high 상태일 때 프리앰프는 SHA (또는 MDAC)의 출력 전압과 샘플링 된 기준 전압 값과의 차이 값을 증폭시킨다.

특히, 두 번째 단의 flash ADC (FLASH2)가 6 비트 디지털 출력을 결정하는 것과 1.2 V<sub>p-p</sub>의 차동 기준 전압의 1 LSB가 약 19 mV 임을 고려하여, FLASH2의 비교기에는 100 MS/s의 동작 속도에서 적어도 6 비트 이상의 해상도를 얻기 위해 그림 5와 같이 2단 프리앰프를 사용하여 입력 오프셋을 오픈 루프로 샘플링 하는 구조를 사용한다. 이와 같이 FLASH2의 비교기는 2단 프리앰프를 사용함으로써 각각의 이득을 낮추면서 출력

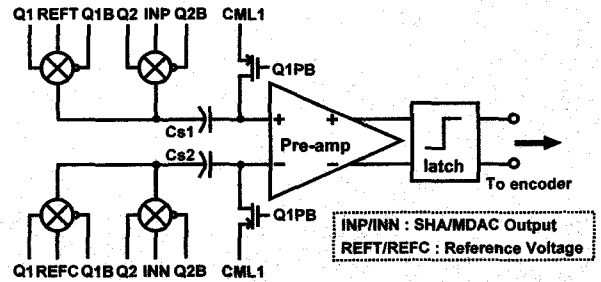


그림 4. FLASH1, FLASH2의 flash ADC들에 사용되는 비교기  
Fig. 4. Comparator in the sub-ranging flash ADCs of FLASH1 and FLASH2.

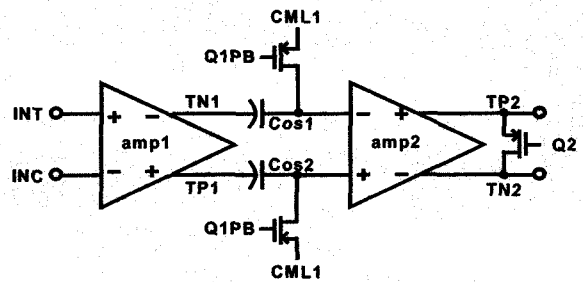


그림 5. FLASH2 비교기의 프리앰프 구조  
Fig. 5. Pre-amplifier in the FLASH2 comparator.

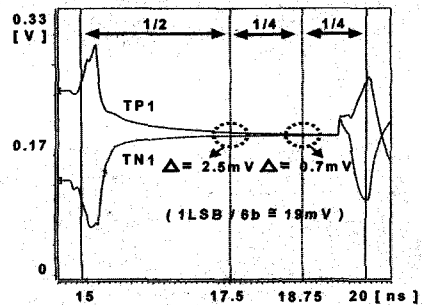


그림 6. 제안하는 FLASH2 비교기의 오프셋 샘플링 모의실험 결과  
Fig. 6. Simulated offset sampling of the proposed FLASH2 comparator.

단 폴 (pole)의 위치를 증가시켜 고속에서 낮은 전력으로 오프셋 전압 샘플링이 가능하게 하였다.

그림 5에서 보듯이, Q1이 high 상태일 때, 첫 번째 프리앰프의 출력 단에 연결된 커패시터 Cos1, Cos2에 입력 오프셋 전압이 샘플링 되고, 두 번째 프리앰프의 출력 단 TN2, TP2는 서로 단락됨으로써 다음 주기의 증폭 동작에서 안정된 동작을 할 수 있도록 하였다. 그림 6은 오프셋 샘플링 모드일 때 오프셋 전압이 Cos1과 Cos2에 샘플링 되는 파형을 보여준다. 그림 6에서와 같이 100 MHz의 클록 주기의 1/4 수준인 2.5 ns 이내에서 6 비트 flash ADC의 1 LSB인 19 mV의 13 % 수준으로 TN1과 TP1 노드에 오프셋 전압이 샘플링 됨을 알

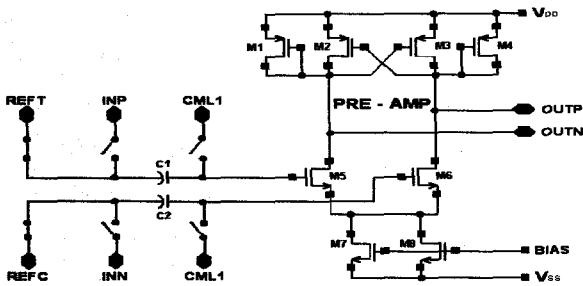


그림 7. FLASH1, FLASH2의 flash ADC들에 사용되는 증폭기

Fig. 7. Pre-amplifier in the sub-ranging flash ADCs of FLASH1 and FLASH2.

수 있다. 그림 7에 사용된 증폭기의 구조는 참고문헌 [13]에 있는 구조와 동일하다.

#### 4. 온-칩 CMOS 기준 전류/전압 발생기

제안하는 CMOS ADC에는 그림 8과 같이 고속 동작에서 글리치 잡음을 줄일 수 있도록 저 전력으로 동작하는 온-칩 기준 전류/전압 회로를 적용하였으며, 필요에 따라 선택적으로 외부에서도 다른 기준 전압을 인가할 수 있도록 하였다.

그림 8에서 EXTRF 신호는 온-칩으로 집적한 기준 전압을 사용할 것인지, 아니면 외부 기준 전압을 사용할 것인지를 결정하는 신호이며, EXTRF 신호가 high가 되면 출력단의 기준 전압 노드가 높은 임피던스가 되도록 함으로써 외부 기준 전압을 사용할 수 있게 하였다. 또한, 저 전력 휴대 응용을 위해 ADC는 비동작 모드를 사용한다. POFF 신호가 high일 때, ADC는 비동작 모드가 되어 3 uW 수준의 전력을 소모하며, POFF 신호가 low일 때, ADC는 1 us 이내에 정상 동작 모드가 된다. 그림 8의 기준 전류 (IREF) 블록은 온도와 공급 전원의 변화에 독립적인 온-칩 기준 전류를 발생시키고, 온도와 공급 전원에 독립적인 기준 전압이 IREF 블록에서 생성되는 동안, 3 비트의 IVCN 핀

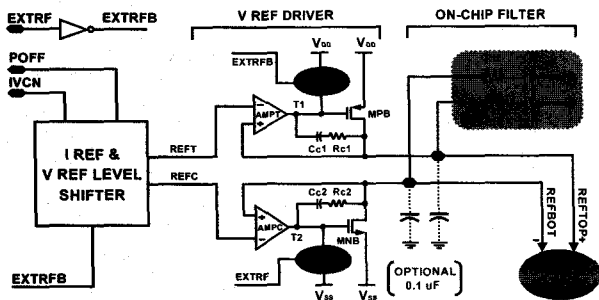


그림 8. 온-칩 기준 전류/전압 발생기

Fig. 8. On-chip current/voltage references.

에 의해 디지털 영역에서  $\pm 30\%$  이내의 전류 변화를 보정할 수 있도록 되어 있다<sup>[14]</sup>.

스위치드 커패시터 기법을 사용한 최근의 고속 고해상도 CMOS ADC는 MOS 스위치를 통하여 내부 회로들을 위한 기준 전압을 공급한다. 이런 스위치드 커패시터 기법을 사용한 기준 전압은 충전 및 방전이 반복되면서 발생하게 되는 고주파 스위칭 잡음을 포함하는 경우가 많다. 본 논문에서는 기준 전압 회로의 출력단에서 발생하는 글리치 에너지를 효율적으로 제거할 수 있도록 내부적으로 RC 필터를 집적하여 외부에 수 uF 수준의 커패시터 없이 순수한 온-칩 기준 전류/전압 발생기만으로도 100 MS/s의 샘플링 속도에서 각 해당되는 기준 전압 노드가 충분히 정착할 수 있도록 하였다. 그 반면, 외부 핀의 제약이 없을 경우에는, 외부에 0.1 uF 수준의 커패시터를 추가로 연결하면 보다 좋은 성능을 얻을 수 있다. 예를 들면, REFTOP 노드의 경우, 구동 능력이 NMOS에 비해 다소 떨어지는 PMOS로 구성된 버퍼를 사용하므로 내부 RC 필터만을 사용할 경우 REFTOP 노드의 전압이 2.13 ns 안에 정착하게 되나 외부 0.1 uF 수준의 커패시터를 병행해서 사용할 경우에는 1.59 ns 안에 정착함으로써 전압 발생기의 성능이 20% 이상 향상된다.

#### IV. 시제품 10b 100MS/s ADC 제작 및 성능 측정

제안하는 10b 100 MS/s 시제품 ADC는 0.18 um n-well 1P6M CMOS 공정을 사용하여 제작되었다. 제안하는 ADC는 멀티미디어 응용 시스템 등에 핵심 IP로 사용할 수 있도록 외부로 연결되는 핀은 가능

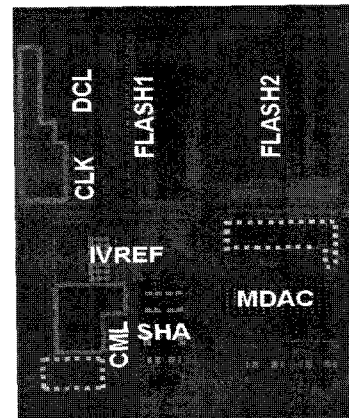


그림 9. 시제품 ADC의 칩 사진

Fig. 9. Die photograph of the prototype ADC.

하면 입력, 출력, 전원 정도로 제한하였다. 그림 9는 제안하는 시제품 ADC의 칩 사진을 보여주며, □ 부분은 PMOS, ■ 부분은 NMOS 온-칩 decoupling 커패시터이다. 이중 일부의 PMOS 커패시터는 전체 ADC 안에서 가장 잡음이 많이 발생할 소지가 있는 클럭 발생기의 전원부에 120 pF가량 집적하여 디지털 전원 잡음을 줄이는데 사용되었다.

시제품 ADC의 입력 및 출력 패드를 제외한 면적은 1.4 mm<sup>2</sup> (= 0.89 mm × 1.57 mm)이며, 1.8 V의 전원 전압에서 100 MHz의 샘플링 주파수로 동작할 때 56 mW의 전력을 소모한다. 특히, 제안하는 3차원 완전 대칭 구조의 레이아웃 기법을 적용한 ADC의 측정된 전형적인 differential non-linearity (DNL) 및 integral non-linearity (INL)는 그림 10에서 볼 수 있는 것처럼 각각 최대 0.59 LSB, 0.77 LSB 수준이다.

그림 11은 10 MHz 입력 주파수, 100 MS/s의 샘플링 속도에서 온-칩 분주기 블록의 다운 샘플링 기능을 점검하기 위해 1/2 다운 샘플링 하여 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 신호 처리 이론에서 보는 바와 같이 분주된 클럭이나 분주되지

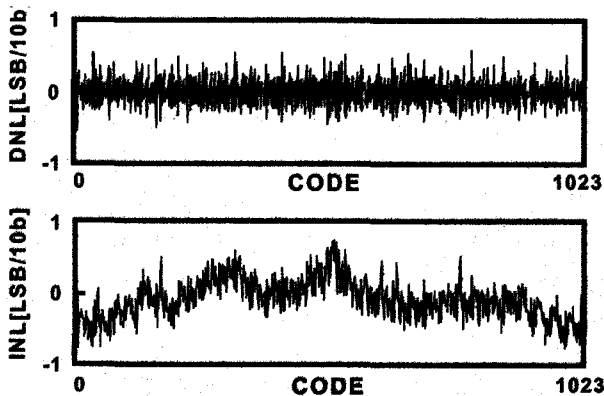


그림 10. 측정된 DNL 및 INL  
Fig. 10. Measured DNL and INL.

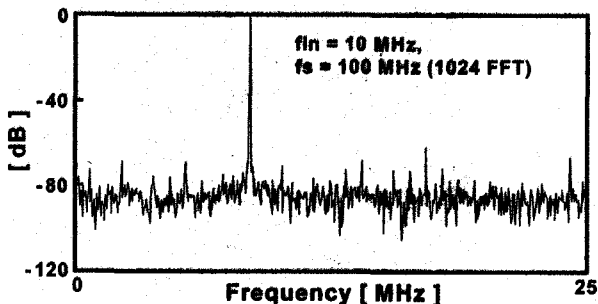


그림 11. 100 MS/s의 샘플링 속도, 10 MHz 입력 주파수에 측정된 신호 스펙트럼  
Fig. 11. Signal spectrum measured with a 10 MHz input at 100 MS/s.

않은 클럭에 관계없이 동일한 측정 결과를 얻었다. 그림 12는 시제품의 측정된 동적 성능을 보여준다.

그림 12 (a)는 샘플링 속도를 10 MHz에서 100 MHz까지 증가시킬 때, 10 MHz의 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. 측정된 SNDR과 SFDR은 샘플링 주파수가 100 MHz까지 증가하는 동안 각각 54 dB, 62 dB 수준으로 거의 일정하게 유지되는 것을 볼 수 있다. 그림 12 (b)는 100 MHz의 최대 샘플링 속도에서, 입력 주파수를 증가시킬 때의 측정된 SNDR과 SFDR을 나타낸다.

제안하는 시제품 ADC의 측정 결과는 표 1에 요약하였다.

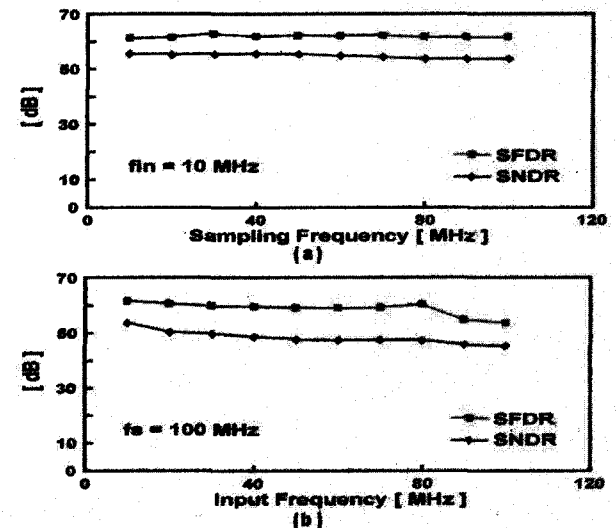


그림 12. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 12. Measured dynamic performance of SFDR and SNDR versus (a) fs and (b) fin.

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	10 bits
Max. Conversion Rate	100 MSamples/s
Process	0.18 um CMOS
Input Range	1.2 V <sub>DD</sub>
SNDR (at f <sub>in</sub> = 10 MHz)	53.7 dB
SFDR (at f <sub>in</sub> = 10 MHz)	61.5 dB
DNL	-0.56 LSB / +0.59 LSB
INL	-0.77 LSB / +0.73 LSB
ADC Core Power	56 mW (at a wake-up mode)
	3 uW (at a power-off mode)
Power-off mode → Wake-up mode	within 1 us
Active Die Area	1.4 mm <sup>2</sup> (= 0.89 mm × 1.57 mm)

## V. 결 론

본 논문에서는 저 전력 멀티미디어 응용을 위한 10b 100 MS/s 1.4 mm<sup>2</sup> 56 mW 0.18 um CMOS ADC를 구현하기 위해 다음과 같은 회로 설계 기법을 제안하였다.

첫째, 10 비트 100 MS/s 수준의 기본 동작 사양에서 면적 및 전력 소모를 동시에 최소화할 수 있도록 기존의 연구에서 발표된 3단 이상의 다단 파이프라인 구조를 사용하는 CMOS ADC 구조와는 달리 2단 파이프라인 구조를 사용하였다. 둘째, 높은 입력 대역폭을 필요로 하는 입력 단 SHA에서는 모든 MOS 소자들을 소스-바디 혹은 드레인-바디 사이에 7 V 이상의 전압이 인가되어도 견딜 수 있는 공정 특성을 최대한 활용하여 3.3 V 고전압 소자가 아닌 1.8 V용 정상 소자만으로 게이트-부트스트래핑 회로를 구현함으로써, 1.8 V 전원 전압에서 1.2 V<sub>p-p</sub>의 단일 입력 및 차동 입력 신호가 인가되어도 10 비트 수준의 해상도를 유지할 수 있도록 하였다. 셋째, 전체 ADC 해상도에 결정적인 영향을 주는 MDAC 및 2개의 flash ADC들에 사용되는 커패시터 및 소자 부정합을 최소화하기 위해 커패시터 열 각각의 단위 커패시터 사이에 사용 가능한 금속 층들로 둘러싸서 각각의 단위 커패시터의 주변 상황을 동등하게 만들어 주어 해상도를 유지하는 3차원 완전 대칭 구조의 레이아웃 기법을 적용하였다. 넷째, 두 번째 단 6b FLASH에는 오픈-루프 오프셋 샘플링 기법을 적용하여 100MS/s의 빠른 변환속도에서 6 비트 수준의 해상도를 구현하기 위해 각 단의 이득과 출력 단 폴(pole)의 위치를 최적화시켰다. 다섯째, 사용 가능한 편 수의 제약 및 잡음 성능 등을 고려하여 온-칩으로 기준 전류 및 전압 발생기를 집적하였고, 사용자의 필요에 따라서 선택적으로 외부에서 원하는 전압을 인가할 수 있도록 하였다. 여섯째, 100 MS/s의 샘플링 속도에서 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 필요에 따라 외부에서의 디지털 잡음을 줄일 수 있도록 오프-칩 고속 디지털 버퍼와 결합된 분주기를 온-칩으로 구현하였다. 마지막으로, 고속 동작 시 발생하는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS 및 NMOS 커패시터를 선택적으로 구현하였다. 특히

전체 성능에 중요한 영향을 줄 수 있는 클록 발생기의 전원 주변의 여유 공간에는 온-칩 MOS 커패시터를 약 120 pF 정도로 집적하여 다른 회로 블록에 끼치는 잡음 영향을 최소한으로 줄였다.

제안하는 회로 설계 기법들을 적용하여 0.18 um CMOS 공정으로 구현한 시제품 ADC는 100 MHz의 변환 속도에서, SNDR 및 SFDR이 각각 54 dB, 62 dB 수준으로 측정되었으며, 소요 칩 면적은 1.4 mm<sup>2</sup> 이고, 1.8 V 전원 전압에서 56 mW의 전력을 소모한다.

## 참 고 문 헌

- [1] M. Yoshioka, M. Kudo, K. Gotoh, and Y. Watanabe, "A 10b 125MS/s 40mW Pipelined ADC in 0.18um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 282-283.
- [2] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50 MS/s Time-Interleaved Switched-Opamp Pipeline CMOS ADC with High Energy Efficiency," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 432-435.
- [3] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8V power supply," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2001, vol. 1, pp. 580-583.
- [4] S. Ray, P. Tadeparthy, S. S. Rath, D. B. Lavanmoorthy, C. P. S. Sujit, and S. Mathur, "A Low Power 10 Bit 80 MSPS Pipelined ADC in Digital CMOS Process," in *Proc. IEEE Midwest Symp. Circuits and Systems*, Aug. 2002, vol. 1, pp. 579-582.
- [5] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s Pipelined CMOS ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 324-325.
- [6] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10b100MSample/s CMOS Pipelined ADC with 1.8V Power Supply," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 130-131.
- [7] J. Li and U. K. Moon, "A 1.8-V 67mW 10-bit 100MSPS Pipelined ADC using Time-Shifted CDS Technique," in *Proc. CICC*, Sep. 2003, pp. 17.2.1-17.2.4.
- [8] S. M. Yoo, J. B. Park, H. S. Yang, H. H. Bae, K. H. Moon, H. J. Park, S. H. Lee, and J. H. Kim, "A 10b 150MS/s 123mW 0.18um CMOS

- Pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 326-327.
- [9] M. Clara, A. Wiesbauer, and F. Kuttner, "A 1.8V Fully Embedded 10b 160MS/s Two-Step ADC in 0.18um CMOS," in *Proc. CICC*, May 2002, pp. 23.1.1-23.1.4.
- [10] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [11] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120 MSample/s CMOS Pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 23.2.1-23.2.4.
- [12] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A Calibration-Free 3V 16b 500kS/s 6mW 0.5mm<sup>2</sup> ADC with 0.13um CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 76-77.
- [13] 황성욱, 이승훈. "광대역 종합 통신망 응용을 위한 8b 52 MHz CMOS 서브레인지 A/D 변환기 설계," 전기전자학회 논문지, 제2권, 제2호, pp. 144-150, 1998년 12월.
- [14] M. J. Kim, H. S. Yoon, Y. J. Lee, and S. H. Lee, "An 11b 70 MHz 1.2 mm<sup>2</sup> 49 mW 0.18 um CMOS ADC with On-Chip Current/Voltage References," in *Proc. Eur. Solid-State Circuits Conf.*, Sep. 2002, pp. 463-466

## 저자 소개

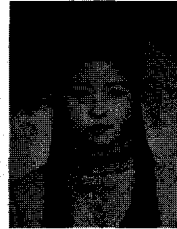


민 병 한(정회원)

2004년 서강대학교 전자공학과  
학사.

2004년~현재 서강대학교  
전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환  
기(A/D, D/A) 설계, 집적회로 설  
계, 혼성모드 회로 설계 등임.>



박 희 원(정회원)

2003년 서강대학교 전자공학과  
학사.

2005년 서강대학교 전자공학과  
석사.

2005년~현재 LG전자 연구원  
<주관심분야 : 고속 데이터 변환  
기(A/D, D/A) 설계, 집적회로 설  
계, 혼성모드 회로 설계 등임.>



채 희 성(정회원)

2004년 서경대학교 전자공학과  
학사.

2004년~현재 서강대학교 전자공  
학과 석사과정.

<주관심분야 : 고속 데이터 변환  
기(A/D, D/A) 설계, 집적회로 설  
계, 혼성모드 회로 설계 등임.>



사 두 환(정회원)

2005년 서강대학교 전자공학과  
학사.

2005년~현재 서강대학교  
전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환  
기(A/D, D/A) 설계, 집적회로 설  
계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)

1984년 서울대학교 전자공학과  
학사.

1986년 서울대학교 전자공학과  
석사.

1991년 미 Illinois 대 (Urbana-  
Champaign) 공학박사.

1986년 KIST 위촉 연구원.

1987년~1990년 미 Coordinated Science Lab  
(Urbana) 연구원.

1990년~1993년 미 Analog Devices 사 senior  
design engineer.

1993년~현재 서강대학교 전자공학과 교수.

<주관심분야 : 집적회로 설계, 데이터 변환기  
(A/D, D/A) 설계 등임.>