차세대 SoP-L 공정기술 동향

글 _ 박세훈, 강남기, 박종철, 차종범 || 전자부품연구원 전자소재패키징센타
psh104@keti.re.kr

1. 서 론

전자 관련 산업 시장의 급속한 확장 및 이동형 제품의 수요 증가로 인해 고속, 고성능, 고집적의 IT컨버전스 제품에 대한 수요가 팽창하고 있다. 이런 제품에 대한 수요의 증가는 서로 다른 기능을 수행하는 집적회로를 통합, 하나의 칩 자체가 시스템 역할을 하는 시스템온칩(SoC) 개념을 발전시켰다. 제품군이 경박단소화를 추구하며 동시에 고기능을 요구하고 있기 때문에 능동소자의 I/O는 계속증가하고 있으며 제한된 설계 공간에서 칩과 칩 사이 또는 칩과 외부를 연결하는 패키지의 중요성 또한 크게 부각되어 지고 있다.

특히 최근의 패키지는 능동소자, 수동소자, 콘트롤러 등을 하나의 패키지 구현하는 SiP(System in Package)계열 더 넓게는 패키지를 하나의 시스템으로 구현하는 SoP(System on Package)의 형태로 진행되어지고 있다. 또한, 제한된 실장공간에서의 단위면적당 실장밀도는 더욱 더 증가하고 있는 추세이므로 패키지 서브스트레이트의 외부 금속 Pad pitch와 Line/space의 획기적인 감소가 필요하며 부품의 고집적화를 실현하기 위해서는 수동부품 소형화의 진전은 필수적이다. 특히, 인쇄회로기판 상의 수동부품의 수는 IC의 고성능화와 휴대 전화단말기의 디지털 컨버전스의 경향과 함께 급증하고 있고 현재의 실장 인쇄회로기판에서는 2.6% 코스트의 수동부품이 부품 개수의 91%, 기판 표면적의 41%, 납땜 접속 개수의 29%를 점한다. 예를 들면 휴대폰 단말기의 경우 표면적의 약 50%가 수동부품으로 덮여져있으나 모바일 제품의 기능이 점점 진화해가면서 제한된 표면실장 공간 내에서 요구되는 부품수는 계속 증가하고 있어 그 면적은 현재 한계에 부딪히고 있다. 이에 대한 해결책으로 수동소자를 내장하는 수동소자 내장기술 (Embedded passive)의 개념이 등장하게 되었다. 종래의 다층기판은 복잡한 회로를 3차원적으로 구성하고 기판 상층부에 0603, 0402 등의 소형부품을 실장하여 면적을 줄이고 있으나 부품내장기술은 다수의 부품들을 다층기판 내층 회로상에 복수의 Capacitor나 Resistor를 에칭이나 스크린인쇄 등의 기술을 구사하여 일괄 형성하는 기술로써 제한된 실장공간의 효율성을 높이고 실장밀도를 획기적으로 줄일 수 있으며 능동소자와의 배선 길이를 짧게 할 수가 있어 신호의 고속화에 기여할 수 있는 기술이다. 또한 Capacitor를 얇고 상하 대칭으로 만들어 넣기 때문에 Capacitor내의 전류흐름에 의한 자기 Inductance를 낮게 억제할 수가 있다. 이것은 GHz를 초과하는 고주파에서는 커다란 의미를 갖는다. 따라서 휴대전화를 비롯한 고집적, 고성능, 소형화, 경량화제품을 구현하기 위해서는 기판상에 임베디드 패시브를 도입한 SoP 기술개발의 필요성이 더욱 증대되고 있으며 부품 내장화 기술은 이를 구현하기 위해 꼭 개발되어야 하는 기술이다. Organic 기판 시장은 전체 SoP 시장 중에서 가장 빨리 성장하는 분야로서, 다양한 배선 플랫폼을 통해 저비용으로 높은 기술적인 솔루션 제공과 데이터 프로세싱 장치용 성능향상을 시킬 수 있다. 또한, 휴대폰 소형화 등의 신제품 주기가 짧은 최근의 전자제품 트렌드에 부합하여 Time to Market 대응이 가능한 장점이 있다. 응용분야별 시장을 살펴보면 2001년 통신 부문이 84.0%, 소비재 부문은 10.3% 점유율을 기록하였는데, 이들 두 부문에서 높은 성장이 예상된다(Table 1).

2. 기술 현황

우리나라에서는 기술개발에 있어 선진국에서 실용화된 부품을 기업이 라이센스를 체결하여 도입하여 개발하거나 대부분 단순한 패키지 공정기술로 구현된 제품의 형태로 한정되어 왔다.

그러나 소재위주의 제품화, 기존 공정 및 설계 기술을 활용한 첨단 제품화에는 한계에 도달하여 일본 및 미국 등과의 선진업체와의 경쟁력은 급속하게 감소하고 있는 상황이다. 특히 organic 기반 기판기술 경우 일본 및 미국의 선진사에서 개발된 재료 및 공정 관련기술을 도입, 고액의 로얄티를 제공하여 제품화 하고 있다. 이로 인해 차세대 제품과 관련된 기술 개발은 체계적인 기술획득보다 일부 시스템과 연계된 국부적인 기술만이 확보된 상황에 있어 다양한 응용제품이 쏟아지는 현재의 상황에 적절히 대응하지 못하고 있다. 따라서 국내 SoP기술의 경쟁력을 확보하기 위해서는 부품내장 소재에 대한 원천기술 확보, 고집적 부품내장 기판 기술과 이를 수반한 고

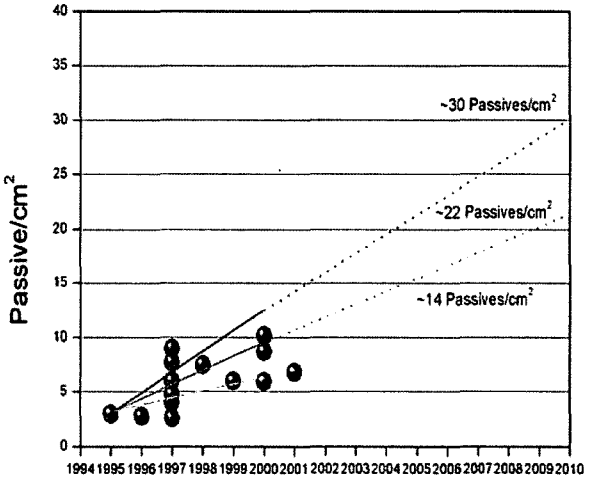


Fig. 1. 시간의 함수로서 면적당 수동소자 밀도
(※출처 : Status Reports on Passives in PCB's)

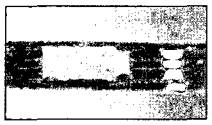
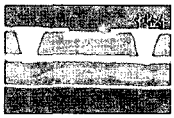
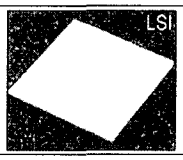
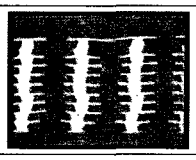
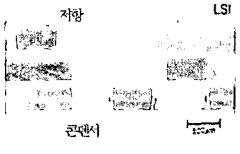
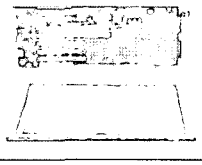
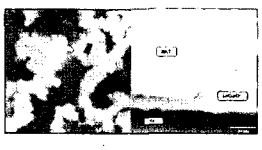
업체명	DT서킷테크놀로지, 덴소	크로바전자공업, Dupont	카시오, CMK	덴소,OK Print,Noda Screen
제 품				
특 징	수동 부품 및 반도체 Active 소자등을 기판 내부에 삽입	구리박막 과 내부에 저항과 커패시터를 구현한 기판	반도체칩을 CSP(Chip Scale Package)형태로 기판 내부에 삽입	유기기판층과 300℃에서 큐어링이 가능한 금속재료로 고적층 기판 제작
업체명	마쯔시다	Scanmina-SCI Corp.(미국)	마쯔시다	Georgia Tech. PRC
제 품				
특 징	Simpact 기술을 이용하여 organic 기판 내주에 능동, 수동 소자 삽입	Sheet상에 유전체재료의 양면에 동박을 끼운 Buried Capacitor 기술을 이용한 기판	Sheet 모양의 Flexible film상에 sputter로 두께 1㎛ 이하의 수동부품 형성.	Nano-polymer Composite와 MOCVD를 이용한 내장 박막 소자

Fig. 2. 외국의 선진기관의 소자 내장 SOP-L 기판 기술.

밀도 패키지 기술이 연계되어 개발되어야 한다. 국내 임베디드 기술과 관련해서는 LG전자가 산미나에서 기술을 도입하여 커패시터 내장형 기판을 양산하고 있으며 삼성전기는 모듈을 타겟으로한 임베디드 기판을 개발하고 있고 그 밖에 심텍도 카이스트와 함께 개발을 진행하고 있다. 그러나 국내의 모든 PCB업체들은 수동소자 내장형 기판기술이 차세대 PCB핵심기술로서 인식하고 있으나, 핵심소재기술의 부족으로 외국의 업체로부터 재료를 수입하여 개발하고 있는 실정이다.

임베디드기판 기술과 관련해서는 이비덴, 컴팩, 유니마이크론 등의 해외 업체는 모토롤라와 Huntsman이 공동개발한 CFP(ceramic filled photodielectric)기술에 대해 라이센스를 체결하였다. 임베디드 소재 관련해서는 박막형 저항소재의 경우 오메가 플라이, Gould, Shipley 등의 업체가, 후막형 저항재료는 Dupont, Asahi, 커패시터의 경우는 박막형 재료는 PRC(조지아공대), Shipley 및 Gould 등에서 개발하고 있으며 라미네이션타입을 포함한 후막형의 경우 Huntsman, 3M, 조지아텍의 PRC, Oak Mitsui 등의 업체에서 원재료를 개발, 양산하고 있다. 빌드업 기술과 관련해서는 전통적인 HDI (High Density Integrated circuit)기술인 CO_2나 UV 레이져를 이용하여 via hole을 가공하고 표면에 2차원적으로 동도금을 하여 층간 interconnection을 하는 기술도 나날이 발전하고 있지만 회로설계의 고집적화와 고스피드, 고주파수 영역대의 신뢰성 있는 via홀을 형성하기위해 filled via기술이 요구되고 있다.

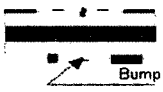
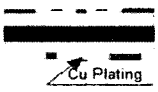
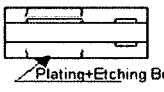
이런 filled via기술은 Denso, Airex, Noda Screen 등이 PALAP기술을, Matsushita, CMK 등이 ALIVH 등의 기술을 개발중에 있으며 특히, 주목할 것은 외국의 선진업체들은 B2iT, PALAP, ALIVH 등의 적층기술을 임베디드 패시브 기술과 접목하여 기술을 발전시키고 있다는 것이다(Fig. 2, Table 2).

Table 1. 응용분야별 세계 SOP-L 시장 (단위 : 천 개)

SOP-L	2001	2006	CAGR
Military/Aerospace	482	140	-21.9%
Computer	6,669	32,126	37.0%
Communications	118,271	540,532	35.5%
Consumer	14,531	105,053	48.5%
Industrial	852	3,367	31.6%
Total	140,805	681,218	37.1%

※출처 : the Information Network

Table 2. 주요 Organic기판 차세대 적층기술 비교

Technology		LXBUMP	FILLED VIA	PALAP	AGSP	ALIVH
Process						
Process feature	Insulator	All	All	Thermo-plastic Resin(LCP)	Thermal Curable Resin, RCC	Aramid
	VIA Inter connection Merit / Demerit	Etched, Plated Bump Metallurgical Interconnection • Pad on Via/Landless →High mounting density • Stack Via/All IVH →High Design Flexibility • Thermal Via →High Frequency	Laser Drill(CO_2) + Cu Plating Cu Plating Interconnection •Pad on Via/Landless →High density •Stack Via/All IVH →High Flexibility •Thermal Via →High Frequency • High Reliability	Laser Drill(CO_2) + Silver Paste Filling Metallurgical Interconnection •High Performance (耐熱, 低流電, 低通過) •Simple Process (One time lamination) •All layer IVH impossible •Landless impossible	Plating + Etched Bump Cu Plating Interconnection • Pad on Via/Landless →High density • Stack Via/All IVH →High Flexibility • Thermal Via →High Frequency	Laser Drill(CO_2) + Cu Paste Filling Conductive paste •Stack Via/All IVH →Design Flexibility • Weak heat resistant
PCB maker		Mektron, Fujikura, Sony Chem.,NMBG Unimicron,SLMI	SS,DD,IBIDEN, IBM,CMK, etc.	Denso, Airex, Noda Screen, Sowa, OK print, Kyousha	Daiwa,Clover, Motoya,etc.	Matsushita, CMK, etc.
Current step		Mass Prod.	Mass in japan	(E/S)	(E/S)	Mass Prod.
NMBI Family						

※ 출처: LG전자

3. 차세대 공정기술

차세대 PCB공정기술과 관련하여 본고에서는 미세회로 구현기술, 적층기술, 부품 내장화 기술의 3가지로 분류하여 내용을 전개하고자 한다.

3.1 미세회로 구현기술

미세회로기술은 적용되는 최종제품의 박형화, 경량화, 고집적화를 위해 추구될 수밖에 없는 사양이다. 예를 들면 이동전화 단말기 main board의 층수가 8층이라면 회로의 집적도를 높이며 6층으로 설계가 가능하게 된다. 일반적으로 회로 구현방법은 subtactive(에칭)법과 (semi-) additive 방법으로 구분이 되어진다. 일반적으로 30um이상의 회로는 에칭법, 그 이하는 semi additive방법으로 회로를 구현한다. Fig. 3은 회로라인 형성에 따른 공법을 비교한 것이다. 가장 일반적인 에칭법은 감광성필름의 일종인 DF(Dry Film)을 동박위에 라미네이션 시킨 후 노광, 현상, 에칭의 방법을 통해 회로를 형성하는 방법이다. 이 방법은 공정단가가 저렴하고 생산속도가 빠르기 때문에 가장 널리 쓰이고는 있으나 통상적으로 30um이하의 회로를 구현하는 것이 매우 어렵다. subtractive법에서 미세회로 구현을 위해 제어해야할 가장 중요한 요소들은 동도금을 포함한 전극의 최종두께, DF두께 및 해상도, Low Profile 동박의 조도, 에칭 스프레이 압력조절 등이 있다. 그러나 subtractive 법은 isotropic하게 에칭액이 동박을 에칭하기 때문에 회로 상단과 하단의 에칭속도가 다르므로 미세회로 구현에는 한계가 있다. 이론적으로 가능한 회로의 폭은 전극두께+Dry film두께의 합

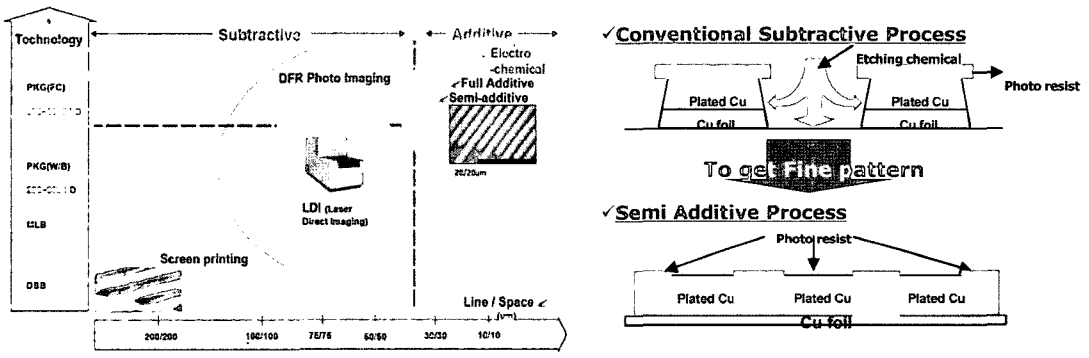


Fig. 3. 회로 라인에 따른 공법 비교

Table 3. 2005년 JPCA Show에서 발표한 LDI 사양

LDI Systems Exhibied at 2005 JPCA Show

LDI Makers	Model	Wave(nm)	Min L/S(mm)*	Max Panel(mm)
Orboech	Paragon-8000	355	25-50	635×812
Pentax	DI-Series	405	15-35	530×630
HitachiVia	DE-Series	405	10-40	550×650
Fuji Film	INPREX	350-410	15-25	530×640
Dainippon Screen	Mercurex	350-420	20±2	540×640

(Company brochure)

*Minimum L/S capability depends on the models

Table 4. 회로폭과 solder mask 치수 사양 - A: low end/ C: high end

항 목	클래스	2005	2006	2007	2008	2010	2015
회로폭(um)	A	75	50	45	45	45	45
	C	40	30	25	15	10	10
SM 오차(um)	A	70	50	50	50	50	50
	C	25	20	15	10	10	10

으로 판단하는데 예를 들면 동박의 두께가 5um, 동도금 두께가 15um 이고 DF두께가 10um라면 이론적인 회로 구현능력은 약 30um가 된다. 이런 이유로 기판소재로 쓰이는 동박두께와 DF두께가 점점 감소하고 있는 것이다. 그러나 실제 PCB생산 라인에서는 제어할 수 없는 잠재변수와 공정능력을 고려하여 양산 가능한 최소 회로폭을 국내에서는 전극층위에 도금을 하는 경우에는 35~40um, 도금을 하지 않는 경우에는 25um를 그 한계로 보고 있다.

semi additive방법은 wafer상에 미세회로를 구현하는 방법인 Cu 다마신(Damascene) 공정과 매우 유사하다. 일반적인 공정은 절연소재위에 약 5um의 동박을 라미네이션하거나 무전해 동도금이나 스퍼터링 방법으로 도금 seed를 형성한 다음 DF를 이용한 photolitho공정 후 전기 동도금으로 회로를 올리고 DF와 도금seed를 제거하여 회로를 형성하는 방법이다. 여기서 중요한 공정은 회로가 미세하고 단위면적당 회로 밀도가 부위별로 다르기 때문에 전해 동도금시 미세 전류의 control, seed를 제거할시 회로의 attack을 최소한 줄이기 위한 soft etching조건 확립, 무전해공정으로 seed를 형성할 시에는 Pd의 제거 등이 있다. 특히 Pd의 잔존여부는 확인하기가 어려운데 분석장비를 이용한 성분분석이외에 제조라인에서 판단할 수 있는 가장 간단한 방법은 샘플링으로 ENIG (Electroless Ni Gold Plating) 후에 표면을 관찰하는 것이다.

통상적으로 가장 어려운 점은 미세회로형성 후 후공정까지의 관리이다. 회로가 미세하고 그에 따라 회로층과 절연층사이의 접착강도가 낮기 때문에 handling이나 표면처리 공정에서 회로가 손상이되는 경우가 매우 많다. 특히 Solder Mask공정에서는 형성된 회로와의 clearance 확보가 매우 중요한데 이는 polymer기반재료의 특성상 X-Y축으로 치수가 공정마다 실시간으로 변화하기 때문이다. 이에 대한 해결책으로 노광시 4면 분할방법을 사용한다. 4면 분할 노광이외에도 LDI(Laser Direct Imaging)라는 기술을 접목하는 경우도 있다. 이 기술은 DF를 라미네이션 한 후 기판상의 기준홀을 CCD Camera가 인식을 하여 각 판넬당 신축을 계산을 하여 UV Laser가 패턴을 그리면서 DF를 경화 시킨다. 따라서 일괄적으로 노광 마스크를 사용하는 경우보다 위치정합도면에서 매우 정확한 기법이나 생산속도가 상대적으로 매우 느리기 때문에 국한된 제품에만 적용되어 지고 있다. Table 3은 2005년 JPCA SHOW에서 발표한 업체별/모델별 LDI의 최신사양이다. 이 자료를 보면 이미 LDI기술이 20um의 선폭까지 구현할 수 있게 도달한 것으로 보인다. 특히, Solder mask공정에 적용할 시에는 회로공정에 비해 경화시킬 면적이 매우 커서 사용이 제한적이다. 이를 위해서는 (+)tive type의 SM재료의 개발이 중요하다. Table 4는 패키지 서브스트레이트 제품군과 단말기 중심의 빌드업 제품군의 회로, 솔더마스크 clearance를 중심으로 2015년까지의 요구사항을 정리한 것이다.

3.2 적층기술

기존의 다층회로기판제조기술은 회로를 구현하면서 층을 쌓은 뒤 메카니칼 드릴을 이용하여 관통홀을 가공하여 도금을 이용하여 홀벽을 2차원적으로 도금하여 층간연결을 하는 기술이 많이 사용되어 왔다.

그 후 고집적화를 위해 원하는 층에만 레이져로 비아홀을 가공하여 필요한 층에만 연결을 하는 빌드업(build up)기술이 도입 되었는데 HDI기술로도 분류될 수 있는 이 기술은 휴대 단말기 시장의 확대과 더불어 현재 인쇄회로 기판시장에서 상당히 많은 부분을 차지하는 대표적인 기술로 자리 매김하게 되었다. 현재 HDI제품군 시장을 보면 이동단말기 부분이 50%, 반도체 기판 부분이 30%를 차지한다. 국내에도 삼성전기, LG전자, 대덕전자 등의 업체들이 이 분야에서 선두역할을 하고 있다. 이동

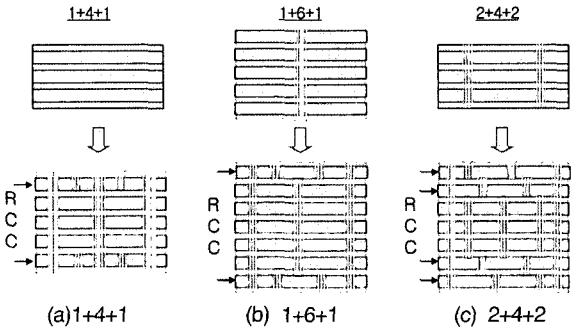
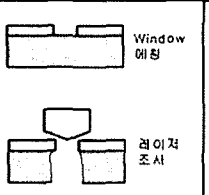
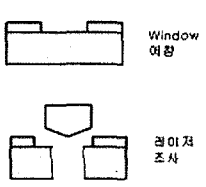
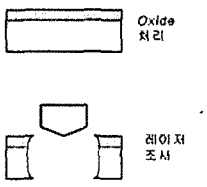
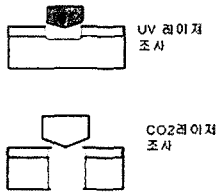


Fig. 4. 이동단말기 빌드업 구조

Table 5. 레이저 비아 가공기술의 비교

Process	Conformal Mask	Large Window	Cu Direct Method	Combi. Method
Blind via Dia.	70um	125um	125~150um	40um
Pad Dia.	300um	300um	250um	150um
가공홀 크기 오차	±3%	±3%	±20%	±3%
층간 위치정합도 (3sigma)	±60um	±40um	±20um	±20um
장점	• 빠른 양산속도 • 가공조건 set-up 용이	•빠른 양산속도 • 가공조건 set-up 용이 • 층간 위치정합도 정확	공정이 매우 simple함 생산속도 빠름	미세비아홀 가공가능 층간 위치정합도우수 고집적 비아홀 가공가능
단점	•위치정합도 부정확 •에칭 공정에 위치정합도 의존	•최소 가공홀 크기가 크다. •도금신뢰성 문제 •고집적 비아가공 한계	•동박두께 5um이하로 가공필요 •공정조건 set-up이 어려움 Cu splash문제	•UV레이저 추가 투자비용발생 •생산속도 저하
Description				

단말기 빌드업 적층구조를 보면 4층 내지 6층을 형성한 다음 메카니컬 드릴로 관통드릴과 도금으로 비아를 연결시킨 다음 회로형성한다. 단말기의 경우 RCC (Resin Coated Copper), 반도체 기판의 경우 ABF(아지노모토社)를 적층하여 레이저와 도금으로 interstitial 비아 홀을 가공, 연결시키면서 순차적으로 층을 쌓아 올리는 기술이다. RCC나 ABF는 코어층과는 달리 레이저 가공성을 향상시키기 위해 woven 글래스가 포함되지 않은 소재이다. 아래 그림과 같이 빌드업 적층 구조는 1+4+1, 1+6+1, 2+4+2로 발전해가고 있다.(Fig. 4) 레이저 비아 가공기술은 CO_2레이저, UV 레이저, CO_2+UV레이저 혼합 가공방식이 있다. CO_2레이저는 빌드업에서 가장 많이 쓰이고 있는 방법인데 UV레이저 드릴방법에 비해 미세홀가공이 어렵지만 드릴 가공 속도가 더 빠르기 때문에 Large window방법이나 Conformal mask방법으로 PCB 업체에서는 주로 사용한다. Table 5에서는 레이저 비아 가공방법의 장단점에 대해 비교해 놓았다. 레이저 비아 홀수는 단말기 보드 기준으로 400,000~600,000 hole/m^2 이며 가공 홀수는 더욱더 증가하는 추세이다. 이런 경우 가공 홀수가 500,000hole/m^2 넘어가면서 전체 제조비의 40%이상이 드릴가공비로 소요되게 된다. 또한 Fig. 4의 빌드업 구조에서 보다시피 비아홀위층에 비아홀을 가공할 경우 아래층의 홀을 피해서 가공해야 하므로 공간절약에 한계를 드러내기 시작하였다. 이런 비용적 측면이나 공간절약의 취약점 대한 단점을 보완하고 보다 고집적 기판의 구현을 위해 일본의 선진업체 및 국내업체들은 세라믹 기판 기술을 기반으로 한 소위 일괄적층이나 filled via기술을 발전시켰다(Table 2). Fig. 5를 보면 filled 비아기술의 경우 Via on Via, Via on Pad 구조가 가능하게 되어 빌드업기술 대비 6층의 경우 40%, 8층의 경우 60%이상의 공간을 활용할 수 있게 된다. 그러나 여러 공법들은 제품완성주기가 늦고 공정비용이 많이 들며 기술적도 각각의 애로사항이 있기 때문에 전체 시장 중 일부 특수한 High End 제품군에만 적용이 되고 있다. 대표적인 방법은 ALIVH(Any Layer Inner Via Hole), PALAP (PAtterned prepreg Layup Process), NMBI (Neo Manhattan Bump Inter-connect), B2IT (Buried Bump Interconnect Technology), FVSS (Free Via Stack Structure) 등이 있

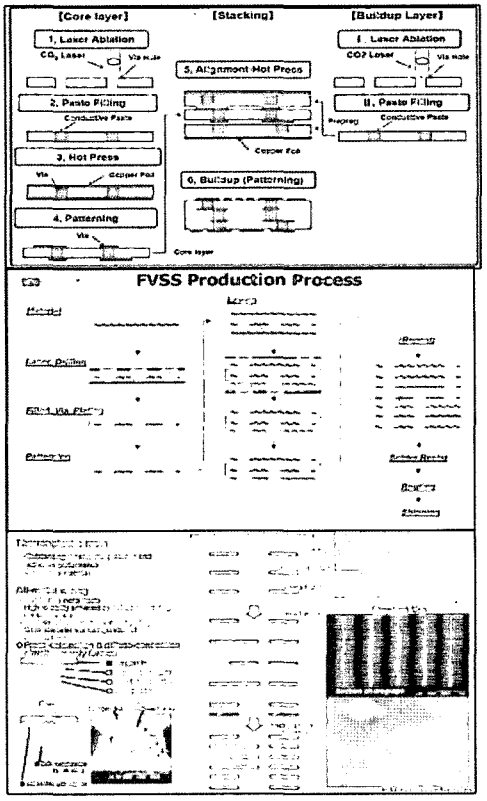


Fig. 5. 차세대 적층기술-일본.

다. 이중 ALIVH, PALAP기술은 아라미드 부직포나 열가소성수지에 레이져로 비아홀을 가공하고 전도성 페이스트를 충진하여 일괄 적층하는 기술이며 NMBI, B2IT, FVSS기술은 동범프를 형성하여 관통시켜 층간 연결을 실시하거나 차례로 동도금으로 비아를 채우면서 층간연결을 시키는 차세대 빌드업기술이다. 이런 filling via형성기술이나 차세대 빌드업기술은 누가 먼저 각 제조사특성에 맞게 공정을 set-up하여 시장을 장악하여 표준화를

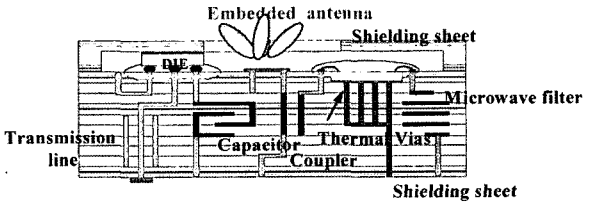


Fig. 6. 차세대 임베디드 소자 기판.

하는가가 관건으로 보인다. 국내에서는 LG전자가 초기 North사의 NMBI기술을 도입하여 LXBump(LG eXcellent Build Up Multi Process)라는 독자적인 기술로 발전시켜 North사와 Cross Licence를 체결한바 있고 삼성전기는 SAVIA(Samsung Any Via) 라는 자체 기술을 보유하고 있다.

3.3 임베디드 패시브 (Emb edded Passive) 기술

부품내장화 기판기술은 능동소자나 수동소자를 기판내에 삽입하여 경박단소를 위한 고집적, 고성능을 추구하는 기술이다. 현재 기술적, 상업적으로 볼 때 가장 수요가 많은 부분은 이동단말기 분야이다. 본고에서는 능동소자 내장 기술 분야는 생략하기로 한다. 수동소자 내장화 기술은 Fig. 1에서 보다시피 최근의 제품군이 기능면에서 나날이 진화하고 있기 때문에 그에 따른 부품수도 기하급수적으로 증가하는 추세이다. 따라서 제한된 기판 표면위에 더 이상 부품을 실장 할 수 있는 공간이 한계에 부딪힘에 따라 부품크기도 1005, 0603, 0402로 점점 작아지고 있는 추세이다. 그러나 부품크기가 작아짐에 따라 실장가격이나 부품 실장불량이 증가하여 기판내에 R, L, C의 부품을 삽입하거나 소재로 구현하는 기술이 더욱 요구되고 있다(Figs. 6, 7). 본 기술은 사이즈 감

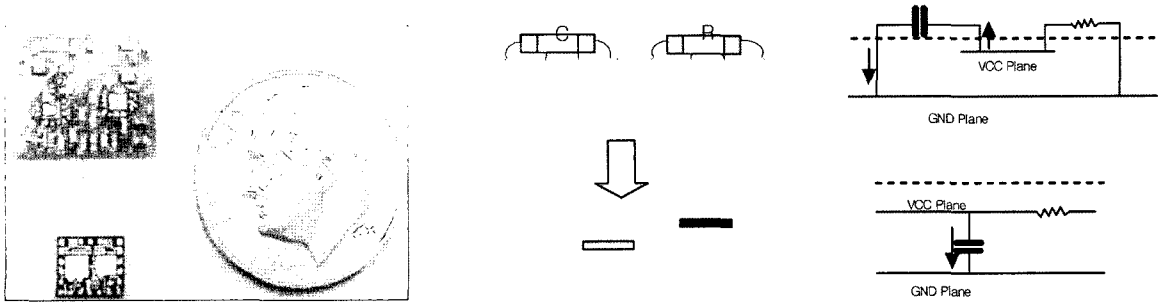


Fig. 7. 임베디드 R,C적용 예.

소, Solder joint가 없음에 따른 신뢰성 향상, 전체 회로의 배선길이를 줄임으로서 칩 부품이 갖는 회로저항을 최소화하여 저 전력화 및 고속 동작 가능, 칩사이즈와 패키지 사이즈의 1:1 대응이 용이한 초소형 통합모듈을 제작 가능, 가격감소 등의 많은 장점을 가지고 있다. 그러나 소자가 내장된 고집적 모듈의 개발 및 양산에 있어서 가장 민감한 기술적 부분이 내장소자의 특성 예측 및 측정이다. 전체 모듈 및 System의 동작에 관련된 많은 내장부품 각각의 특성 구현은 집적화율이 높아짐에 따라 그 중요성이 높아지므로 여러 내장 소자중 단 한개 라도 원하는 특성에서 벗어나면 전체 System의 특성 구현에 문제가 생기기 때문에 SoC(System on Chip)에서와 같이 Known Good Components 문제와 같은 문제 해결을 위한 LCR라이브러리 구축은 매우 필수적인 기술이다. 본 기술의 실현을 위해서는 (i)기판제작업체에서는 부품이 내장된 기판의 수정기술 및 검사기술 개발 (ii)설계적 측면에서는 범용성 있는 설계 tool확보 및 라이브러리 구축 (iii)현재 실장 부품을 대체할 수 있는 정도의 재료개발 등의 종합적인 해결책이 제시 되어야 할 것이다.

4. 결 론

차세대 SoP-L기판의 실현은 위에서 열거한 기술의 개별적 실현이 아니라 종합적으로 고집적 미세회로, 차세대 적층기술, 소자 내장화 기술이 집적되어 한 제품군내에 실현될 때 큰 의미를 갖게 된다. 또한 기판제조 업체뿐 아니라 이를 사용하는 재료개발업체, SET업체와의 유기적인 관계를 통해 각 업체에 맞게 독자적인 기술을 확보하고 이를 채용하여 시장에 선진입하는 Time to Market이 가장 큰 관건이다.

◉◎ 박세훈

- 2002년 한양대학교 재료공학과(석사)
- 2002년-2005년 LG전자 주임연구원
- 2005년-현재. 전자부품연구원 전임연구원

◉◎ 강남기

- 1985년 연세대학교 금속공학(석사)
- 1991년 연세대학교 금속공학(박사)
- 1985년-1991년 연세대학교 산업기술연구소 선임연구원
- 1992년-현재. 전자부품연구원 수석연구원

◉◎ 박종철

- 1982년 서울대학교 금속공학(석사)
- 1991년 서울대학교 금속공학(박사)
- 1982-1992년 한국과학기술원 선임 연구원
- 1992-현재. 전자부품연구원 수석 연구원

◉◎ 차종범

- 1983년 성균관대학원 전기공학(석사)
- 1986년~1993년 아남반도체
- 1993년-현재. 전자부품연구원 부품소재연구본부장