

RF 패키징 기술

글 _ 선용빈 || 경기대학교
ybsun@kyonggi.ac.kr

1. 서 론

세라믹스와 전기·전자 분야를 공통분모로 갖고 보면 제일 먼저 생각되는 것이 초전도체이고 그 다음은 유전체 재료, 소자 carrier의 순서이다. 여기에서 차세대, 시스템, 패키징 3 단어를 포함하여 국내외 관련분야의 환경 변화를 살펴보면 다음과 같이 세라믹의 중요성이 부각되고 있는 현실에 직면하게 된다.

- WCDMA와 WiBro의 채택은 고속으로 고용량의 data 통신이 가능해야 하며, 소형의 이동통신 기기가 대중에게 공급되면서 저 전력 소비가 제품의 경쟁력이 되고 있음.
- 제품의 소형화는 소자의 소형화를 필요로 하는데, 이 중 기판 사용의 제약과 공정 단계의 증가로 SOC (System on a Chip) 개발이 한계에 부딪혀 SOP (System on a Package)에 대한 연구 개발이 활성화됨에 따라 SOP 구현에 필요한 interposer 개발이 시급함.
- 고용량 data 통신은 광대역의 주파수를 필요로 하며, 이에 따른 고주파 영역에 대응할 수 있는 기판으로 세라믹이 후보로 떠올라, 저온소성에 대하여 무 수축 소성, 미세 피치 공정, 배선 및 전극 물질에 대한 연구가 진행되고 있음.

이러한 상황에서 여러 연구자들의 노력이 결실을 맺어 이동통신 Front-End Module의 상당 부분이 LTCC를 적용하고 있지만, 폭발적인 시장 창출에 더딘 이유는 다기능 경박단소화의 길을 가면서 정확한 예측을 할 수 있는 ‘분석’이라는 허들을 뛰어넘지 못하기 때문으로 사료된다.

이번 호의 특집으로 차세대 시스템 패키징이란 주제로 여러 분야의 전문가들이 여러 관점에서 서술하였는데, 여기서는 RF packaging 기술에 대한 전반적인 고찰과 함께 SOP 기술과 LTCC 기술에 대한 동향을 분석하고, 특별히 분석기법에 대한 소개를 곁들인다.¹⁾ RF packaging 기술은 IC level 패키징 기술과 board level 패키징 기술로 나뉘어 진다.

2. IC Level Packaging 기술

단품 IC packaging 기술에서 중요한 사항은 기판의 재질에 따른 열팽창 계수의 차를 극복하는 것과, 배선 pitch에 따른 interconnection 방법 선택, 소자 보호 목적의 encapsulation 방법 및 재료 선택, 그리고 flip chip 공정에 솔더를 사용할 시에는 무연 솔더의 선택 등이 있다.

2.1 RF IC Substrate

RF 주파수는 3MHz~300GHz 범위에 걸쳐 나뉘어져 TV, Radar, Cell phone, GPS, WLAN, WMAN, Satellite TV 등에 응용되고 있다. ITRS 2003에 의하면,²⁾ 10-40

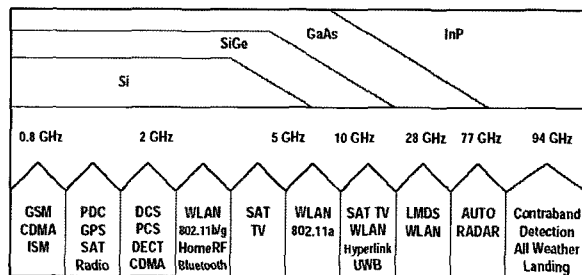


Fig. 1. Application spectrum (from ITRS 2003).

GHz 대역에서는 Si/SiGe과 III-V 화합물 반도체가 경합을 이룰 전망이다, high power gain이나 ultra low noise가 요구되는 경우에는 III-V 화합물 반도체를 대체하기는 힘들 것으로 보인다(Fig. 1).

그러나 Si/SiGe에 있어서는 GaAs에 비하여 높은 열전달 계수 (GaAs:Si=0.46:1.5 W/cm²·°C), 용이한 die thinning, 쉬운 power level stability control과 감소, positive gain 등에 대한 요구사항을 쉽게 만족할 수 있는 것이 강력한 driving force이다.

2.2 Silicon RF IC Packaging Technology

RF packaging 기술에서 중요한 것은 package 자체의 parasitic capacitance와 inductance, 그리고 coupling 관점에서 낮은 impedance를 확보하는 것으로, 종래의 일반적인 packaging 기술이 적용된다. 현재 5GHz 대역의 마이크로시스템 구성에 적용되는 IC를 위한 package type으로는 Amkor사의 MLF(Micro Lead Frame)로 구리 재질의 리드프레임을 사용하여 패키지 크기를 칩의 크기에 가깝게 만든 CSP 패키지 솔루션이다. 기존의 리드프레임 패키지와 다른 점은 패키지 바닥면의 가장자리에 4~56 개에 이르는 랜드를 형성시켜 기존의 리드를 대체하는 방식을 사용한 점이며, 또한 exposed pad의 형상으로 열 방출 향상 기술을 적용한 제품이다(Fig. 2).

RF IC의 종류에 따른 발생 열과 대응하는 패키지 타입에 대해 multi-mode, multi-band로 서비스할 수 있는 4세대 단말기의 핵심 부품에 대하여 중점적으로 살펴본다. Transceiver를 1-chip으로 집적하여 성능을 만족하는 공정을 진행할 수 있다 하더라도 아직은 성능의 효율성이나 원가 측면에서 단위 블록의 IC화가 경쟁력이 있다.

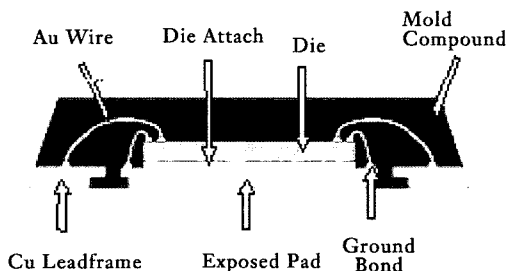


Fig. 2. Amkor's MLF.

따라서 단일 블록 IC를 구성하는 LNA(100mW), Mixer(100mW), PLL(20mW), PA(1-3W) 등에서 보듯이 전력소모가 가장 많은 PA의 열 문제 해결이 패키징 기술 측면에서 해결되어야 할 것이다. 일반적으로 active junction과 case의 온도 차이가 50°C이고 component의 power가 0.8W라면 40°C/W의 열 저항 값을 갖는데, 종래의 SOIC type의 package로도 발생하는 열을 무난히 방출할 수 있으므로 송수신 시스템의 성능에 미치는 영향력은 미미하다. 그러나 PA의 경우에는 발생하는 열의 효과적인 방출이 필요한데, Amkor사 MLF의 경우 chip이 lead frame의 metal pad에, metal pad는 PWB의 thermal pad에 열전도성의 접착제를 사용하여 접착되어, PWB의 thermal via의 설계에 따라 차이는 있겠지만, 4-5W의 전력소모는 충분히 감당할 수 있을 것이다.

2.3 Flip Chip Technology

Flip chip 기술은 기존의 단일 칩 패키지 구조에서 패키지 자체를 생략하고 bare die 자체를 PCB에 attach하는 기술로 bare chip이 깨어지는 것을 방지하는 대책과 PCB와의 CTE mismatch로 인한 interconnection의 failure를 방지하는 대책을 동시에 강구해야 한다. 전자에 대한 대책으로는 적절한 die 두께, backgrinding 상태, dicing에 따른 chip edge 모양에 대한 관리 등이 있으며, 후자의 경우에는 flip chip bonding 한 후에 underfill 공정을 진행하거나 또는 film이나 printing 방식으로 이방성 전도층(anisotropic conductive layer)을 적용하고 난 후에 glob-top을 하여 chip을 보호하는 방법 등이 있다.

일반적인 고려사항은 UBM과 bump 구조의 선택이다. 솔더를 사용하는 경우에 무연 솔더는 필수이며 (주로 사용되는 재료는 Sn과 SAC305: Sn-Ag-Cu 계열임), 열 이력에 따른 금속간 화합물(IMC: intermetallic compound)의 형성으로 영향을 받는 기계적 성질을 고려해야 한다.

현재 상용화 되어 있는 솔더 볼의 크기는 300 μm 수준이 대중을 이루고 있지만, 100 μm의 솔더 볼과 50 μm 급의 솔더 도금 bump가 실용화 단계에 있다. 또한, UBM으로는 신뢰성이 우수한 무전해 Ni/Au를 적용하고 Au stud bump를 형성하여 공정을 단순화 시키는 연구가 진

Table 1. Bump 재질별 Flip Chip 공정조건

Material	Bump process	UBM	Flip chip bonding
Solder	Plating	Ni+Au TiW+Cu	Reflow (+Underfill)
	Ball transfer+Reflow		
	Solder jetting		
	Paste printing+Reflow		
Au	Stud bumping	(Ni+Au)*	Thermo-sonic ACF (Reflow+Underfill)

* Au stud bump와 solder의 bonding인 경우에는 (Ni+Au) UBM을 사용한다.

행 중이다.

Table 1은 bump의 형성 방법에 대한 분류이다.

작은 size의 RF IC는 SOIC package에 탑재하여 open/short test 정도만 마치고 출하하는 경우가 있다. 그러나 IC가 더 복잡한 기능을 구현하게 되면서, packaging cost가 70%에 육박하게 되자 packaging cost를 save할 목적으로 wafer level의 RF test가 필요하게 되었고, flip chip 기술을 구현하기 위한 bare chip으로 KGD(known good die)나 CSP의 공급이 가능하게 된 것이다.

3. Board level 패키징 기술

Board level packaging에서는 RF 소자의 평면 또는 수직 배치, 소자들을 연결하는 회로의 간섭, 수동소자의 내장 등이 있는데, 전자는 SOP와 Stacking 기술이고, 후자는 PCB/LTCC 관련기술이다. 수동 소자의 내장에 있어서는 저온소결 세라믹 (LTCC)이 집중적으로 연구되고 있으나 이종물질의 소결 특성 차이로 공정온도를 300°C 부근으로 낮춘 폴리머-세라믹 복합재료에 대한 연구도 활발하다. 먼저 용어에 대해 간략히 정리를 하고자 한다. 공간에는 SOP와 SiP (System in Package)에 대한 논란이 많은데, SOP는 multi chip module 개념에서 출발하였고, SiP는 stacking 개념에서 출발하였으나 같은 goal을 향해 나아가고 있고, 가장 중요한 것은 lumped elements 개념으로 RF system packaging을 경박단소화하고 기능을 향상시키는 데에는 한계가 있어 필히 distributed elements 개념과 더불어 DFM/DFI(Design for Manufacturing /Integration)을 도입해야 할 것이다. 참고로 MCP는 2-5개의 chip이 단일 패키지로 형성된 것을 말한다.

3.1 SOP 기술

Mobile system이 일상생활의 패턴이 되면서 보다 더 경박단소에 대한 요구가 늘고 있다. 여러 가지 기능을 탑재하면서 크기는 작은 것을 추구하는 one-chip solution에 대한 연구가 많이 진행되고 있는데, 이것이 바로 SOC이다. 그러나 RF와 AMS(analog/mixed signal)의 특성을 동시에 만족하는 재질의 부재, 공정 복잡, 성능 저하, 원가 상승 등을 이유로 수십 nm급 공정기술로는 single chip cell phone이나 single chip PC와 같은 수준의 SOC는 불가하다. 이에 대한 대응책으로 탄생한 것이 SOP이다.

SOP는 소자에 맞는 공정과 재료를 사용하여 단일 블록 IC를 제작하고, 제작된 IC를 배치하여 소자 사이의 전기적인 연결을 최적화하여 성능을 SOC 급으로 향상시키는 기술을 일컫는다.

RF 소자는 단일 블록 IC로 packaging 되기는 하지만 AMS 소자보다 높은 주파수를 사용하기 때문에 RF 소자의 전자기장 내에서 packaging 재료 자체도 회로의 요소로 작용하므로 RF module이나 SOP에서는 chip과 package의 co-design이 요구된다. 또한 AMS 소자를 포함한 RF 시스템을 설계하는 데 있어서 수많은 수동 소자를 함께 고려해야 하는데, 여기에 embedded passive devices를 가능하게 하는 LTCC와 새로운 composite 기판이 등장한 것이다.

3.2 3D Stacking 기술

Piggy-back type의 메모리 IC stacking을 통한 저장 용량 증가로 우주선에서 보내오는 많은 양의 영상을 처리할 수 있었다. 반도체 업계에서는 wafer thinning(50-70 μm) 기술의 발달과 함께 5-8 개의 메모리 또는 비메모리 등을 포함하는 임의의 조합으로 die를 stacking 하여 MCP를 제조 판매하고 있다.

3D stacking의 핵심 기술은 die 두께와 크기에 따른 spacer의 형성과 interconnection 방법의 선택이다. 한 가지 예로 wire bonding을 한다면, die의 굽힘 강도에 따른 bonding parameter를 찾아야 하는 것이다. Encapsulation의 방법도 중요한데, package warpage, EMC void, wire sweep 등에 대하여 효과적인 진공 몰드나 top gate 방식

Table 2. 고속·고주파 용 PWB 재료의 특성

PWB 종류	Tg(°C)	tanδ	Analog(Hz)	Digital(Hz)	Er(@1MHz)	CTEr(ppm)	Thk.(mil)	Laminate(\$/ft2)
FR4	160	2-3	200M	3G	3.9-4.6	250	1-2	1.5-2.5
BT	180	.02	300M	4G	3.9-4.6	230	1-2	4.5-5
PI	250	.01	600M	8G	4.0-4.5	220	1-2	6.5-7.5
FR408	180	.015	400M	6G	3.4-4	220	1-2	3-3.5
GETEK	180	.012	500M	7G	3.5-4.2	220	1-2	3-4
Nelco 4000	210	.01	800M	10G	3.7-3.5	150	1	2-3.5
Nelco 6000	210	.008	2G	20G	3.5-3.2	100	1	4.5-7.5
RO3003	350	.0013	40G	any	3.0 (10GHz)	13	1	16
RO4003	280	.004	40G	any	3.48 (10GHz)	40-50	1	8.5

의 채용이 연구되고 있다.

3.3 고속·고주파를 위한 PCB 재료

Table 2는 고속, 고주파에 대응하는 PCB 재료 특성을 나타내는데, digital 신호에는 20GHz 이상에서도 문제가 없으나 analog 신호에서는 대부분이 1GHz 이하까지만 신호 특성을 유지할 수 있다는 것을 보여 주고 있다. 손실계수와 유전율, 그리고 제조 원가 측면에서 organic과 ceramic 재료를 hybrid한 기판이 현재로서는 가장 적절한 후보이다.

3.4 LTCC 기술

앞의 도표에서 보았듯이, 주파수 1GHz를 넘어서면 유기물질의 PCB는 적용이 어렵게 되어, hybrid type이나 세라믹 기판기술이 개발 또는 적용되고 있다.

세라믹 기판기술에서는 일반적으로 거론되는 연구테마(이종재료 기판의 수축률 제어, interlayer registry)에 더불어, 전기 전도도가 우수한 Ag 계열의 배선 재료를 사용할 수 있도록 LTCC 개발에 많은 연구(850°C 이하의 소결 온도, Ag paste 개발)가 이루어져 왔지만, 재료 개발과 적용이라는 두 마리의 토끼를 쫓기에는 너무 많은 일이 선행되어야 한다는 것을 명심해야 한다. 많은 연구자들이 무 수축 공정(Zero-shrinkage process)에 대한 R&D를 수행하고 있으나 생산성 측면에서 아직은 만족할 만한 결과는 얻지 못했다.

본 저자는 Conductor와 Dielectric의 표면 거칠기(roughness)와 선로감쇄 현상의 연관을 novel process인 일 방향 소결 법으로 연구 중에 있다.³⁾

4. 분석 기법

4.1 Simulation

RF IC는 제작 후 tuning이 까다로워, simulation을 통하여 최적의 결과를 얻을 수 있도록 설계해야 한다. 시판되고 있는 simulation tool로는 기본적인 설계 값에 95%까지 접근할 수 있으나 제작 공정의 오차까지 극복한다면 설계의 정확도를 97-98%까지 향상시킬 수 있기 때문에 회로 simulation, package level과 board level의 field solving simulation, thermo-mechanical simulation 등 다방면의 검토가 필요하다.

Packaging simulation tool은 전기적 분석과 열-기계적 분석의 2 부류로 구분된다. 단일 소자와 달리 SOP와 같이 복잡성이 높은 경우에는 simulation은 전문적인 설계 tool의 도움 없이는 작업시간이 많이 소요될 뿐만 아니라 현실적으로 불가능하다. Pax사와 CST-Korea가 함께 추진하고 있는 것을 소개하면 다음과 같다. 전문 design tool인 Mentor로 설계하여 생성된 neutral file을 field solver인 MWS (MicroWave Studio)에서 import하여 분석이 가능한 3D 모델링이 자동 생성되면, material 특성을 부여하고 EM simulation 분석을 하게 되는 것이다. 열-기계적인 simulation은 ANSYS tool이 표준으로 사용되고 있으며, PAM(Power Amp Module)의 열 분석에 적용하는 정도이다.

4.2 Testing

앞에서 flip chip 기술을 언급하면서 KGD에 대한 이야기를 하였지만, digital devices와 analog devices의 차

이점을 test 관점에서 본다면, digital 소자는 패키징 공정에서 생길 수 있는 공정 불량률을 걸러 내는 것을 주목적으로 하는 반면에, analog 소자는 패키징 공정으로 인한 전기적 특성 자체의 margin 확보를 주목적으로 한다. 다시 말해서, encapsulation으로 인한 전기적 특성치가 변하기 때문이다. 따라서 소자를 환경으로부터 보호하기 위해서는 일반적으로 패키징 공정이 필연적이고, 패키징 공정으로 인한 전기적인 특성치가 변하는 것도 피할 수 없는 것이므로, 이에 따른 특성에 대한 margin을 확보할 수 있는 패키징 기술 개발로 RF 단의 impedance 정합이 simulation의 결과가 실측치와 3% 이내의 오차 범위에 들도록 하는 것이 향후 과제이다.

RF testing은 RF IC의 complexity에 따라 (대개 pin 수에 비례), ATE(Automated Test Equipment)와 test fixture의 사양을 선택하는 것이 측정치의 반복성을 높이고 저비용의 test solution을 확보할 수 있다. RF 측정 장치인 ATE의 key parameters는 측정치의 repeatability, standing wave ratio(SWR), insertion loss, 그리고 isolation 등이다. 측정치로는 calibration이 힘들므로 기계 자체의 측정 repeatability를 ($\leq 0.03\text{db}$ up to 26.5GHz) 확보하여 calibration을 할 수 있어야 하며, SWR이 높으면 측정 성능을 저하시키므로 기계적인 공차를 엄격하게 관리하여 ($\pm 13 \mu\text{m}$) coaxial cable이나 semi-rigid cable을 제작하고, cable 길이를 최소화하여 임계 선로의 insertion loss를 최소화하고, 전송선로의 cross-talk을 줄일 수 있도록 높은 isolation을($>90\text{db}$) 확보해야 한다. (팔호 안에 기술한 값은 Agilent사의 Switch Matrices의 값이다.) Load board와 package pin(또는 port)를 연결하는 contactor는 수리가 가능한 spring type을 일반적으로 사용하는데 접촉 저항과 접촉 pin 간의 cross-talk을 일정하게 유지하도록 하는 것이 중요하다. Spring type contactor인 경우에는, 사용 회수는 최저 25만회, pin pitch는 0.25 mm, 사용 주파수는 수십 GHz 까지 이다.

Tester와 contactor를 연결하는 load board에는 PCB나 ceramic이 사용되는데 전송선로로 사용되는 Cu를 보호할 목적의 도금 층으로 인한 conductor loss를 정확히 예측할 수 있도록 제작하는 것이 중요하다. 이 외에 RF 소자의

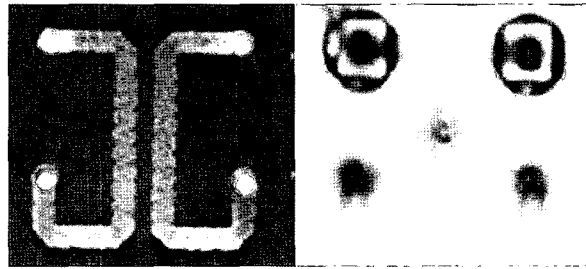


Fig. 3. 3차원 형상분석: X-선(좌측)과 초음파(우측).

input/output port 간의 isolation, RF ground design에 신경을 써야한다. 특히, gain, compression, 그리고 isolation을 측정하려면 RF ground design이 제일 중요하다.

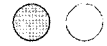
4.3 Inspection

비파괴 검사로 공정의 parameter를 control할 수 있다면 누구나 선호할 것이다. Fig. 3에서 보는 바와 같이 LTCC로 제작된 Band pass filter의 inductor 부위를 X선(좌측)과 초음파(우측)를 이용하여 비파괴 분석한 결과, X선의 경우에 보다 정밀한 상을 얻을 수 있었으며, 측정 오차는 3 μm 이내 이었다.

5. 결 론

차세대 시스템 패키징에서 RF packaging은 단일 소자에 대해서는 기존의 component packaging 기술이 그대로 적용될 것이며, RF의 실용 파장이 밀리미터 단위로 옮겨 갈수록 응용기기에 대한 설계는 소자와 packaging 기술이 동시에 고려되어야 할 것이다. 동시에 고려되어야 한다는 것은 만들어야 하는 단위 블록의 크기가 커지는 것을 의미하며 (즉 SOP 기술의 적용이 필연), 이는 원가적인 측면에서 보면 구성 부품의 수율이 보장되지 못한다면 생산원가는 높아질 수밖에 없다는 것을 의미한다. 따라서 향후에는 SOP의 제작에 있어서 wafer level test를 통한 KGD의 확보와 집적화에 따른 생산성에 대한 DFI/DFM의 개념이 중요하게 되며, 이 개념에 대한 선행 개발이 업계의 선두 자리를 차지할 것이다.

미국은 NEMI(National electronic Manufacturing Initiative)에서 재료, 장비 업체, PCB 업체, End User로



협동체를 구성하여 수동소자의 내장기술에 집중하고 있다. 또한 NIST(National Institute of Standard and Technology)의 지원 하에 산학관 공동 project인 AEPT(Advanced Embedded Passives Technology)를 조직하여 연구를 진행하고 있다. 이와 같이 재료와 공정을 변경하여 consumer product을 생산한다는 것은 오랜 기간의 준비와 골고루 성장한 infrastructure가 필요한 것으로 초창기에는 국가적인 차원에서의 협력이 절실하다.

참고로, CSP, MCM, Flip chip, 무연 솔더에 대한 특허청 소장의 반도체 패키지 patent map(PM 보고서 2003)을 참조하기 바란다.⁴⁾

참고문헌

1. 선용빈, IOD Report 4-0002 (5/5), July 2005. KISTI.
2. ITRS 2003, <http://public.itrs.net>.

3. J. of Microelectronics and Packaging Society, Vol. 11, No. 4, p.37-41, 2004.
4. <http://www.patentmap.or.kr>.

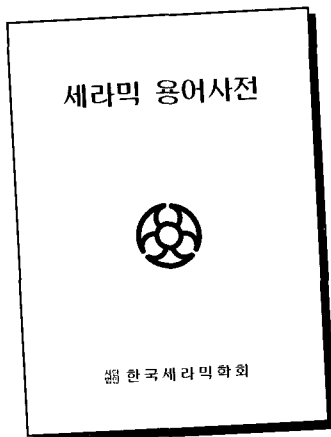
◎◎ 선용빈



- * 1985년 8월 Univ. of Illinois at Chicago 금속공학(석사)
- * 1989년 8월 Univ. of Wisconsin-Madison 재료공학(박사)
- * 1989년 12월-1993년 2월 삼성전자 반도체 기공연구소 박막개발 수석연구원
- * 1993년 3월-1997년 9월 삼성전자 반도체 Package 기술 개발 부장
- * 1997년 9월-2000년 2월 동부전자 Package 사업부 담당 상무
- * 2000년 3월-현재 경기대학교 산업정보대학원 전자재료전공 교수

세라믹 용어사전 안내

(정가 ₩18,000원)



₩16,000원 판매
(학회 회원에 한하여 할인 판매)

구입을 희망하시는 분은 학회로 연락바랍니다.

연락처: 02) 584-0185