

SOP (System-on-Packaging) for Mega-Function System Integration

글 _ 윤종광 || Packaging Research Center, Georgia Institute of Technology
cyoon@ece.gatech.edu

1. 서 론

과거 십 수년전 부터 세계 전자부품 및 소재 관련 업계와 기술계의 최대 관심은 Module Level의 성능향상과 부품의 경박단소화가 주 목적이었다. 그러나, System의 다기능화와 고성능화 및 소형화가 요구되는 Digital Convergence시대에 진입함에 따라서 향후에는 System Level의 경박단소화가 절실히 요구되고 이를 위한 새로운 개념의 기술이 필요하게 되었다. 이를 위한 기술적인 개념은 Georgia Tech의 Packaging Research Center (PRC)가 약 10년전 처음 제안하고 발전시켜온 SOP (System-on-Packaging)기술이며 현재, SOP기술은 일본, 미국을 중심으로 전 세계적으로 확산 발전되고 있다. SOP기술의 요소기술을 예로 들자면, System Level의 Mixed Signal Design 및 Tool, System Level Integration을 위한 RF, Digital, Optical 및 Sensor 부품의 공정 및 소재기술, System Level의 Thermal Management, System Level의 Reliability 및 Test가 있겠다. 한 예로써, System Level Integration에 적합한 부품의 고밀도화 및 고성능화를 위한 공정 및 소재기술을 위하여는, 과거의 표면실장부품 (Surface Mounted Devices)에서 내부실장부품 (Embedded Components)으로, 부품의 크기는 mm 단위에서, μm 단위로, 그리고 nm단위까지, 재료와 공정은 칩부품용에서, 후막부품용으로, 그리고 박막부품용등으로 발전해야 할 것이다. Fig. 1에 보인 바와 같이 현재는 이 같은 SOP기술을 활용하여 cm^2 당 200~300개의 부품이 내부실장된

Module이 개발되어 시장에 진출하고 있으며, 2010년경에는 약 1000개로 그리고, 2020년경에는 Nano기술, Self Assembly기술등의 비약적인 발전으로 인하여 cm^2 당 1백만개 이상의 부품이 내부 실장될 것으로 전망되고 있다. 이러한 부품기술의 발전추세는 반도체기술의 발전추세에서 이미 확인된 것과 같은 현상 (Moor's Law: Integration of transistors is doubled every 18 months.)과 비슷하지만 반도체외의 부품에서는 전혀 예상치 못했던 새로운 추세임이 확실하다.

본 논문에서는 우선 SOP, SOC (System-on-Chip) 및 SIP (System-in-Package)기술의 장단점, 기술의 추세등을 검토하고, Mega-Function System Integration을 달성할 수 있는 SOP기술의 10가지 요소기술 전반에 대하여 개략적으로 논의하기로 하고, 이 기술과 보완관계에 있는 SOC, SIP 기술과의 융합발전 모델 등을 제시하고 검토하기로 한다.

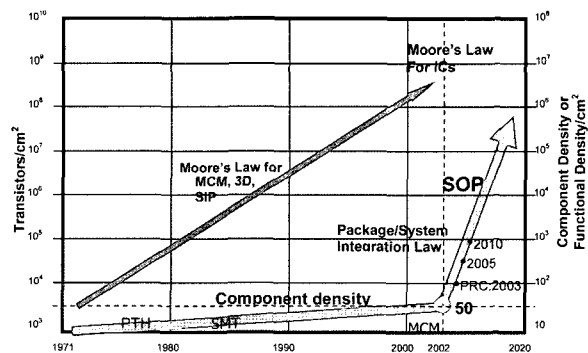


Fig. 1. Future Mega-Function System Integration by PRC-Driven SOP Technology.

2. SOC, SIP 및 SOP기술의 비교

2.1 SOC 기술

SOC (System-on-Chip) 기술은 Fig. 2에 간단히 보인 바와 같이, 한개의 Chip위에 CMOS기술을 바탕으로 한 ASIC(Acquired Specific Integrated Circuit) 및 Memory 기능들을 함께 Integration하는 기술을 기반으로 하며, 여기서 더욱 발전하여 Active Layer위에 박막 능동부품들을 실장하는 기술이다. 이 기술은 nm 및 μm 공정을 활용하여 고집적, 초정밀 Pattern이 가능하기 때문에 부품의 초소형화, Low Tolerance 및 고성능화 달성을 가능케 한다. SOC기술로 가능한 박막부품은 Logic 및 Memory IC외에 VCO 및 PAM등이 선택적 혹은 제한적으로 내장되고 있다. 그러나, SOC기술은 여러가지 취약성을 가지고 있다. (1) 제한된 크기의 Si에는 제한된 숫자 및 종류의 부품만이 내부실장 가능하고, (2) Low Inductance 및 Capacitance 그리고 Low Q값 (10~20)을 갖는 부품만이 내장 가능하며, (3) Antenna, SAW, RF Filter, 높은 값을 갖는 L, C, 및 R 부품 그리고 대다수의 Optical 부품들은 크기와 성능의 제약 때문에 내부실장이 불가능하며, (4) Packaging과 Global Interconnection이 결국 필요하며, (5) Design-to-Market이 약 18개월 정도이고, (6) 대상 부품은 어느 규모 이상의 시장을 가진 제품이어야 하며, (7) 기존의 Fab을 보유하지 않은 경우, 초기 투자비가 매우 높다는 것이다. SOC기술을 이렇게 평가해 본

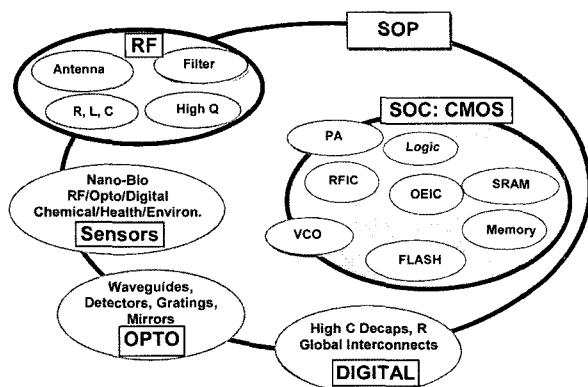


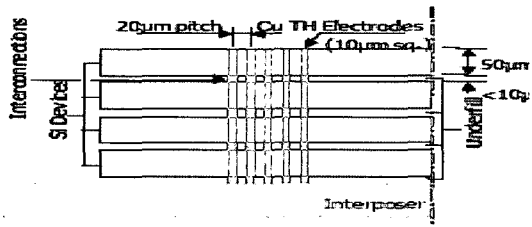
Fig. 2. SOP for System Integration of RF, Optical, Digital, Sensor and CMOS Components.

다면, 이 기술은 매우 긍정적인 면과 다른 SIP 및 SOP Packaging기술과 보완 발전해야 하는 2 가지 측면이 있다고 하겠다.

2.2 SIP 기술

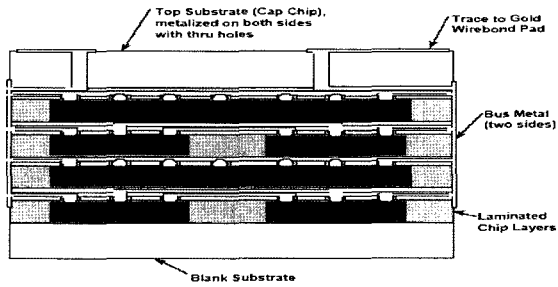
SIP (System-in-Packaging) 기술은 CMOS기술, Interposer 및 Substrate Wiring기술, Interconnection기술 및 Discrete 칩부품기술이 융합된 것이라고 볼 수 있다. 이 Packaging기술은 원래 IC와 SMD 칩부품으로써 Module을 소형화 하기위한 기술로써 출발하였으며, Chip Stacking, Package Stacking 및 Substrate Stacking 등과 같은 3D Stacking기술의 출현으로 Si 효율을 향상시키기 위한 기술로 더욱 발전하게 되었다. 그러나, 최근에는 두께를 줄이고 성능을 향상 시키기위한 내부실장부품 (Embedded Component)의 중요성도 점차 인식됨에 따라서 아시아와 유럽을 중심으로 내부실장부품을 포함한 Packaging기술도 SIP기술로 알려지게 되었다. 그러나, SOP기술은 Georgia Tech의 PRC가 10년전 부터 이러한 Thin/Thick Film 내부실장 부품기술을 이미 예측하고 제안한 기술이고 용어이기 때문에 SOP기술이라고 정의하는 것이 보다 타당하다고 하겠다. 현재는 국가 및 회사에 따라서 기술의 명칭에 대한 정의에 있어서 통상 SOP기술과 많은 혼란이 있으나, 본 논문에서는 Discrete부품이 아닌 Thin/Thick Film부품이 Dielectric Layer 내부에 실장되었는지 여부와 실장부품밀도가 높고 그에 따른 고도 기술이 요구된다면 SOP라고 정의한다.

Fig. 3은 SIP기술에서 대표적인 여러가지 3D Packaging 방법을 보여 주고 있다. (a), (b) 및 (c)는 Chip Stacking이 주요 목적이며 Chip사이에 중간 Interposer가 없이 Si-Thru Via로 Interconnection하는 방법(a)과 Thin Interposer를 활용하는 방법(b, c)을 보인다. Si-Thru Via기술은 최단거리 Interconnection 기술이고 최소의 Loop Inductance를 보장하므로 Signal Integrity가 좋아진다. 또한, 이 기술의 신뢰성도 이미 검증되었고, 일본의 여러회사가 이 기술을 활용하기위한 시도가 진행중이다. 이와 유사한 기술은 미국회사에서도 IP를 갖고 활용중에 있다. 그러나, Si-Thru Via기술은 실제 응용분야에서 여러가지 문

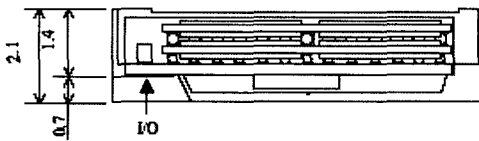


Cross sectional structure of 3D chip stacked I

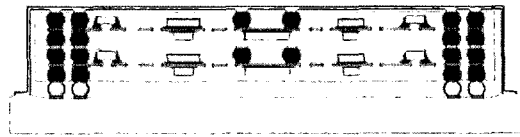
(a) ASET Si-Thru Via



(b) Irvine Sensors Neo Stacking



(c) Matsushita SD Card for 8-Memory Stack



(d) ASAT Twin Stack RF Module with Shielding

Fig. 3. Examples of 3D Stacking Technologies⁽¹⁻⁴⁾.

제점이 있다고 보인다. 즉, Si-Thru Via 기술을 Logic IC에 적용하는 경우에는 Thermal Management의 문제점과 Via 면적만큼의 Logic 면적감소와 Routing의 문제점이 예상되고, Memory Stacking에 적용하는 경우에는 고가공정을 적용하는 데 따른 가격상승의 문제점이 예상된다. 그러나, 고성능, 틈새시장 진출을 위하여 Logic과 Memory Chip의 Stacking 기술로써 Si-Thru Via 기술을 활용하는 연구가 일부 진행중에 있다. (b)와 (c)는 Flexible 혹은 Rigid Interposer를 활용하여 Chip을 Interconnection하고 Chip Stacking하는 경우를 보여 준다. (b)와 (c)의 구조상의 차이점은 Flex Interposer간의 연결을 Side Metallization으로 하느냐 혹은 Solder Ball 혹은 Bump로 하느냐에 있다. (b)의 경우, 더 높은 Si 효율을 가질 수 있으나 높은 가격이 예상된다. (d)는 매우 기본적인 SIP 기술의 한 예로써 Package Stacking을 보여 주고 있다. 여기에서, 한 개의 Package Substrate에는 Active IC와 Passive 칩부품이 표면실장된 후 Encapsulation된 것을 볼 수 있다. 이 외에도, Fig. 3에서는 보이지 않았지만, 대표적인 SIP 기술은 Wirebonding에 의한 Memory Chip Stacking이라고 할 수 있다. 이 기술은 기존의 Wire Bonder를 활용할 수 있기 때문에 저가격을 실현할 수 있

다는 장점이 있어서 Memory 업계에서 선호하는 방법이며, 현재 4~6층 Memory Chip Stack이 출시되었고, 향후에도 10~20층 이상까지도 발전할 것으로 예상된다, 기술적으로 볼 때 2가지의 단점이 있다 하겠다. 즉, Wire가 휘어서 연결되기 때문에 Processor와 Memory간에 저속의 신호교환 및 Noise가 발생하여 대용량, 초고속 신호 전달, 고주파화에는 적합하지 못하다는 점이 있고, 또 다른 한가지는 3D Chip Stacking 할 수 있는 Memory Chip의 숫자가 제한되어 있다는 점이다. PRC에서는 이러한 문제점을 개선하기 위한 Memory Stacking 기술의 한 가지로써, WOB (Wire-on-Bump) 기술과 BOF (Bump-on-Flex) 기술을 개발하고 있으며, 이 기술들은 기존의 Wirebonding에 의한 Memory Chip Stacking을 대체하는 것을 목적으로 하고 있으며, 이에 대한 기술적인 논의는 다른 기회에 설명하기로 한다.

Fig. 3에서 보는 바와 같이 SIP 기술은 내부 실장부품 (Embedded Components) 이 없고, IC Integration이 그 주요 목적이기 때문에, 고밀도, 고성능을 위한 System Integration에는 적합하지 못하다. 이것은 MCM (Multi-Chip Module)의 경우와 같다고 볼 수 있겠다. 따라서, SIP 기술은 미래의 Mega-Function Integration을 위한 핵심 기

술이 되기 보다는 중요한 주변기술로 인식할 수 있겠다.

2.3 SOP 기술

SOP기술은 Organic Core SOP기술과 Non-organic Core SOP기술의 2가지로 분류할 수 있다. 우선 Non-organic Core SOP기술은 Fig. 4에 보인 바와 같이 Si, Glass 혹은 High Modulus Core를 기판으로 활용하여, BCB 혹은 기타 Dielectric 층 내부에 Thin Film 부품 혹은 MEMS/NEMS부품을 내장한후, Module화 하거나 System Board화하는 실장기술이다. 이런 Non-organic Core SOP 기술로써, Philips, IMEC등은 기존의 Si Wafer Fab을 활용하여 Si-Core SOP 기술을 발전시키고 있으며, PRC는 High Modulus를 갖는 C-SiC Composite Core를 활용하는 기술을 개발하였다. 이 기술을 이동통신 부품에 응용하는 경우, 저가격, 얇은 두께, Warpage의 최소화등이 중요하다고 보인다. Thin Film으로 Passive를 실장하는 공정에서 수 μm 이내의 Warpage Control은 매우 중요하며, 공정완료후 Module 상태에서 Warpage가 50 $\mu\text{m}/\text{inch}$ 이상이면 Board 실장에 문제가 발생한다고 예측된다. 이러한 이유 때문에 High Modulus Core를 활용하거나, Rigid Working Plate 및 Double Sided Layer가 필요에 따라서 선택적으로 사용되기도 한다.

Organic Core SOP기술은 10년전에 그 개념이 PRC에 의하여 처음 제안된 이래, 최근 5년동안 미국과 일본을 중심으로 한국을 포함한 전 세계적으로 더욱 광범위하게 발전되고 있고, 2004년 부터는 이 기술을 적용한 일부 제품이 시장에 출시되기 시작하여 향후 고성장이 예상되는 분야이다. PRC에서 현재 진행되고 있는 이 기술의 내용을 Fig. 5에 개략적으로 제시하였다. 이 기술은 Organic

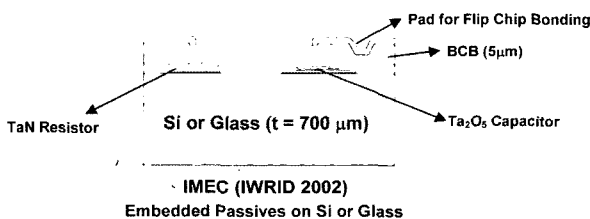


Fig. 4. An example of Si-Core SOP for IPD (Integrated Passive Device) by IMEC (5).

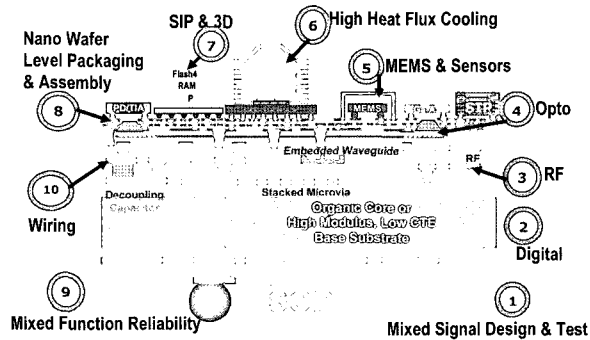


Fig. 5. 10 Key Elemental SOP Technologies at GT PRC.

혹은 Rigid Core 위에 여러층의 저유전율층이 형성되고, 그 내부에 Passive부품을 Organic Compatible Thin/Thick Film형태로 내부실장하는 동시에 필요에 따라서는 Active IC 및 Sensor등도 내부실장하는 기술이다. 내부실장이 가능한 부품으로써는 재료, 공정 및 System Design기술의 발전에 의존하겠지만, R, L, C, Digital 부품, RF부품, 광부품, IC, MEMS/NEMS 부품, Sensor등, 사실상 모든 부품을 종합적으로 System Integration할 수 있는 기술이라고 하겠다. 또 한가지 SOP기술의 장점은 앞서 열거한 모든 Packaging 기술들-표면실장기술, LTCC, SOC 및 SIP 등-각각의 장단점을 취사선택하고, 보완하며, 융합시킬 수 있다는 것이다. 그러나, 반대로 SOP 이외의 기술은 다른 기술을 포용, 융합하는 것이 불가능하며, 단독의 기술로써는 더더욱 불가능한 것이다. 따라서, SOP기술은 이들 기술을 어떻게 효율적으로, 또한 장점을 극대화하면서 Integration하느냐 하는 것도 하나의 과제가 된다. 다음 절에서는 SOP에 요구되는 10가지 요소 기술에 대하여 보다 구체적으로 설명하기로 한다.

3. SOP 연구에 필요한 10가지 요소기술

Fig. 5 에서 보인 바와 같이 Mega-Function을 가지는 SOP를 실현하기 위하여는 크게 10가지의 다양한 연구 분야가 있으며, 각각의 기술에 대하여 간단히 설명하기로 한다.

Mixed Signal Design분야는 고밀도화, 고주파화, 고속화한 Digital, RF 및 Optical 부품들간의 Signal Interface,

Signal Integrity, Electromagnetic Coupling Effect 등을 분석할 수 있는 Mixed Signal Design Tool을 개발하여 Design Cycle을 단축하고, 그 신뢰성을 높이는 연구가 진행되고 있다. 또한, SOP처럼 많은 부품이 고밀도 실장된 경우, Module의 Test를 신속 정확하게 하는 것이 필수적이며 그 한가지 방법으로 BIST (Built In Self Test) 방법을 사용한다. 이 방법은 고집적 Module 혹은 System내에 Extractive Sensing Element를 내장하여 MHz에서 GHz대역까지 다양한 영역에서 Module 및 System을 Test할 수 있는 기술이다.

Digital분야는 10 GHz 영역까지 Microprocessor의 Signal Integrity를 분석하고 Noise를 낮추기 위한 연구와, Digital Signal에 의한 Interference를 방지하기 위한 효과적인 EBG (Electromagnetic Bandgap) Structure의 연구도 진행중이다. RF분야는 Hand-set의 경우, 약 900 MHz에서 10 GHz까지의 Multi-band Frequency를 동시에 수행할 수 있고, 이에 필요한 RF Front End의 요소부품, 즉, Antenna, Filter, Tunable 부품, Balun, Diplexer 및 Matching Network 전체를 효과적으로 Design하고 내부 실장하는 것이 매우 중요하다. RF분야의 또 다른 중요한 연구분야는 Wireless Sensing과 RF-Optical System으로 판단된다.

Optics 분야는 Organic 재료를 주축으로 한 2가지의 주 연구분야가 있다. 첫째는, Chip-to-Chip Optical Interconnection이고, 둘째는 Radio-over-Fiber (ROF)이다. Microprocessor가 현재 3~4 GHz에서도 Noise문제로 인하여 매우 임계 상황에 도달하였는데 (물론 Multi-Core Design, 낮은 Inductance와 높은 Decoupling Design 등으로 완화시키고 있지만) 향후 10 GHz이상으로 Clock Speed가 빨라진다면 기존의 Cu Line으로는 한계에 도달할 수 있기 때문에 Channel당 10 Gbps가 가능한 Free Space Chip-to-Chip Optical Interconnection의 필요성이 대두되고 있다. 이렇게 Optical Interconnection이 될 경우, 이 거리는 불과 수 cm에 불과 하지만, Organic재료를 만들어 지는 Wave Guide, Grating, Mirror, Lens와 LD/PD, Laser Control/Transceiver IC 등의 Active 부품들을 정밀하게 내부실장하고 신뢰성을 확보해야 하는 등의 여러가지 기

술적인 문제가 대두 되고 있다. 두번째 응용분야인 ROF의 경우는 Chip-to-Chip Interconnection과는 반대로 약 20 km의 거리를 Optical Fiber를 통하여 60 GHz의 속도로 Data Transmission을 하여 WLAN 및 LMDS로 연결하는 기술이다. 이 기술은 Ultra-wideband (~1 GHz)이기 때문에 Signal Throughput과 그 속도가 현재보다 약 100배 빨라질 수 있는 기술이며, Low Loss 및 Radio Interference가 없는 장점을 갖고 있기 때문에 많은 관심을 가지고 있다.

MEMS 및 Sensor분야는 매우 복잡한 기술이 혼용되고 있는 분야이다. Bio-Nano기술, 화학기술, 유체역학기술, 각종 기계적 역학기술, MEMS기술, RF-Digital-Optical기술, 신뢰성기술, Test 기술, 재료 및 공정기술등이 그 예가 되겠다. 더욱이 이 기술의 적용을 난이하게 하는 것은 μm 혹은 nm 단위의 부품을 내부실장하고 기능시키는 것이다. 이 분야의 기술이 기타 SOP 요소 연구분야와 융합했을 때, 매우 다양하고 의미 있는 고부가가치의 극소형 System이 구현될 수 있다고 판단된다. 예를 들면, 의학, 환경 Monitoring, Security분야등이 있겠다.

Thermal Management는 System Module이 초소형화됨에 따라서 매우 중요한 분야로 부상하고 있다. Enterprise급 Microprocessor의 Power는 100~150 W에 달하고 있고, 이것이 앞으로 5~10년 후에 Laptop Computer등으로 이전된다면 상당한 수준의 Thermal Management 기술이 필요하게 된다. Hand-set도 이미 3~5 W에 도달하였고, Casing과 Board의 간격도 점차 좁아지고 있어서 효과적인 열방출의 문제점이 심화되고 있는 실정이다. 또한, Memory Chip Stacking과 Embedded Active, 고밀도로 내부 실장된 박막/후막 능동부품도 새로운 열원이 되고 있다. 이런 상황에서, Mobile System의 경우 50 °C 이하의 온도가 유지되어야 하므로 새로운 기술적 도전이 아닐 수 없다.

SIP 기술에 대하여는 이미 앞절에서 언급하였으므로 생략하기로 하고, 3D SOP에 대하여 간단히 기술하고자 한다. 3D SOP는 3D SIP와 SOP의 융합기술이라고 보며, 향후 Packaging기술의 핵심으로 주목 받을 것으로 예상된다. 이 기술은 Hand-set을 중심으로 하여, Mobile



Entertainment, Wearable Communicator등에 활용 될 것으로 예상되며, Tera-bit Computing, Space, Military 및 Security에도 광범위하게 응용될 것으로 예상된다. 여기에서, 특히 주목할 점은 Embedded IC 기술이다. 기술의 주요 흐름은 이미 IP화 되었지만, 보다 많은 연구가 필요할 것으로 판단된다.

Nano Wafer Level Packaging 및 Assembly분야는 고성능 Microprocessor의 고속 신호처리를 위한 Cu-Low K가 주요 쟁점으로 논란을 거듭하고 있고, Flip Chip의 Interconnection 방법으로써 Low Profile, Flex/Rigid하고 양호한 Bonding을 갖는 Interconnect 구조 및 재료 공정에 대한 연구가 지속적으로 진행되고 있다. PRC에서도 Interconnect의 Pitch가 100 μm 이하이고 크기가 $<30\sim 50 \mu\text{m} \times 10 \mu\text{m} \phi$ 인 Cu Bump를 개발하고 있다. 이러한 Interconnect구조의 연구개발에서 매우 중요한 사실은 Interconnect와 Mating되는 Substrate 사이의 True Point Analysis를 항상 선행해야 한다는 점이다. 이외에도, Re-workable Interconnect를 고려하는 것도 중요할 것이다. Underfill 재료와 공정도 매우 중요한 요소 연구 분야이다. PRC에서는 Wafer Level No-flow Underfill 재료 및 공정을 개발하였고, 이를 Embedded IC와 같은 기술개발에 응용하고 있다.

Substrate Wiring분야는 SOP기술의 기반기술이라 하겠다. Core재료로써는 FR-4, BT, C-SiC 및 Low CTE Core 재료등이 있겠고, Low Loss Dielectric Layer로써는 BCB (0.0008) 및 LCP (0.002)등이 많이 활용된다. 그러나, Epoxy와 ABF는 Loss가 0.02~0.03 정도이므로 성능보다는 가격이 우선 고려되는 부품에 활용된다. Dielectric층의 형성 방법은 Dry Film Lamination법, Liquid Spin Coating 법 및 Meniscus Coating법이 있다. Dielectric층의 두께는 재료와 공정에 따라서 5~50 μm 정도 범위에서 다양하게 조절이 가능하다. 이 기술 분야는 단위 부품으로 개발된 모든 부품들을 Dielectric층 내부에 실장할 수 있는 공정기술을 개발하여야 한다. 이에 관련된 기술들을 소개하자면, Tolerance를 최소화 하기위한 두께 및 칩수조절, 이종재료의 계면 접착력 제고, 특수한 경우의 Reaction Control, Via 및 Cavity형성기술 및 도금기술등

이 있겠다.

Mixed Function Reliability분야는 Modeling, Test, Failure Analysis등의 단계를 여러번 반복함으로써 SOP Module 혹은 System 의 Thermo-mechanical 및 전기적 신뢰성을 확보하기 위한 것이다. 그러나, 주지하는 바와 같이, SOP Module은 재료간의 CTE Mismatch가 매우 크고 (3~30 ppm/ $^{\circ}\text{C}$), 다수의 Thin/Thick Film 수동부품이 μm 혹은 nm 단위로 형성되어 있고, IC는 최대 1000 I/O 이상의 Bump를 가지며, Embedded IC일 경우에는 그 두께가 100 μm 이하가 되고 열집중 문제가 추가된다. Embedded Optical 부품중에서 Laser Diode의 열집중 문제도 심각할 수 밖에 없다. 2D, 3D Thermo-mechanical Analysis와 병행하여 Physics-Based Mapping법과 Moire Interferometry법을 활용하고, 이에 따른 공정개선을 한다면 해결 가능한 문제이겠지만, 이렇게 많은 Failure Source를 예측하고 완벽한 신뢰성을 부여하는 것은 매우 큰 과제라 하겠다.

마지막으로, 내부실장 수동부품인 Thin/Thick Film 형태의 Resistor, Capacitor 및 Inductor에 대하여 기술하기로 한다. Resistor공정은 Carbon과 Polymer의 복합재료를 사용하는 PTF (Polymer Thick Film)공정, Foil Transfer 공정, 그리고 Electroless공정 및 Sputter공정이 있다. 각 공정에 따라서 저항재료가 결정되고, 저항값의 범위가 정해진다. 이때 중요한 것은 공정의 정밀도에 따라서 변화하는 Tolerance값을 최소화 하는 것이 요구되나 현재까지의 기술수준으로 볼 때 약 10%정도로 알려져 있다. TCR은 100~150 ppm/ $^{\circ}\text{C}$ 이하로 조절이 가능하며, Power도 큰 문제가 없는 것으로 알려져 있다. 다만, PTF공정은 내습특성이 약하며 Delamination을 개선해야 하는 문제점이 있다. Capacitor는 RF용 Signal Matching Capacitor와 Decoupling Capacitor로 크게 분류된다. Signal Matching Capacitor의 요구 특성은 Capacitance는 대개 10 nF 이하이나, TCC < 30 ppm/ $^{\circ}\text{C}$ 및 Q = 200 정도로 매우 높은 안정성을 요구한다. Breakdown Voltage = 20~50V이고 Leakage Current는 1 $\mu\text{A}/\text{cm}^2$ 이하가 요구되고 있다. 그러나, Decoupling Capacitor는 높은 Capacitance (> 1 μF)가 필요하나, Tolerance = 15%, Q = 30 정도이

며, Breakdown Voltage 및 Leakage Current는 Signal Matching Capacitor와 유사하다고 본다. 이러한 Capacitor의 제 특성을 만족시키기 위하여는 다수의 재료와 공정이 필요하다. 이러한 재료를 보면, BT, BST등과 약간의 첨가제가 있으며, Ceramic-Polymer Composite 재료를 사용하기도 한다. 또한, Sol-gel, Hydrothermal, MOCVD 등의 방법들이 시도되고 있다. Inductor는 주로 Cu Coil Pattern을 활용하나, Inductance가 높은 경우에는 Ferrite Core 혹은 Polymer-Ferrite Core를 사용하기도 한다. Inductor는 고주파로 갈 수록 그 숫자가 점차 줄어들고 있으며, 주로 Cu Coil Pattern을 사용하기 때문에 Design 기술이 더욱 요구되는 분야이기도 하다.

4. 요약

본 논문에서는 Mega-Function System Integration을 추구하는 SOP기술의 필요성과 10가지 요소기술에 대하여 개략적으로 언급하였고, SOP기술은 SOC, SIP및 기타 부품 집적기술과는 경쟁관계가 아닌 융합 발전할 수 있는 기술이라는 점을 강조하였다. 또한, System Level Integration을 위한 SOP 요소기술들은 단순히 부품 혹은 Module level에 필요한 Design, 공정, 재료기술만이 아

니라, System의 전반적인 차원에서 분석, 해결되어야 하는 것을 알 수 있겠다. 따라서, 이제는 모든 요소기술을 종합적, 유기적으로 개발할 수 있는 연구개발전략이 매우 중요한 과제이다.

Acknowledgements

본 논문에 수록된 그림을 제공한 Georgia Tech의 PRC 연구원들에게 감사드립니다.

References

- (1) N. Tanaka et al., "Mechanical Effect of Cu-Through Vias in a 3D Die-Stacked Module", ECTC Conference, 2002.
- (2) K.D. Gann, "Neo-Stacking Technology", HDI Magazine, December, 1999.
- (3) K. Nishida et al., "Ultra-Thin and High Density Packaging using Both Sides Flip Chip Technology" Proceeding of IPACK 03, 1-8 (2003).
- (4) L.M. Higgins et al., "Thin Array Polymer Packaging for RF Modules", SMTA, 658-663 (2003).
- (5) E. Beyne, "Multilayer Thin Film Technology", IWORID 2002, Amsterdam, September, 2002.