

논문 2005-42SD-1-3

압저항 효과를 이용한 실리콘 압력센서 제작공정의 최적화

(Optimization on the fabrication process of Si pressure sensors utilizing piezoresistive effect)

윤 의 중*, 김 좌연**, 이 석태*

(Eui-Jung Yun, Jwayeon Kim, and Seok-Tae Lee)

요약

본 논문에서는 압저항 효과를 이용한 Si 압력센서 제작을 최적화 하였다. Si 압저항형 압력센서의 제작공정에 있어서 압저항과 알루미늄 회로 패턴 이후에 Si 이방성 식각을 통하여 수율이 개선되었다. 압저항의 위치와 공정 파라메터는 각각 ANSYS와 SUPREME 시뮬레이터를 이용하여 결정하였다. Boron-depth 프로파일 측정으로부터 p-형 Si 압저항의 두께를 측정한 결과 SUPREME 시뮬레이션으로부터 얻은 결과와 잘 부합하였다. 다이아프램을 위한 Si 이방성 식각 공정은 암모늄 첨가제 AP(Ammonium persulfate)를 TMAH(Tetra-methyl ammonium hydroxide) 용액에 첨가함으로써 최적화 되었다.

Abstract

In this paper, the fabrication process of Si pressure sensors utilizing piezoresistive effect was optimized. The efficiency(yield) of the fabrication process for Si piezoresistive pressure sensors was improved by conducting Si anisotropic etching process after processes of piezoresistors and Al circuit patterns. The position and process parameters for piezoresistors were determined by ANSYS and SUPREM simulators, respectively. The measured thickness of p-type Si piezoresistors from the boron depth-profile measurement was in good agreement with the simulated one from SUPREM simulation. The Si anisotropic etching process for diaphragm was optimized by adding ammonium persulfate(AP) to tetramethylammonium hydroxide(TMAH) solution.

Keywords : Piezoresistive. Pressure Sensor, TMAH, AP

I. 서 론

실리콘 압력센서는 산업용 공압 제어 분야의 압력 스위치, 자동차의 엔진 제어 및 가정용 전자 혈압계 등, 우리 주위에서 쉽게 접할 수 있는 제품에 사용되고 있다. 압저항형 압력센서는, 실리콘 기판을 에칭(etching) 공정에 의해 얇게 한 다이아프램 위에 확산 또는 이온

주입 공정으로 형성한 압저항(케이지 저항)의 압저항 효과를 이용하고 있다.

Si 압력센서의 제작공정은 일반적으로 압저항 형성공정 후 다이아프램 형성용 Si 이방성 식각공정이 수행되고, 그 뒤를 이어서 Al 금속패턴 형성공정이 이루어지는데 이 Al 금속패턴 형성공정에서 그 전에 제작된 얇은 다이아프램의 파괴가 진행되어 센서제작 효율성에 문제가 있다.^[1]

다이아프램 형성용 Si 이방성 식각공정에 현재 KOH, EDP, Hydrazine등의 Si 이방성 식각 용액이 많이 사용되어 왔다. 그러나 Hydrazine과 EDP 용액은 그들 용액 자체의 유독성과 불안정성으로 인하여 취급이 위험하며, KOH 용액은 유동전하에 의한 오염 때문에 접적화 공정에의 사용이 불가능하다. 그리고 NH₄OH를 기본으로 하는 암모니아계의 식각 용액은 이온에 의한 오염이 없고, 반도체 제조 공정에 사용이 가능하지만 우수한

* 정희원, 호서대학교 정보제어공학과
(Dept. of Information and Control Eng., Hoseo University)

** 정희원, 호서대학교 신소재공학과
(Dept. of Materials Eng., Hoseo University)

※ 본 연구는 2004년도 호서대학교 학술연구조성비 및 한국과학재단 지정 지역협력연구센터인 호서대학교 반도체 제조장비 국산화연구센터의 연구비 지원에 의해 연구되었습니다.

접수일자: 2004년10월5일, 수정완료일: 2004년12월31일

평탄도와 hillock이 없는 식각 표면을 형성하기가 어렵다.^[2-5] 이러한 용액들의 단점 때문에 유동전하의 오염이 적고, 반도체 제조 공정에 사용이 가능한 단결정 Si 이방성 식각에 관한 연구에 관심이 많아지는 추세이다. 또한, TMAH 용액은 암모니아 계열의 용액 중에서도 가장 안정되고 독성이 적으며 130°C 이하에서는 분해되지 않기 때문에 반도체 제조 공정에 사용하기 적합하다. 따라서 최근 유동전하의 오염이 없어 반도체 제조 공정에 사용이 가능한 Si 이방성 식각용액으로 TMAH 가 주목을 받고 있다.^[6,7]

본 논문에서는 압력센서 제작 핵심 공정인 (1) 압저항 형성공정, (2) 금속연결패턴 형성공정 및 (3) 다이아프램 형성용 Si 이방성 식각공정 각각을 최적화 하고 (3) 공정을 (1),(2) 공정 후에 수행하여 압력센서 제작공정의 효율을 개선함으로써 압저항 효과를 이용한 Si 압력센서의 제작공정을 최적화 하는 연구를 수행하였다.

II. 본 론

본 논문에서는 우선적으로 ANSYS^[8] 시뮬레이터 tool을 이용해 다이아프램 내의 최대응력분포 위치를 알아낸 후 그곳에 압저항이 위치하도록 설계하였다. 그림 1은 ANSYS(Version 5.6) 3차원 범용 유한요소해석 simulation을 이용하여 얻은 다이아프램 내부의 대표적인 응력분포를 나타내고 있다.

그림에서 최대 stress는 각변의 가장자리 중앙에서 나타나고, 네 모서리 부분에 최소의 stress가 존재함을 알 수 있다.

다이아프램의 면적과 두께에 따른 최대 stress 값 및 분포면적의 변화를 표 1에 요약하였다.

표 1로부터 다이아프램 면적이 증가 할수록 최대 stress 값과 최대 stress 분포 면적이 커지며, 400μm × 400μm의 경우 다이아프램 두께가 20μm으로 증가해도 최대 stress 값과 분포면적에 변화가 없음을 알 수 있다. 따라서 본 논문에서는 압력센서의 감도를 극대화시키기 위해 다이아프램의 구조를 400μm × 400μm × 20μm가 되도록 하고, 압저항을 다이아프램의 가장자리 변의 중앙에 위치 시켰다.

압저항의 최적구조는 다음의 식(1)으로부터 얻을 수 있다.

$$R = \frac{\rho l}{A} = \frac{\rho l}{w \cdot t} \quad (1)$$

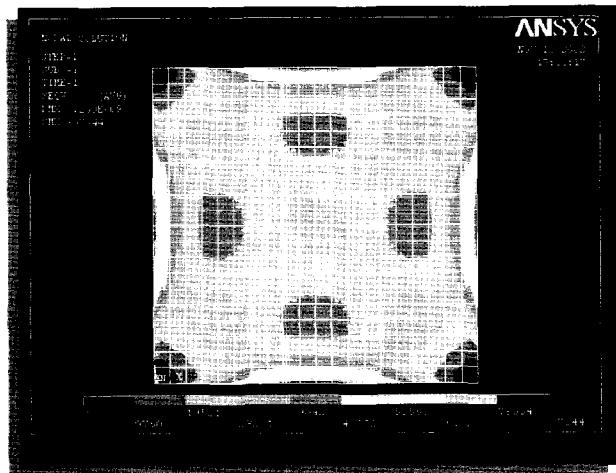


그림 1. ANSYS 시뮬레이션 결과 얻은 다이아프램 내의 응력분포(다이아프램 두께=20μm, 다이아프램 면적=400μm×400μm).

Fig. 1. Stress profile of diaphragm obtained from ANSYS simulation(diaphragm thickness=20μm, diaphragm area=400μm×400μm).

표 1. 다이아프램 면적 및 두께 변화에 따른 최대 stress와 최대 stress 분포면적의 변화.

Table 1. Variations of the maximum stress values and area with the area and thickness of diaphragm.

Area Thickness	Maximum stress value		Maximum stress area	
	(100×100)μm ²	(400×400)μm ²	(100×100)μm ²	(400×400)μm ²
10μm	16513	87844	20×2	80×4
20μm	4461	87844	30×4	80×4

여기서 ρ 는 제조되는 p-type Si의 비저항(측정된 값 = $1250 \times 10^{-4} \Omega \cdot \text{cm}$), R은 압저항의 저항으로 일반적으로 5kΩ을 사용하고, l, w, t는 각각 압저항의 길이, 폭, 두께를 나타낸다. t=1μm와 위에서 언급된 값을 사용하여 l/w = 4이 되도록 저항의 구조를 만들었다.

III. 실험

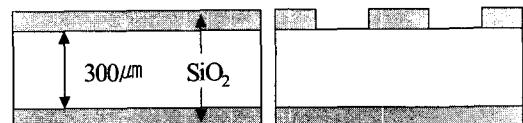
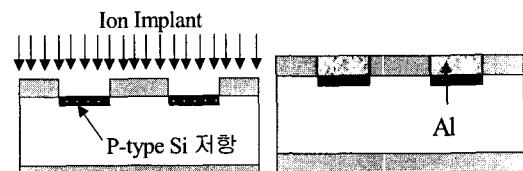
그림 2에 공정순서를 요약하였다. 그림에서 알 수 있듯이 본 논문에서는 다이아프램 형성용 Si 이방성 식각 공정을 압저항 및 Al 금속연결 공정 후에 수행하여 센서 제작공정의 효율을 개선하였다.

또한 실험에 사용된 장비 및 재료/공정조건은 표 2에

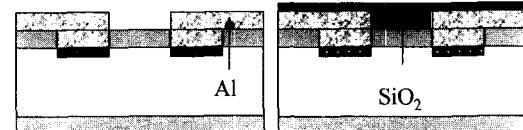
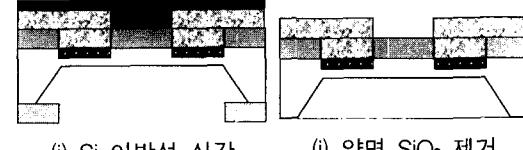
표 2. 중요한 실험조건

Table 2. Important experimental conditions.

Parameter	Equipments and Condition
Photoresist	AZ6612, 3500rpm, 30sec
Expose	Aligner EV620, 5sec
Develop	AZ300MIF : DI = 2 : 1, 60sec
SiO ₂ deposition	PECVD, 17min, 400°C
Al deposition	RF Magnetron sputter, 5min

(a) SiO₂가 증착된 웨이퍼 (b) 윗면 SiO₂ 패턴을 위한 photolithography

(c) 이온(Boron) 주입 및 drive-in (d) Ohmic contact

(e) Metal contact (f) 윗면 SiO₂ 증착(g) 밑면 SiO₂제거 후 TMAH로Si 식각 (h) 밑면 SiO₂ 증착 후 photolithography(i) Si 이방성 식각 (j) 양면 SiO₂ 제거그림 2. 본 논문에서 사용한 압력센서 공정순서.
Fig. 2. Process flow of fabrication of Si pressure sensors used in this paper.

요약하였다.

IV. 결 과

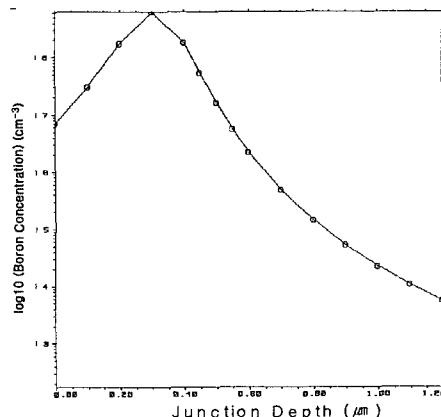
4.1 압저항 공정 최적화

1μm에 가까운 접합깊이를 갖는 p형 Si 압저항 형성을

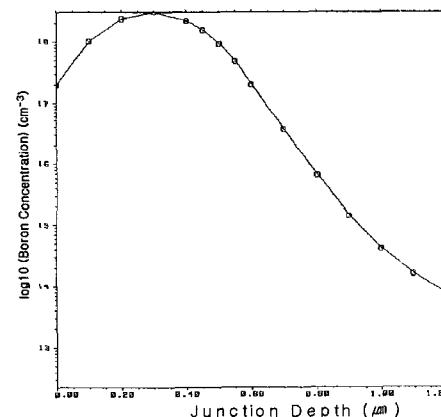
표 3. SUPREM 시뮬레이션 공정조건.

Table 3. SUPREM simulation process condition.

Process Item	Process Condition
Ion Implantation	Dose
	Energy
Drive-in	Annealing time
	Annealing temperature



(a) Just after implantation process



(b) After drive-in process

그림 3. SUPREM Simulation 수행 결과
얻어진 Si junction 깊이에 따른
Boron의 profile.Fig. 3. Variations of boron profiles with
Si junction depth obtained from
SUPREM simulation results.

위한 Boron 이온 주입공정의 최적조건을 얻기 위하여 1 차원적인 반도체 공정의 모의실험 소프트웨어인 stan-ford university process engineering models(SUPREM) 시뮬레이터를 사용하였다. 그 시뮬레이션 조건 및 시뮬레이션 결과 얻어진 Born 분포는 각각 표 3과 그림 3에 나타내었다. 그림 3에서 알 수 있듯이 10^{17} cm^{-3} 정도의 Boron 분포가 0.7μm 정도의 접합깊이를 가짐을 알 수

있다.

표 3의 조건을 사용하여 Boron 이온주입공정을 수행한 후 측정된 Boron 농도 분포는 그림 4에 나타나 있다. 측정결과 junction 깊이는 $0.7\mu\text{m}$ 이었다. 이는 시뮬레이션 값과 거의 일치함을 알 수 있었다. 따라서 SUPREM 시뮬레이터를 이용하여 Boron 이온 주입공정의 최적 조건을 선택하고 이를 사용함으로서 압저항 공정의 최적화를 수행하였다.

4.2 금속 contact 공정 최적화

그림 5는 압력센서 공정중의 Al 금속패턴 형성공정의 광학사진을 나타낸다.

photoresist(PR) 패턴을 먼저 형성시키고 Al 금속증착을 나중에 하여 PR 제거 시 PR위의 Al도 제거되는 lift-off 방법을 사용하여 불필요한 Al 식각용액의 사용

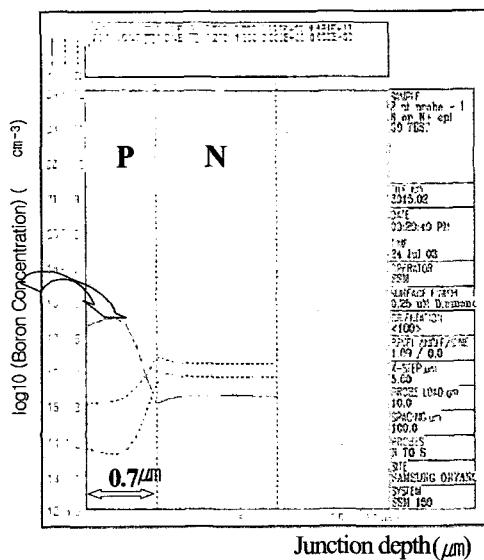


그림 4. Boron 깊이분포 측정.

Fig. 4. Measurement of boron depth profile.

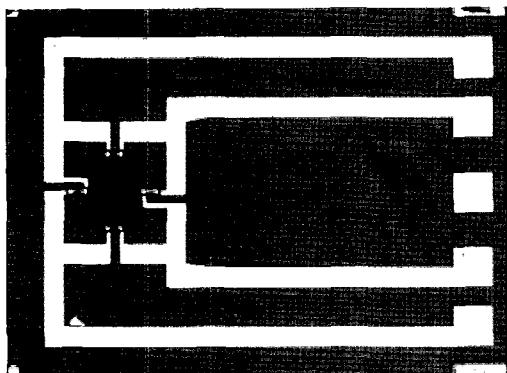


그림 5. Metal contact 공정(휘스톤 브리지모양).

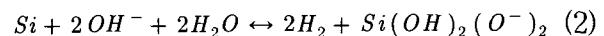
Fig. 5. Metal contact process (wheatstone bridge pattern).

을 배제하여 금속 contact 공정의 최적화를 수행하였다. Al을 증착시키기 위하여 RF magnetron sputter를 사용하였고, 두께는 α -step을 사용하여 측정하였다.

4.3 다이아프램 형성용 Si 이방성 식각공정 최적화

표 4의 조건을 사용하여 식각시간 변화에 따른 Si etch rate 특성을 얻었으며 이를 그림 6에 나타내었다. 또한 1시간의 식각시간이 경과한 후 사용된 첨가제 종류에 따른 Si 식각표면의 변화를 나타내는 SEM사진을 그림 7에 나타내었다.

그림 8에 나타나듯이 isopropyl alcohol(IPA)의 경우 첨가량이 많을수록 평탄도가 좋아지는 현상을 볼 수 있었고, AP의 경우도 깨끗한 표면 상태를 나타냄을 알 수 있다, 즉 첨가제를 사용함으로써 평탄도가 모두 개선됨을 알 수 있었다. 하지만 etch rate은 AP를 첨가하였을 경우만 개선되었다. 따라서 첨가제로 AP를 사용하기로 하였다. 이러한 AP의 역할은 다음과 같이 설명 될 수 있다. Si 식각은 아래의 반응식^{[9](2)}의



왼쪽에서 오른쪽으로 향하는 반응식이고, hillock의 형성은 그 반대이다. 즉 Si 식각과 hillock이 서로 동시에 일어나면서 식각과 hillock 형성의 경쟁이 일어나게 된다. AP를 첨가하면 TMAH 용액자체의 OH^- 기 함유량이 증가하게 되고 식각의 진행속도는 증가한다. 따라서 상대적으로 hillock 형성이 적어지게 되어 etching surface의 평탄도가 좋아지게 된다.^[7]

그림 8은 TMAH 10Wt.%에 10분 간격으로 (2.5/6)g의 AP를 첨가하면서 식각 후 얻은 다이아프램 형상을 나타내는 SEM사진이다. 그림 8은 그림 6-7의 결과 중 최적의 식각특성을 나타내는 공정을 사용하여 얻은 결과이다. 그림에 보이는 바와 같이 두께가 약 $20\mu\text{m}$ 이고 한변의 길이가 $100\sim400\mu\text{m}$ 인 정사각형 모양의 다이아프

표 4. 식각 시 사용된 실험조건

Table 4. Experimental conditions used to etch Si substrates.

Parameters	Condition
TMAH concentration	10Wt.%
Etch temperature	$80\pm2^\circ\text{C}$
IPA addition quantity	10, 20Vol.%
AP addition quantity	(2.5/6)g per every 10 min

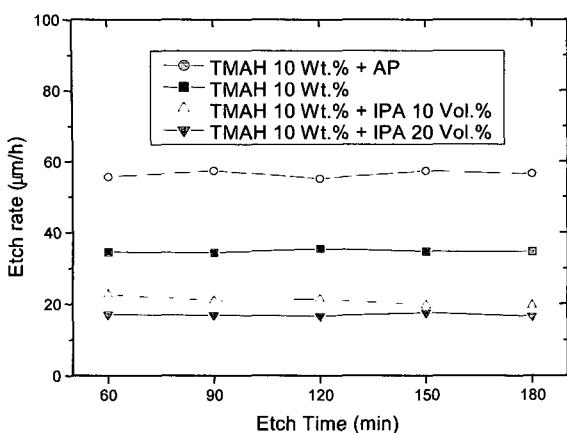


그림 6. TMAH 용액에 첨가제 사용에 따른 Si 식각율.
Fig. 6. Variation of the Si etch rate on additive solutions.

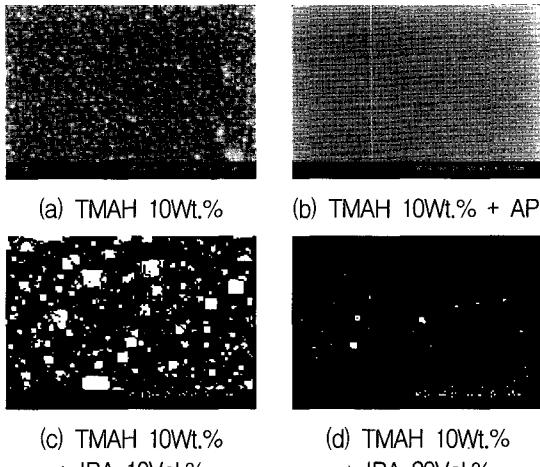


그림 7. TMAH 10Wt.%에 여러 가지 첨가제를 사용하여 1시간 동안 식각한 후의 Si 표면상태를 비교하기 위한 SEM 사진.
Fig. 7. SEM photography for comparison of the etched surface with various solutions added into TMAH 10Wt.%.

램을 성공적으로 제작하였다. 200개의 다이아프램을 제작하여 광학 현미경으로 조사한 결과 160개 이상의 다이아프램이 성공적으로 제작되어 80% 이상의 제작 효율을 얻었다.

V. 결 론

본 논문에서는 ANSYS 소프트웨어를 이용해 최대응력분포 위치를 알아낸 후 이곳에 압저항이 위치하도록 설계하였다. 또한 SUPREM 소프트웨어를 이용해 압저항의 깊이를 시뮬레이션 하여 최적구조의 압저항을 제작하였다. <100>방향의 n-type 실리콘을 TMAH/AP 수용액으로 식각하여 다이아프램을 제작하였다. 두께가

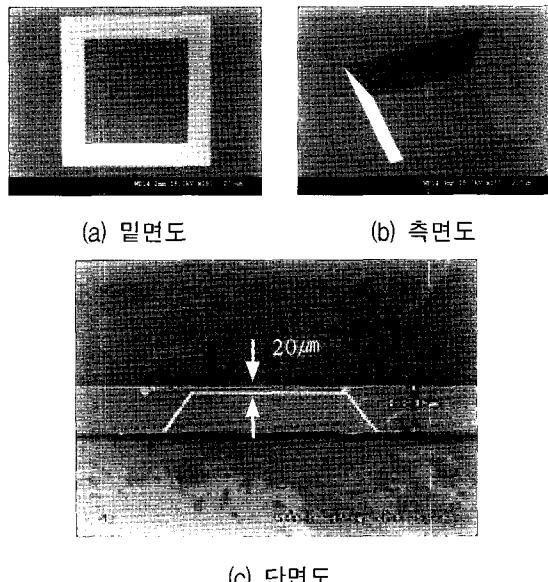


그림 8. 본 연구에서 제작된 다이아프램에 대한 SEM 사진.(TMAH 농도: 10Wt.%, 식각온도: 90°C, 다이아프램 면적 : $400\mu\text{m} \times 400\mu\text{m}$)
Fig. 8. SEM photograph of the diaphragm fabricated in this study.(TMAH concentration: 10Wt.%, etch temperature: 90°C, diaphragm area: $400\mu\text{m} \times 400\mu\text{m}$).

$20\mu\text{m}$, 면적은 $100 \times 100 \sim 400 \times 400\mu\text{m}^2$ 범위를 갖는 다이아프램과 $5\text{k}\Omega$ 의 저항값을 갖는 4개의 압저항으로 이루어진 실리콘 압저항 압력센서의 제작공정의 최적화에 대하여 연구하였다. 또한, 본 논문에서 제시한 공정을 사용하면 비용이 저렴한 Si wafer를 사용해도 다이아프램 두께를 $20\mu\text{m}$ 정도까지 조정가능하면서도 제작 효율을 80% 이상 높일 수 있다는 것을 확인하였다.

참 고 문 헌

- [1] 송승현, 최시영, 배혜진, “생체 in-vivo 측정용 실리콘 압저항형 압력센서의 제조와 그 특성,” 센서학회지, 10권, 3호, 148쪽, 2001.
- [2] H. Seidel, L. Csepregi, A. Heuberger, H. Baumgartel, “Nisotropic etching of crystalline silicon in alkaline solutions,” J. Electrochem. Soc., vol. 137, No. 11, p. 3612, 1990.
- [3] K. Petersen, “Silicon as a mechanical material,” Proc. IEE, vol. 70, p. 420, 1982.
- [4] B. K. Ju, B. J. Ha, C. J. Kim, M. H. Oh and K. H. Tchah, “Microscopy studies for the deep -anisotropic etching of (100) Si wafers,” Jpn. J. Appl. Phys., vol. 31, p. 375, 1992.
- [5] M. Mehregany and S. D. Senturia, “Anisotropic etching of silicon in hydrazine,” Sensor and Actuators, vol. 13, p. 375, 1988.

- [6] O. Tabata, R. Asahi, H. Funabashi, S. Sugiyama, "Anisotropic etching of silicon in (CH₃)₄NOH solutions", tech. Dig. IEEE int. conf. on Solid-State Sensors and Actuators, p. 811, 1991.
- [7] 윤의중, 김좌연, 이태범, 이석태, "압저항 압력센서 응용을 위한 TMAH/AP/IPA 용액의 실리콘 이방성 식각특성에 관한 연구," 전자공학회 논문지, 제41권 SD편 제3호, 9쪽, 2004.
- [8] Srivastava RK, "Characteristic of double gap SLIM under constant current excitation", Computer& Electrical Engineering, vol. 29, p. 317, 2003.
- [9] 정귀상, 박진성, "TMAH/IPA/pyrazine 용액에서의 전기화학적 식각특성," 센서학회지, 제7권 제6호, 426쪽, 1998.

저 자 소 개



윤의중(정회원)

1985년 2월 고려대 전자공학과 졸업(공학사).
1988년 12월 미국 University of Texas at Austin 대학원 전기공학과 졸업(공학석사)
1994년 5월 미국 University of Texas at Austin 대학원 전기공학과 졸업(공학박사).
1996년 9월 ~ 현재 호서대학교 정보제어공학과 부교수.



김좌연(정회원)

1981년 2월 고려대학교 재료공학과 학사.
1983년 8월 고려대학교 재료공학과 석사.
1983년 5월 ~ 1984년 5월 삼성전자 엔지니어.
1984년 6월 ~ 1996년 8월 한국전자통신연구원 선임연구원.
1995년 9월 Univ. of Maryland at College Park 재료공학과 공학박사
1996년 9월 ~ 현재 호서대학교 신소재공학과 부교수.



이석태(정회원)

1993년 2월 숭실대학교 전기공학과 학사.
1995년 2월 숭실대학교 전기공학과 석사.
2004년 현재 호서대학교 정보제어 공학과 박사과정.
2004년 현재 한국생산기술연구원 연구원