

논문 2005-42SD-1-4

단채널 GaAs MESFET 및 SOI구조의 Si JFET의 2차원 전계효과에 대한 해석적 모델에 대한 연구

(An analytical modeling for the two-dimensional field effect of a short channel GaAs MESFET and SOI-structured Si JFET)

최진욱*, 지순구*, 최수홍*, 서정하*

(Jin-Wook Choi, Soon-Koo Ji, Soo-Hong Choi, and Chung-Ha Suh)

요약

본 논문에서는 단 채널 GaAs MESFET과 SOI-구조의 Si JFET가 갖는 전형적인 특성: i) 드레인 전압 인가에 의한 문턱전압 roll-off, ii) 포화영역에서의 유한한 ac 출력저항, iii) 채널길이에 대한 드레인 포화전류의 의존성 약화, 등을 통합적으로 기술할 수 있는 해석적 모델을 제안하였다. 채널 방향의 전계 변화를 포함하는 새로운 형태의 가정을 기존의 GCA와 대체하고, 채널의 전류 연속성과 전계-의존 이동도를 고려하여, 공핍영역과 전도 채널에서 2차원 전위분포 식을 도출해 내었다. 이 결과, 문턱전압, 드레인 전류의 표현 식들이 동작전압 전 구간의 영역에 걸쳐 비교적 정확하게 도출되었다. 또한 본 모델은 기존의 채널 shortening 모델에 비해 Early 효과에 대한 보다 더 적절한 설명을 제공하고 있음을 보이고 있다.

Abstract

In this paper, it is attempted to provide a unified explanation for typical short channel GaAs MESFET's and SOI-structured Si JFET's behaviors such as: i) drain voltage-induced threshold voltage roll-off, ii) finite output ac resistance beyond the saturation, and iii) weak dependence of the drain saturation current on the channel length. Replacing the conventional GCA with a new assumption that is suggested in order to include the longitudinal field variation, and taking into account the channel current continuity and the field-dependent mobility, we can derive the two-dimensional potential in both depletion region and undepleted conducting channel. Obtained expressions for the threshold voltage and the drain current will be considerably accurate over the entire operating region. Moreover, in comparison with the conventional channel length shortening models, our model seems to be more reasonable in explaining the Early effect.

Keywords: short channel GaAs MESFET

I. 서론

최근 GaAs를 기반으로 하는 집적회로가 VLSI 영역에서 점차 부각되고, 이에 따라 보다 고집적화 및 고속화에 대한 요구에 부응하기 위해 MESFET 소자의 단채널 효과(short channel effect)에 대한 관심이 집중되고 있다. 일반적으로 FET소자는 게이트전압에 의한 채널

변조를 위한 전계와 드레인 전압에 의한 캐리어 drift를 위한 전계가 그 구조상 거의 서로 수직적으로 인가되므로 최소한 2차원적으로 동작된다. 따라서 채널 내의 전위분포 도출은 2차원 Poisson 방정식에 의존되며 이 방정식은 또한 채널 전류의 연속조건 및 전계의 존재성의 캐리어 이동도를 함께 만족하여야 하므로 그 풀이가 간단히 얻어질 수 없다. 이 때문에 기존 모델에서 GCA(gradual channel approximation)를 적용하여 Poisson방정식을 준 2차원적으로 취급하고 있다. 그러나 GCA는 근본적으로 채널 길이가 짧아지면 비교적 낮은 드레인 전압의 인가에서도 오차를 초래하므로 현대의 단 채널 소자의 특성 도출에는 적용될 수 없어 단

* 정회원, 홍익대학교 전자전기공학부
(Dept. of Electrical and Electronic Eng., Hongik Univ.)
※ 본 연구는 홍익대학교 2003년도 교내연구비에 의해 지원되었음.
접수일자: 2004년3월10일, 수정완료일: 2005년1월10일

채널 소자에 대한 모델들이 제시되어 왔다^{[1]-[5]}. 수치 해석적 모델^{[6]-[8]}은 그 정확성에도 불구하고 긴 계산 소요 시간 및 소자 동작의 구체적 표현의 결여 등으로 그동안 다양한 해석적 모델들이 제안되었다. MESFET의 단채널 효과는 드레인 전압에 의한 문턱전압의 roll-off 효과와 드레인 포화전류의 드레인 전압 의존성, 즉 Early 효과로 크게 구분될 수 있다. 현존 이론은 drain-induced threshold voltage roll-off 효과를 DIBL (drain induced barrier lowering) 효과로 설명하고 있다^[9]. 즉, 캐리어가 소오스에서 주입되어 드레인 방향의 채널로 이동하는 데에 존재하는 전위장벽이 드레인 전압의 증가로 낮아져 문턱전압이 낮아진다고 보고 있다. 그러나 채널 전 영역이 공핍된다는 가정하에 2차원 Poisson 방정식을 풀어 전위장벽을 도출하는 이 모델은 드레인 전압이 증가하면 타당성을 잃게 되므로 매우 작은 드레인 전압에서만 적용될 수 있다. 한편, 기존의 이론은 Early 효과에 대한 설명에서 드레인 근방의 채널이 완전히 pinch-off되어 유효채널길이가 감소되고, 이 때문에 드레인 포화전류가 증가한다고 보고 있다^{[10]-[11]}. 그러나 이 모델에서 pinch-off 채널 위에 있는 공핍영역에서의 2차원 Poisson 방정식의 도출은 불명료하거나 지나치게 단순화되어 있을 뿐 아니라, pinch-off영역에서 캐리어가 포화속도로 drift된다는 물리적 설명에는 상당한 무리가 지적될 수 있다. 이러한 제 문제를 해석적 모델로 극복하는 데는 한계가 있다고 보아, 최근 준 실험적 모델들이 주로 실용적 목적을 위해 제시되었다^{[12]-[15]}. 그러나 이들 모델들은 도입된 여러 fitting 파라미터의 값들이 소자 제조 공정이 바뀌면 상당부분 수정되어야 하므로 임시방편적인 한계를 갖고 있다. 앞서 언급한 제 문제의 해결책은 다음과 같이 요약될 수 있다. 드레인 전압에 따라 변하는 채널내의 전위분포를 보다 합리적으로 도출하기 위해서는 기존의 GCA를 대체하는 적절한 가정이 제시되어야 하며, 이때의 가정은 해석적 모델 수립을 위해서는 다소 무리한 단순화일 수는 있지만 기존의 GCA보다는 훨씬 유연하여, 상당히 큰 드레인 전압이 인가된 경우에서도 별 무리 없이 수용될 수 있는 가정이어야 할 것이다. 이 결과로 도출된 전위 분포 식을 토대로 하여 캐리어 이동도의 전계 의존성을 포함하는 채널 전류 연속조건을 만족하도록 드레인 전류를 도출해야 할 것이다. 이상의 취지에 맞추어 본 모델은 새로운 가정을 제안하였으며, 그 결과, 단채널 소자가 갖는 전형적인 특성: i) 드레인 전압에 기인한 문턱전압의 roll-off, ii) 채널 ac 출력저항의 유한

성 및 드레인 전압 의존성, iii) 포화전류의 채널길이에 대한 의존성의 약화, 등을 포괄적으로 설명할 수 있는 모델이 수립되었다. 본 논문의 구성은 다음과 같다. 제 I 장에서는 서론, 제 II 장에서는 모델의 기본구성, 제 III 장에서는 본 모델의 시뮬레이션 예시 및 검토, 마지막으로 제 IV 장에서 결론을 요약하였다.

II. 모델의 기본 구성

모델링하고자 하는 자기정렬(self-aligned)구조인 n-채널형 GaAs MESFET의 단면도를 그림 1에 도시하였다. 그림에서 x 축은 게이트/채널 접합면에서 채널 쪽으로의 방향을, y 축은 소오스 쪽에서 드레인 쪽 방향을 나타낸다. L 및 Z 는 게이트 길이 및 폭이며 b 는 금속학적 채널 폭이다. V_{GS} 및 V_{DS} 는 각각 소오스를 기준으로 한 게이트 전압 및 드레인 전압을 나타내며, 게이트-채널간 쇼트키 접합면의 임의의 위치에서도 순방향 바이어스가 걸리지 않도록 $V_{DS} \geq 0$ 및 $V_{GS} \leq 0$ 의 값이 인가된다. GaAs MESFET 또는 Si JFET의 정특성에 대한 해석은 공핍근사를 고려한 아래의 Poisson 방정식의 검토로부터 시작될 수 있을 것이다.

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = \begin{cases} -\frac{qN_D}{\epsilon_s}, & 0 \leq x \leq h(y), \\ 0, & h(y) \leq x \leq b. \end{cases} \quad (1)$$

여기서, $\psi(x, y)$ 는 채널내 위치 (x, y) 에서의 전위, q 는 전자 전하량의 크기, ϵ_s 는 채널 반도체의 유전율, N_D 는 채널의 도핑 농도로서 편의상 균일한 값을 가정하였다. $h(y)$ 는 채널 위치 y 에서의 공핍층 폭을 나타낸다. 식(1)은 다음의 경계조건을 만족해야 할 것이다.

$$\psi(0, y) = V_{GS} - V_{bi} = V_{GS}', \quad (2)$$

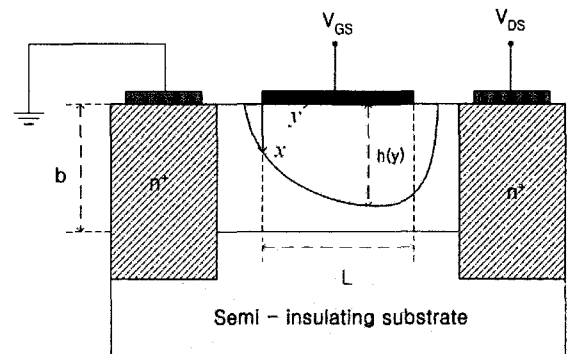


그림 1. 본 모형화의 MESFET 단면도.
Fig. 1. Cross-section of MESFET to be modeled.

$$\Psi(h(y)^-, y) = \Psi(h(y)^+, y), \quad (3)$$

$$\left. \frac{\partial \Psi}{\partial x} \right|_{x=h(y)^-} = \left. \frac{\partial \Psi}{\partial x} \right|_{x=h(y)^+}, \quad (4)$$

$$\left. \frac{\partial \Psi}{\partial x} \right|_{x=b} = 0, \quad (5)$$

$$\Psi(b, y) = V_{GS}' + V(y), \quad (6)$$

여기서 V_{bi} 는 게이트/채널 접합의 built-in 전압이다. 통상의 MESFET 모델에서는 공핍층과 전도성 유효 채널에서 GCA ($\partial^2 \Psi / \partial y^2 \approx 0$)를 적용하여 $\Psi(x, y)$ 는 다음과 같이 도출된다.

$$\Psi(x, y) \approx \begin{cases} V_{GS}' - \frac{qN_D}{2\epsilon_s} x^2 - xE_s(y), & 0 \leq x \leq h(y), \\ V_{GS}' + V(y), & h(y) \leq x \leq b, \end{cases} \quad (7)$$

단, $E_s(y) = -\partial \Psi / \partial x|_{x=0^+}$ 이다. 따라서,

$$h(y) \approx -\frac{\epsilon_s}{qN_D} E_s(y) \approx \frac{b}{\sqrt{V_p}} \sqrt{V(y)}, \quad (8)$$

단, $V_p = qN_D b^2 / (2\epsilon_s)$ 이다.

그러나 상기 식(7)과 (8)들은 단 채널 소자에 다소 큰 드레인 전압이 인가되는 경우에 부정확해진다. 즉, 식(8)은 $h(y) \leq b$ 의 기본적인 조건이 만족되는 범위가 $V(y) \leq V_p$ 로 제한하는 단점을 갖고 있다. 본 모델에서는 보다 적절한 $\Psi(x, y)$ 및 $h(y)$ 의 도출을 위해 다음을 고려하여

$$\frac{\partial^2 \Psi}{\partial y^2} = \begin{cases} 0, & x=0, \\ \frac{d^2 V}{dy^2}, & x=b, \end{cases} \quad (9)$$

기존의 GCA을 대신하는 다음 가정을 도입하기로 하자.

$$\frac{\partial^2 \Psi}{\partial y^2} \approx \frac{\Psi(x, y) - V_{GS}'}{V(y)} \frac{d^2 V}{dy^2}, \quad 0 \leq x \leq b. \quad (10)$$

그러면 다음의 전위 표현 식을 얻게 된다.

$$\Psi(x, y) \approx \begin{cases} V_{GS}' - \frac{qN_D}{\epsilon_s} \frac{1}{\lambda^2} [1 - \cos(\lambda x)] \\ - \frac{1}{\lambda} E_s(y) \sin(\lambda x), & 0 \leq x \leq h(y), \\ V_{GS}' + V(y) \cos[\lambda(x-b)], & h(y) \leq x \leq b. \end{cases} \quad (11)$$

단, $\lambda(y)$ 는 다음과 같이 정의되었다.

$$\lambda(y) = \sqrt{\frac{1}{V(y)} \frac{d^2 V}{dy^2}}. \quad (12)$$

경계조건 식(3)과 (4)를 대입하면 다음을 얻게 된다.

$$-\frac{qN_D}{\epsilon_s} \frac{1 - \cos[\lambda h(y)]}{\lambda^2} - \frac{1}{\lambda} E_s(y) \sin[\lambda h(y)] \quad (13)$$

$$= V(y) \cos[\lambda b - \lambda h(y)],$$

$$-\frac{qN_D}{\epsilon_s} \frac{\sin[\lambda h(y)]}{\lambda} - E_s(y) \cos[\lambda h(y)] \quad (14)$$

$$= \lambda V(y) \sin[\lambda b - \lambda h(y)].$$

식(13)과 (14)를 연립하면 다음을 얻게 된다.

$$1 - \cos[\lambda h(y)] = \frac{\epsilon_s}{qN_D} \lambda^2 V(y) \cos(\lambda b). \quad (15)$$

식(15)를 y 에 대해 미분하고 $\lambda(y)$ 의 y 에 대한 의존성을 무시하면 다음을 얻게 된다.

$$F(y) \equiv \frac{dV}{dy} \approx \frac{qN_D}{\epsilon_s} \frac{\sin[\lambda h(y)]}{\lambda \cos(\lambda b)} \frac{dh}{dy}. \quad (16)$$

단, λ 는 $\lambda(y)$ 의 채널 구간에 걸친 평균값으로서 다음과 같이 제안되었다.

$$\lambda = \sqrt{\frac{F_L^2 - F_0^2}{V_L^2 - V_0^2}}. \quad (17)$$

여기서, $V_0 = V(0)$, $V_L = V(L)$, $F_0 = F(0)$, 그리고 $F_L = F(L)$ 이다.

드레인 전압 V_{DS} 이 작거나 채널 길이 L 이 충분히 길어서 $\lambda h(y) \approx 0$ 인 경우, 식(15)는 기존의 식(8)과 일치하며 식(16)은 식(8)을 y 에 대해 미분한 결과와 일치하게 된다. 한편, 드레인 전압이 크거나 채널길이 L 이 짧은 경우에는, 식(15)는 매우 큰 값의 $V(y)$ 에서도 $h(y) \leq b$ 가 만족하며, 식(16)은 $F(y)$ 가 큰 영역에서 $dh/dy \approx 0$ 이 됨을 보이고 있다. 따라서, GCA를 대신한 식(10)의 가정의 도입이 채널 내의 2차원 전계효과를 고려하는 데에 상당한 타당성과 효율성을 제공함을 보이고 있다.

한편, 식(11)의 아래 부분, 즉, 전도성 채널 내에서의 전위 분포 식을 y 에 대해 미분하면 다음을 얻게 된다.

$$\frac{\partial \Psi}{\partial y} = F(y) \cos[\lambda(b-x)]. \quad (18)$$

채널 전류는 주로 전자의 drift에 기인하고, x 방향으로

의 전위변화가 작은 공핍되지 않은 전도성 채널 내에서의 전자 이동도 $\mu_n(x, y)$ 가 $\mu_n(x, y) \approx \mu_n(y)$ 으로 표시된다고 가정할 수 있으므로, 채널 위치 y 에서의 채널전류 $I_D(y)$ 는 아래와 같이 표시될 수 있다.

$$\begin{aligned} I_D(y) &= ZqN_D\mu_n(y) \int_{h(y)}^b \frac{\partial \Psi}{\partial y} dx \\ &= ZqN_D\mu_n(y) \frac{\sin[\lambda b - \lambda h(y)]}{\lambda} \frac{dV}{dy}. \end{aligned} \quad (19)$$

식(19)에 식(16)을 대입하면 다음을 얻게 된다.

$$I_D(y) = ZbqN_D\mu_n(y) \frac{dU}{dy}. \quad (20)$$

단,

$$\frac{dU}{dy} = \frac{V_p}{\lambda^2 b^3} \left\{ \frac{\cos[\lambda b - 2\lambda h(y)]}{\cos(\lambda b)} - 1 \right\} \frac{dh}{dy}. \quad (21)$$

식(20)의 양변을 $\mu_n(y)$ 으로 나누고 y 에 대해 $y=0$ 에서 $y=L$ 까지 적분하고, 채널 전류의 연속성을 고려하고, 식(21)의 적분 식

$$\begin{aligned} U(y) &= \int_0^{h(y)} \frac{dU}{dh} dh \\ &= \frac{V_p}{\lambda^2 b^3} \left\{ \frac{\sin(\lambda b) - \sin[\lambda b - 2\lambda h(y)]}{2\lambda \cos(\lambda b)} - h(y) \right\}. \end{aligned} \quad (22)$$

을 이용하면, 위치 y 에 무관한 드레인 전류 I_D 의 표현식은 다음과 같이 도출될 수 있다.

$$I_D = \frac{ZbqN_D\tilde{\mu}_n}{L} (U_L - U_0). \quad (23)$$

단, $U_0 = U(0)$, $U_L = U(L)$ 이고, $\tilde{\mu}_n$ 은 다음과 같이 정의된 유효 이동도이다.

$$\tilde{\mu}_n = \frac{L}{\int_0^L \frac{dy}{\mu_n(y)}}. \quad (24)$$

캐리어 이동도의 전계 의존성은 매우 복잡하여 다양한 형태의 식이 제안되고 있다. 그 중, 본 논문에서는 단순화를 위해 다음의 널리 인용되는 식[16]을 이용하자.

$$\mu_n(y) \approx \frac{\mu_o}{\left\{ 1 + \frac{\mu_o}{v_{sat}} F(y) \right\}^{1/\alpha}}. \quad (25)$$

여기서 μ_o 와 v_{sat} 는 전자의 저 전계 이동도 및 포화속도

이며, α 는 1에서 2 사이의 값이 제안되고 있다. 전자의 경우 $\alpha \approx 2$ 가 더 적합하나 수식의 단순화를 위해 $\alpha \approx 1$ 을 적용하자. 식(25)를 식(19)에 대입하면 다음을 얻게 된다.

$$F(y) = \frac{F_C \lambda b i_D}{\sin[\lambda b - \lambda h(y)] - \lambda i_D}. \quad (26)$$

단, $F_C = v_{sat}/\mu_o$ 이고 $i_D = I_D/(ZqN_D v_{sat})$ 이다. 식(25)를 식(24)에 대입하면, 다음의 $\tilde{\mu}_n$ 을 얻게 된다.

$$\tilde{\mu}_n \approx \frac{\mu_o}{1 + \frac{\mu_o}{L v_{sat}} (V_L - V_0)}. \quad (27)$$

채널 길이 L 이 매우 짧은 소자의 경우에 대해 식(27)이 $\tilde{\mu}_n \approx v_{sat}L/(V_L - V_0)$ 로 되면, 드레인 전류는 다음과 같이 근사적으로 표현될 것이다.

$$I_D \approx ZbqN_D v_{sat} \frac{U_L - U_0}{V_L - V_0}. \quad (28)$$

식(15), (22), (26)에 각각 $y=0$ 및 $y=L$ 을 대입한 식들과 식(17), (23), 및 (27)을 연립하면, λ , h_0 , h_L , F_0 , F_L , U_0 , U_L , $\tilde{\mu}_n$, I_D 들이 V_{GS} , V_{DS} , N_D , b , 및 L 의 함수로 도출될 수 있다.

드레인 전압 V_{DS} 이 그리 크지 않은 경우, 다음 근사식을

$$\cos \theta \approx 1 - \frac{1}{2} \theta^2, \quad \sin \theta \approx \theta - \frac{1}{6} \theta^3, \quad (29)$$

적용하여, 식(15), (22), 및 (26)은 각각 아래와 같이 근사적으로 표현될 수 있다.

$$h(y) \approx \frac{b}{\sqrt{V_p'}} \sqrt{V(y)}, \quad (30)$$

$$\begin{aligned} U(y) &\approx V_p' \frac{h^2(y)}{b^2} - \frac{2}{3} \frac{h^3(y)}{b^3} \\ &\approx V(y) - \frac{2}{3} \frac{1}{\sqrt{V_p'}} V^{3/2}(y), \end{aligned} \quad (31)$$

$$F(y) \approx \frac{F_C i_D}{1 - \frac{\sqrt{V(y)}}{\sqrt{V_p'}} - \frac{\eta}{3} \left(1 - \frac{\sqrt{V(y)}}{\sqrt{V_p'}} \right)^3 - i_D}. \quad (32)$$

단, η 와 V_p' 는 다음과 같이 정의되었다.

$$V_p' = \frac{1}{1 - \eta} V_p. \quad (33)$$

$$\eta = \frac{1}{2} \lambda^2 b^2, \quad (34)$$

식(30)에 $h(y) \leq b$ 을 고려하면 다음을 얻게 된다.

$$V(y) \leq V_p' \tag{35}$$

기생 소오스 저항 R_s 및 드레인 저항 R_D 를 고려하면, 진성(intrinsic) 소오스 전압 $\Psi(b, 0)$ 및 진성 드레인 전압 $\Psi(b, L)$ 은 각각 다음과 같이 표시될 수 있다.

$$\Psi(b, 0) = V_{GS}' + V_0 = R_s I_D \tag{36}$$

$$\Psi(b, L) = V_{GS}' + V_L = V_{DS} - R_D I_D \tag{37}$$

자기 정렬 구조이고 대칭적 구조의 소오스 영역과 드레인 영역이 매우 무겁게 도핑된 경우, R_s 와 R_D 는 소오스 및 드레인 금속 전극과 n^+ 영역간의 오음성 접촉저항이 주된 값이 되며 $R_s \approx R_D$ 가 될 것이다. 따라서,

$$V_{GS} \geq V_{bi} - V_p' + R_s I_D \tag{38}$$

$$V_{DS} \leq V_{GS} - V_{bi} + V_p' + R_D I_D \tag{39}$$

threshold 근방에서는 $I_D \approx 0$ 이므로 이를 식(38)에 대입하면 문턱전압 V_T 는 다음과 같이 얻어질 것이다.

$$V_T = V_{bi} - V_p' \tag{40}$$

식(40)의 V_T 표현 식은 η 의 드레인 전압 및 게이트 전압에 대한 의존성을 갖고 있으며 드레인 전압의 증가에 따라 η 가 1(보다 정확하게는 $\pi^2/8$)에 접근하면 V_p' 이 매우 큰 값으로 되어 문턱전압 V_T 가 급격하게 roll-off됨을 나타낸다. 따라서, 식(8)을 기본으로 한 기존 모델과는 달리, 식(39)의 조건식이 매우 큰 V_{DS} 값에서도 충족됨을 알 수 있다.

III. 시뮬레이션 예시 및 검토

상기 도출된 식들에 따라, F_0, F_L, η, h_0, h_L , 문턱 전압 V_T , 드레인 전류 I_D 를 계산하여 그림 3~10에 도시하였다. 고려되는 식들이 비선형 식들이므로 iteration 방법을 써야 하며, 그림 2에 계산 흐름도를 도시하였다. 다음의 값들, $\epsilon_s = 13.2 \times 8.85 \times 10^{-14} [F/cm]$, $v_{sat} = 1 \times 10^7 [cm/sec]$, $\mu_o = 8500 [cm^2 V^{-1} sec^{-1}]$, $V_{bi} = 0.6 [V]$, $\alpha \approx 1$ 및 $R_s \approx R_D = 10 [\Omega]$ 을 사용하였다. 그림 3 및 4에 각각 대표적 장 채널 및 단 채널 소자에 대한 $I-V$ 특성의 도출 결과를 도시하였다. 그림 5 및 6에는 장 채널 및 단 채널 소자에 대한 η 의 드레인 전압 의존성을 게이트 전압을 파라미터로 하여 도시

하였다. 그림 7 및 8에는 소자의 h_0 및 h_L 의 V_{GS} 및 V_{DS} 에 대한 변화를 도시하였다. 그림 9 및 10에는 장 채널 및 단 채널 소자에 대해 F_L 의 V_{GS} 및 V_{DS} 에 대한 변화를 도시하였고, 그림 11에는 η 의 L 및 b 에 대한 의존성을 도시하였다. 그림 12 및 13에는 문턱전압 V_T 의 드레인 전압 V_{DS} , 채널길이 L 및 채널 도핑 농도 N_D 에 대한 변화를 도시하였다. 그림 3 및 4는 드레인 전류의 포화 특성을 보이고 있으며, 그림 4의 소자 채널길이가 그림 3의 소자 채널길이의 1/10이지만 포화 전류는 거의 비슷한 값을 보이고 있어 단 채널 소자의 약한 채널길이 의존성을 보이고 있다. 그림 5는 2차원 전개효과를 나타내는 파라미터 η 가 드레인 전압이 증가하면 커짐을 보이고 있다. 그림 12는 채널 길이가 짧을수록 드레인 전압에 의한 문턱전압의 roll-off 특성이

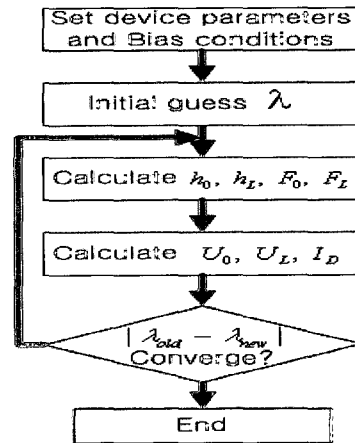


그림 2. 본 모델의 계산 흐름도.
Fig. 2. Calculation flow chart for this model.

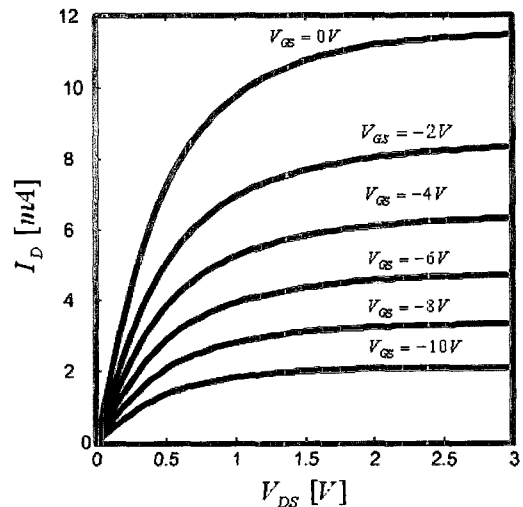


그림 3. 장채널 MESFET의 전류-전압 특성
Fig. 3. I-V characteristics for a long channel MESFET. ($N_D = 1 \times 10^{17} cm^{-3}, L = 5 \mu m$)

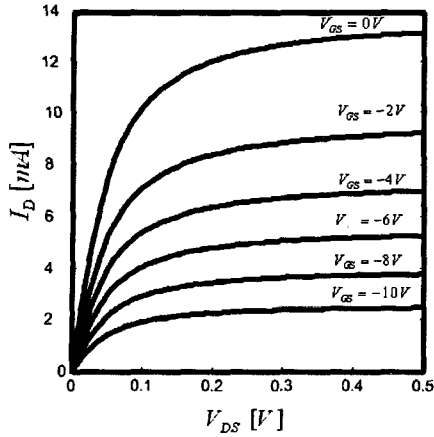


그림 4. 단채널 MESFET의 전류-전압 특성
 Fig. 4. I-V characteristics for a short channel MESFET ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 0.3 \mu\text{m}$).

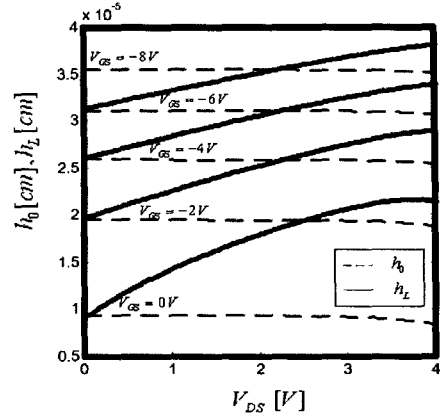


그림 7. 장채널 MESFET의 드레인 전압에 따른 h_0 과 h_L
 Fig. 7. Dependence of h_0 and h_L on V_{GS} and V_{DS} for a long channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 5 \mu\text{m}$).

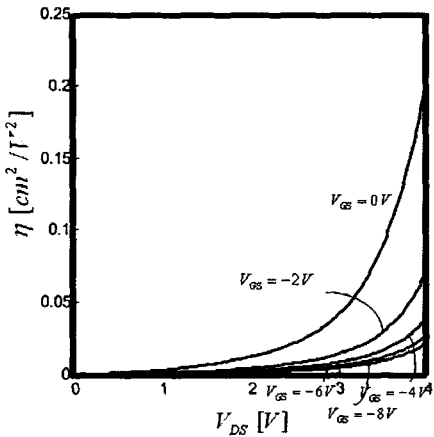


그림 5. 장채널 MESFET의 파라미터 η -드레인 전압 관계
 Fig. 5. Dependence of η on V_{GS} for a long channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 5 \mu\text{m}$).

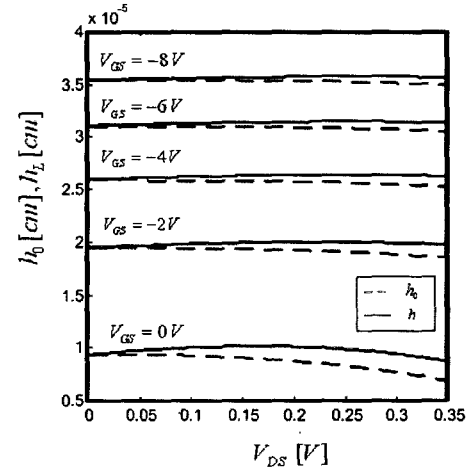


그림 8. 단채널 MESFET의 드레인 전압에 따른 h_0 과 h_L
 Fig. 8. Dependence of h_0 and h_L on V_{GS} and V_{DS} for a short channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 0.3 \mu\text{m}$).

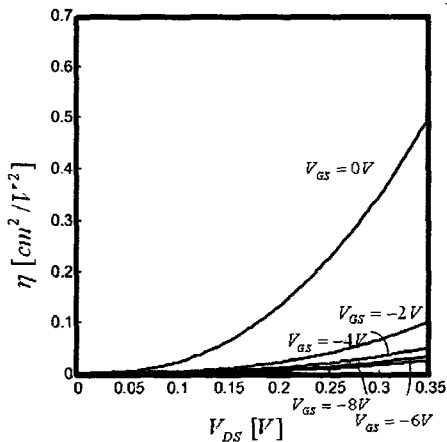


그림 6. 단채널 MESFET의 파라미터 η -드레인 전압 관계
 Fig. 6. Dependence of η on V_{GS} for a short channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 0.3 \mu\text{m}$).

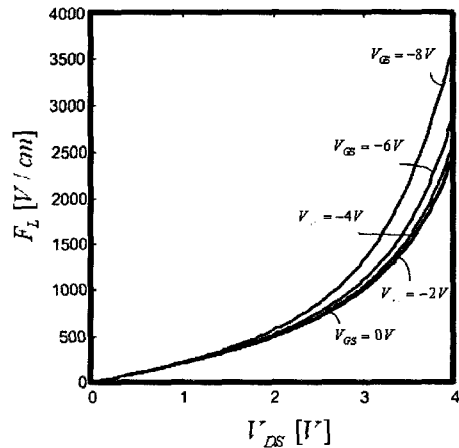


그림 9. 장채널 MESFET의 F_L -드레인 전압 관계
 Fig. 9. Dependence of F_L on V_{GS} and V_{DS} for a long channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 5 \mu\text{m}$).

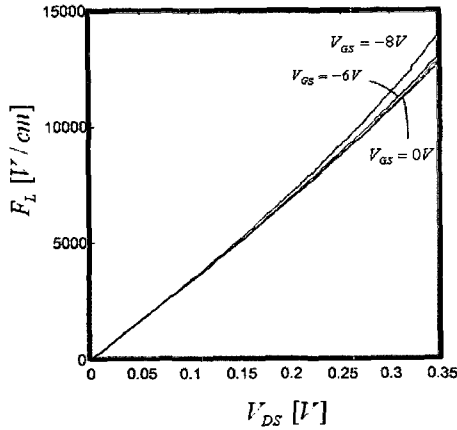


그림 10. 단채널 MESFET의 F_L -드레인 전압 관계
 Fig. 10. Dependence of F_L on V_{GS} and V_{DS} for a short channel device ($N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $L = 0.3 \mu\text{m}$).

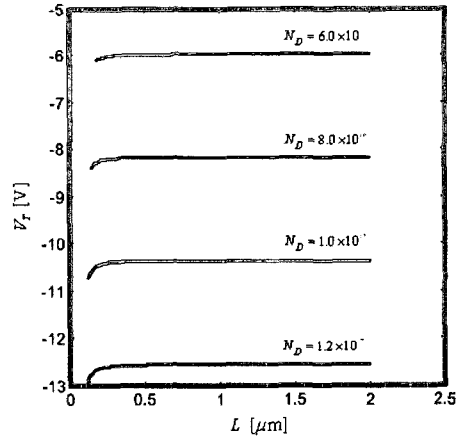


그림 13. MESFET의 채널 도핑 농도에 따른 문턱 전압 V_T -채널길이 관계
 Fig. 13. Dependence of V_T on the channel length for various values of N_D ($V_{GS} = -2V$, $b = 0.4 \mu\text{m}$).

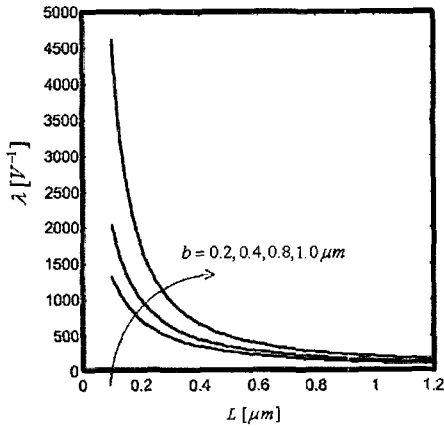


그림 11. MESFET의 채널 깊이에 따른 파라미터 λ -채널 길이 관계
 Fig. 11. Dependence of λ on the channel length for various values of channel depth ($V_{GS} = -2V$, $N_D = 1 \times 10^{17} \text{ cm}^{-3}$).

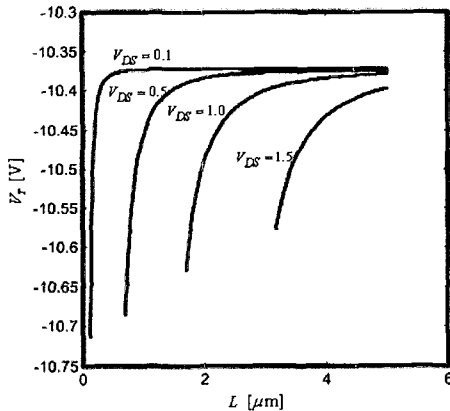


그림 12. MESFET의 드레인 전압에 따른 문턱 전압 V_T -채널길이 관계
 Fig. 12. Dependence of V_T on the channel length for various values of V_{DS} ($V_{GS} = -2V$, $N_D = 1 \times 10^{17} \text{ cm}^{-3}$).

심해짐을 보이고 있다.

IV. 결 론

앞서 도시한 계산 예를 통해 파악한 바, 본 모델은 2차원 전계효과를 고려한 단 채널 소자의 드레인 전류, 문턱전압, 유효이동도의 식들을 비교적 정확하게 도출하고 있음을 보이고 있다. 본 모델에서는 기존의 GCA 대신 채널 방향의 전계 변화를 고려하였으며 전자 이동도의 전계의존성 및 채널전류의 연속조건도 함께 고려되었다. 이로써, 본 모델은 MESFET 및 JFET에 대한 기존의 장 채널 소자의 모델을 확장되면서 여러 단 채널 효과를 통합적으로 설명할 수 있음을 보이고 있다. 특히, 단 채널소자의 Early효과에 대한 기존의 channel length modulation (shortening) 모델이 갖는 불합리성에 비해, 본 모델은 비교적 합리적인 설명을 제공하고 있음을 보이고 있다.

참 고 문 헌

[1] P. C. Choa, P. M. Smith, S. Wanuga, W. H. Perkins, and E. D. Wolf, "Channel length effects in quarter micrometer gate-length GaAs MESFET's," IEEE Electron Device Lett., vol. EDL-8, pp.440-442, 1987.
 [2] P. Pouvil, J. Gautier, and D. Pasquet, "A New analytical model for the GaAs MESFET in the saturation region," IEEE Trans. Electron Devices, vol. 35, no.8, pp.1215-1222, 1988.

- [3] C. H. Chen and D. K. Arch, "The influence of electric field and mobility profile on GaAs MESFET characteristics," IEEE Trans. Electron Devices, vol. 36, no.11, pp.2405-2416, 1989.
- [4] C. S. Chang and D.-Y. S. Day, "Analytical theory for current-voltage characteristic and field distribution of GaAs MESFET's," IEEE Trans. Electron Devices, vol. 36, no.2, pp.269-280, 1989.
- [5] P. C. Choa, P. M. Smith, S. Wanuga, W. H. Perkins, and E. D. Wolf, "Channel length effects in quarter micrometer gate-length GaAs MESFET's," IEEE Electron Device Lett., vol. EDL-8, pp.440-442, 1987.
- [6] H. L. Grubin, "Large-signal numerical simulation of field-effect transistors," presented at the Sixth Biennial Conf. on Active Microwave Semiconductor Devices and Circuits, Cornell Univ., Ithaca, NY, Aug. pp.16-19, 1977.
- [7] T. Wada and J. Frey, "Physical basis of short-channel MESFET operation," IEEE J. Solid-State Circuits, vol. SC-14, no.2, pp.398-412, Apr, 1979.
- [8] V. K. De and J. D. Meindl, "Three-region analytical models for MESFET's in low-voltage digital circuits," IEEE J. Solid-State Circuits, vol. 26, pp.850-858, June. 1991.
- [9] C.-S. Chang, D.-Y. S. Day, and S. Chan, "An analytical two-dimensional simulation for the GaAs MESFET drain-induced barrier lowering: a short-channel effect," IEEE Trans. Electron Devices, vol. ED-37, no.5, pp.1182-118, 1990.
- [10] C. S. Chang and H. R. Fetterman, "Electron drift velocity IEEE Trans. Electron Devices, vol. ED-37, no.5, pp.1182-118, 1990.
- [11] A. B. Grebene and S. K. Ghandhi, "General theory for pinched operation of the junction-gate FET," Solid-State Electron., vol. 12, pp.573-589, 1969. versus electric field in GaAs," Solid-State Electron., vol. 29, pp.1295-1296, 1986.
- [12] W. R. Curitice and M. Ettenberg, "A nonlinear GaAs FET model for use in the design of output circuit for power amplifiers," IEEE Trans. Microwave Theory Tech., vol. MTT-33, pp.1383-1394, Dec. 1985.
- [13] H. Statz, p. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus, "GaAs FET device and circuit simulation in SPICE," IEEE Trans. Electron Devices, vol. ED-34, pp.160-169, Feb. 1987.
- [14] A. J. McCamant, G. D. McCormack, and D. H. Smith, "An improved GaAs MESFET model for SPICE," IEEE Trans. Microwave Theory Tech., vol. 38, pp.822-824, June. 1990.
- [15] J. Conger, M. S. Shur, and A. Peezalski, "Power law GaAs MESFET model," IEEE Trans. Electron Devices, vol. 39, pp. 2415-2417, Oct. 1992.
- [16] S. Selberherr. Analysis and Simulation of Semiconductor Devices, Springer-Verlag, 1984.

저 자 소 개



최진욱(정회원)
2002년 홍익대학교 전자전기
공학부 졸업.
2004년 홍익대학교 대학원 전자
공학과 졸업(공학석사).
2005년 현재 하이디스 근무.
<주관심분야: 반도체, LCD>



지순구(정회원)
2000년 홍익대학교 대학원 전자
공학과 졸업(공학석사).
2005년 현재 홍익대학교 대학원
전자공학과 박사과정.
현재 ISS Electronic Engineer 근무
<주관심분야: 반도체 소자 설계>



최수홍(정회원)
2003년 홍익대학교 전자전기
공학부 졸업.
2005년 현재 홍익대학교 대학원
전자공학과 석사과정.
<주관심분야: 반도체, LCD>

서정하(정회원)
제41권 SD편 제3호 참조