

논문 2005-42SD-1-6

# 하부 거울층을 이용한 AlGaAs/GaAs 완전 공핍 광 싸이리스터 특성 분석

(Analysis of AlGaAs/GaAs Depleted Optical Thyristor using bottom mirror)

최운경\*, 김두근\*, 최영완\*

(Woon-Kyung Choi, Doo-Gun Kim, and Young-Wan Choi)

## 요약

본 연구에서는 광논리 및 광집속에 응용할 수 있는 GaAs/AlGaAs 구조의 완전 공핍 광 싸이리스터(depleted optical thyristor, DOT)에 1/4 파장 거울층(quarter wavelength reflector stacks, QWRS)을 제작하여 특성을 측정 분석하였다. 바닥면에 위치한 QWRS는 광 방출 효율뿐만 아니라 흡수 효율을 증가시킨다. 바닥면에 QWRS를 넣은 것과 그렇지 않은 두가지의 DOT를 제작하여 비선형 S-자 형태의 전류-전압 특성, 광 방출 효율 및 흡수 효율을 측정, 분석하였다. 하부 거울층을 삽입한 DOT와 기존의 DOT의 스위칭 변화는 각각 1.82 V와 1.52 V로 흡수효율에서 20 % 증가함을 보인다. 뿐만 아니라, 하부 거울층을 이용한 DOT는 기존의 소자에 비하여 발광 효율 면에서 최고 46 % 향상된 결과를 나타낸다. 스위칭 특성을 분석하기 위하여 순방향 전압에서 비선형 s-자 형태의 전류-전압 특성을, 역방향 전압에서 완전 공핍 전압을 모의실험을 통하여 알아보았다. 모의실험 방법으로 유한 차분 방법(finite difference method, FDM)을 이용하여 최적화된 DOT 각 층의 두께와 도핑 농도를 구하였다.

## Abstract

We fabricate and analyze fully depleted optical thyristors (DOTs) using quarter wavelength reflector stacks (QWRS). QWRS are employed as bottom mirrors to enhance the emission efficiency as well as the optical sensitivity. In order to analyze their switching characteristics, S-shape nonlinear current-voltage curves are simulated and the reverse full-depletion voltages ( $V_{neg}$ 's) of DOTs are obtained as function of semiconductor parameters by using a finite difference method (FDM). The fabricated DOTs show sufficient nonlinear s-shape I-V characteristics and switching voltage changes of these devices with and without bottom mirrors show 1.82 V and 1.52 V, respectively. Compared to a conventional DOT, this device with the bottom mirrors shows about 20% and 46% enhancement in switching voltage change and spontaneous emission efficiency, respectively.

**Keywords :** 1/4 파장 거울층(quarter wavelength reflector stacks, QWRS), 완전 공핍 광 싸이리스터(DOT), 광 스위칭, 광 논리 소자, 유한 차분 방법(FDM)

## I. 서론

광 메모리, 광 정보처리, 자기 라우팅, 뉴럴 네트워크

등 다양한 분야에서 디지털 광 스위칭 소자에 대한 관심이 집중되고 그 기술적 필요성이 절실히 요청되고 있다. 그 중 vertical to surface transmission electro-photonic device (VSTEP), light amplifying optical switch (LAOS), heterojunction phototransistor light emitting diode (HBT-LED), double heterostructure optoelectronic switch (DOES), pnpn-vertical cavity surface emitting laser (VCSEL) 등과 같은 것이 있다. 이러한 광 스위칭 소자 중에서 광 싸이리스터는 빠른

\* 정회원, 중앙대학교 전자전기공학부 광전자 및 광통신 연구실

(Lab. of Optoelectronics and Optical Communications, Chung-Ang University)

※ 이 논문은 2003년도 한국학술진흥재단의 지원에 의하여 연구되었음. (KRF-2003-041-D20401)

접수일자: 2004년4월29일, 수정완료일: 2004년12월21일

반응 속도, 낮은 스위칭 에너지, 낮은 전력 소모, 높은 on/off 대비, 2차원 집적이 가능하다는 많은 장점을 갖는다.<sup>[1-4]</sup> 그러나 상대적으로 느린 스위칭 속도는 pnpn 소자에서 매우 중요한 요인이다. 일반적인 pnpn 소자들은 on 상태에서 가운데 영역에 잉여 다수 캐리어에 의해 느린 재결합 과정을 갖는다. 이러한 단점을 보완하기 위하여 완전 공핍 광 싸이리스터(depleted optical thyristor, DOT)가 제안되었다. 이는 on 상태에서 pn-접합 가운데 영역의 잉여 캐리어를 짧은 역방향 펄스를 인가함으로써 제거해주는 방법이다. 역방향 전압 펄스를 인가하면, DOT의 가운데 영역에서 보다 짧은 시간에 모든 캐리어를 완전 공핍시킬 수 있다. 다시 말해 DOT는 두 개의 노드를 갖는 단순하면서도 고속 스위칭 속도를 갖는 소자이다. 이렇게 더 빠른 스위칭 속도와 더 낮은 전력 소모를 갖기 위하여 많은 연구가 진행되었다.<sup>[5-8]</sup> 역방향 전압에서 가운데 영역에 완전 공핍을 시키기 위하여 가운데층의 두께를 작게 설계하여야 하는데, 가운데층의 두께가 작게 설계됨으로써 광 방출 및 흡수의 효율이 떨어지는 것이 사실이다. 이러한 이유로, 본 논문에서는 DOT의 하부에 1/4 파장 거울 층(quarter wavelength reflector stacks, QWRS)을 설계하여, 보다 낮은 역방향 전압에서 완전 공핍을 형성하면서도 빛의 방출 및 흡수 효율을 증가시킬 수 있는 구조를 모의실험을 통해 설계하고, 제작하여 측정, 분석하였다. QWRS를 제작함으로써 하부 거울 층이 없는 일반적인 DOT에 비하여 유효 흡수 길이는 약 두배에 해당한다. 따라서 하부 거울 층이 있는 DOT의 광 방출 및 흡수 효율이 증가되는 것을 기대할 수 있다. 또한 DOT의 설계를 위해 정전류에서 전류-전압 특성을 유한 차분 방법(Finite Difference Method)을 통하여 모의실험 하였다. 이를 바탕으로 더 낮은 완전 공핍 전압과 더 낮은 스위칭 에너지를 얻기 위하여 PnpN 각 층의 두께 및 도핑 농도를 모의실험을 통하여 최적화하였다.

## II. 완전 공핍 광 싸이리스터 (DOT)

광 싸이리스터의 기본적인 구조는 그림 1(a)에서 보는 바와 같이 3 개의 p-n 접합 ( $J_1, J_2, J_3$ )으로 이루어진 4층 구조 PnpN 접합으로 구성되어 있다. 광 싸이리스터의 효율적인 광 스위칭을 위해서는 빛이 가운데 영역에서만 흡수되어 광전류 생성에 기여하여야 하므로 대개  $J_1$ 과  $J_3$ 가 이중 접합인 이중 이중 접합(double-

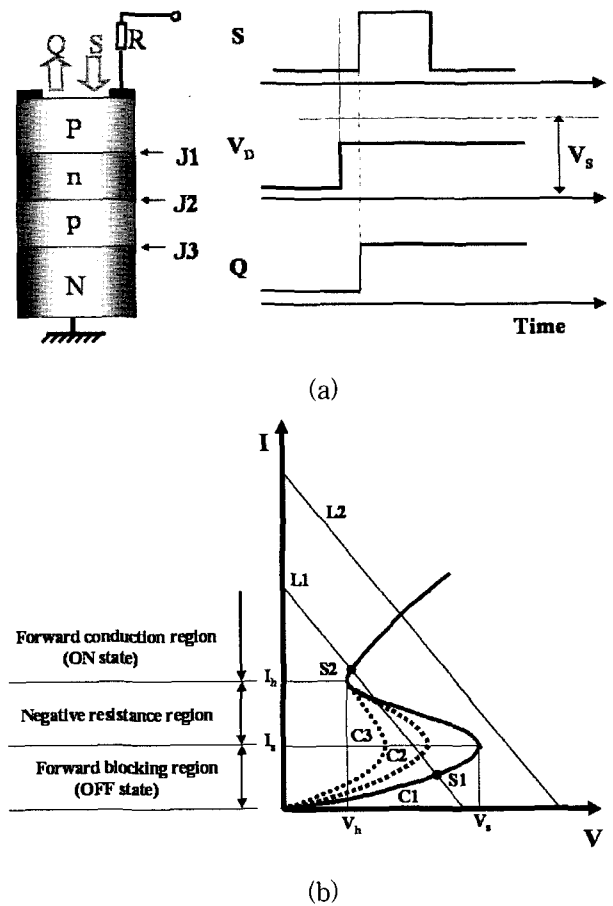


그림 1. (a) DOT 구조의 단면도 및 동작원리 (b) optical thyristor의 전류-전압 특성  
 Fig. 1. (a) cross-sectional view and basic principle of DOT (b) Typical s-shape I-V characteristics of DOT.

hetero junction)을 사용한다. 그림 1(b)는 광 싸이리스터의 전류-전압 특성 곡선( $C_1$ )으로 S자 모양의 비선형 특성을 가지며, (i) 순방향 비전도(forward blocking) 영역으로 높은 임피던스의 off 상태, (ii) 부정 저항(negative resistance) 영역, (iii) 순방향 전도(forward conducting) 영역으로 낮은 임피던스의 on 상태로 나눌 수 있다. 적당한 외부 전압 ( $V_D$ )과 외부 저항(R)을 연결하면 부하선(load line)  $L_1$ 이 정해지며, 특성 곡선과 두 개의 안정된 동작점(bi-stability)을 결정하는데, 동작점  $S_1$ 은 off 상태를, 동작점  $S_2$ 는 on 상태를 나타낸다.

$I_h$ 와  $V_h$ 는 홀딩 포인트(holding point)로, 각각 홀딩 전류, 홀딩 전압을 나타낸다.  $I_s$ 와  $V_s$ 는 각각 스위칭 전류, 스위칭 전압으로 이 점을 경계로 off 상태에서 on 상태로의 스위칭이 일어난다. 그림 1(a)와 같은 단일 소자는  $V_D$ 를 스위칭 전압 이하로 가한 상태에서 충분한 크기를 가지는 광 신호를 인가하여, 전류-전압 특성 곡선을 변화시켜 스위칭을 하게 한다. 광 신호는 가운데

접합의 공핍 영역(depletion region)에서 흡수되어 광 전류를 발생시키며,  $C_1$ 은 광신호가 인가되면  $C_2$ 로, 보다 큰 세기의 광신호가 인가되면  $C_3$ 로 스위칭 전압을 작게 만들어 스위칭을 가능케 한다. 광 싸이리스터는 스위칭 이후에  $V_D$ 를 제거하더라도 off 상태로 되기까지는 수 msec에 이르는 매우 긴 시간이 필요하다. 이러한 점을 개선하기 위해서, 광 싸이리스터에 음전압 펄스를 인가하면 turn-off transient가 빨라지는데, 이러한 특성을 이용하여 단순 이극 구조이면서 빠른 turn-off transient (~수 psec 이내)를 가지는 완전 공핍 광 싸이리스터가 Kuijk 등에 의해서 제안되었다<sup>[7]</sup>. DOT는 광 싸이리스터의 가운데층의 두께를 1  $\mu\text{m}$  이하로 매우 얇게 제작하여, 작은 역방향 전압으로도 양 끝단을 제외한 소자의 전 영역이 공핍 영역(depletion region)이 되는 구조적 특징을 가지는 광 싸이리스터를 말한다. DOT는 음전압 펄스를 이용하여 on 상태에서 생성되어 가운데 영역에 존재하는 과잉 전송자들을 표동전류의 형태로 매우 빠르게 제거한다. 이때 필요한 역방향 전압은 집적 회로 구동에 필요한 낮은 전압으로 충분하므로, 단순 이극 구조의 DOT는 집적이 용이한 구조이다. 이러한 DOT 소자를 이용하여 앞으로 optoelectronic intergrated circuit (OEIC), 광 신호처리 등에 필요한 다양한 응용 분야에서 사용될 수 있다.

### III. 모의실험 결과

소자 분석을 위한 기본적인 수식은 에벌린치 항복, 광 캐리어 생성, 위치-의존 밴드 갭 불연속 등이 포함되어 있다. 포아송 방정식과 연속 방정식은 다음과 같다.

$$\frac{1}{\epsilon} \frac{d\epsilon}{dx} E(x) + \frac{dE(x)}{dx} = \frac{q}{\epsilon} (p - n + N_D - N_A)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \frac{dJ_n}{dx} + G_n - U_R$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \frac{dJ_p}{dx} + G_p - U_R$$

$\epsilon$ 는 유전율,  $n$ 과  $p$ 는 전자밀도와 정공밀도,  $N_A$ 와  $N_D$ 는 각각 이온화된 도너와 억셉터의 수를 나타낸다.<sup>[9-11]</sup> 몇몇 중요한 물리적 메카니즘은 PnpN 4개층의 정확한 모델을 위하여 모의실험에 사용된다. 재결합 메카니즘

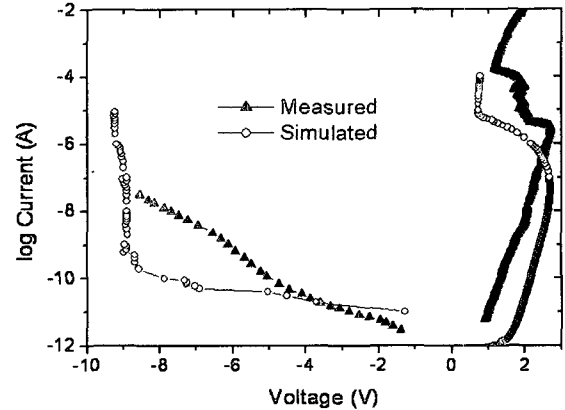


그림 2. Kuijk의 실험결과와 모의실험 결과의 비교  
Fig. 2. Comparison of calculated data and experimental results reported by Kuijk.

은 Shockley-Read-Hall 재결합 모델을 사용하였다.

$$U = \frac{pn - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)}$$

$\tau_n$ 과  $\tau_p$ 는 전자와 정공의 소수 캐리어 활동 시간을 의미한다. 여기서 임팩트 이온화된 계수는 다음과 같이 주어진다.

$$G = \frac{1}{q} \alpha_p J_p + \frac{1}{q} \alpha_n J_n$$

포아송 방정식과 전류 방정식은 단일접합 싸이리스터를 모델링 한 Scharfetter<sup>[12]</sup>, Gummel<sup>[13]</sup> 그리고 Kurata의 논문에서 제시된 수치해석 방법을 사용하고, 전류 조정 방식(current control-type)을 따라 수행하면  $n, p, E$  값을 구할 수 있다.

먼저 GaAs/AlGaAs DOT 구조의 특성 분석을 위하여 Kuijk<sup>[4]</sup> 논문을 바탕으로 모의실험 하였다. 그림 2는 동일한 구조에서 모의실험 한 결과를 비교한 그래프이다. 스위칭 전압은 약 2.7 V이고, 완전 공핍 전압은 -9 V에서 나타남으로 앞의 실험과 유사한 결과를 얻었다. 완전 공핍 전압이 -9 V일 경우, 10 ns 이하에서 가운데 영역의 캐리어가 모두 공핍됨을 나타낸다.<sup>[4]</sup>

DOT의 구조를 결정하는데 있어 몇 가지 설계 조건은 다음과 같다. optical thyristor는 적절한 비선형 전류-전압 특성곡선을 가져야한다. 무엇보다 대략 3 V 정도의 알맞은 스위칭 전압을 가져야하는데, 만일 스위칭 전압이 너무 크면, 고속의 스위칭 동작을 기대하기 어렵고, 스위칭 전압이 너무 작으면 비선형 특성을 잃게 된다. 두개의 바깥층은 충분한 전류, 정공의 주입을 위

5e18, N <sup>-</sup> - Al <sub>0.3</sub> Ga <sub>0.7</sub> As 500 nm
2e16, P - GaAs 710 nm
2e17, N - GaAs 130 nm
5e18, P <sup>+</sup> - Al <sub>0.3</sub> Ga <sub>0.7</sub> As 150 nm

그림 3. 모의실험을 통해 최적화된 DOT 구조  
Fig. 3. Cross-sectional view of the optimized DOT structure by finite difference method.

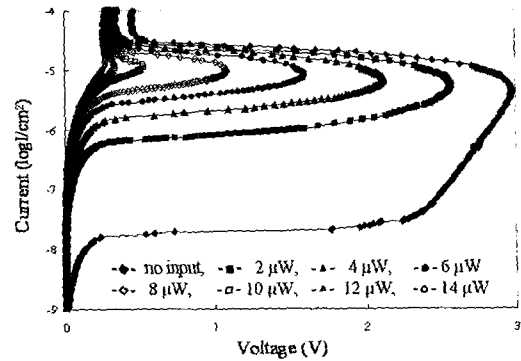


그림 4. 광 입력에 따른 전류-전압 특성곡선  
Fig. 4. I-V curve variations of conventional DOT with various external optical inputs.

표 1. (a) 도핑농도 (b) 각 층의 두께에 따른 스위칭 전압과 완전공핍 전압

Table1. Switching voltage and fully depletion voltage of optical thyristor with variables such as (a) doping concentration, (b) layer thickness.

N <sup>+</sup> -layer(cm <sup>-3</sup> )	p-layer(cm <sup>-3</sup> )	n-layer(cm <sup>-3</sup> )	P <sup>+</sup> -layer (cm <sup>-3</sup> )	Switching Voltage (V)	Depletion Voltage(V)
5.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.0x10 <sup>17</sup>	5.0x10 <sup>18</sup>	2.83	- 8.57
2.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.0x10 <sup>17</sup>	5.0x10 <sup>18</sup>	2.88	- 8.73
6.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.0x10 <sup>17</sup>	5.0x10 <sup>18</sup>	2.92	- 9.12
5.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.0x10 <sup>17</sup>	6.0x10 <sup>18</sup>	3.21	- 7.90
5.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.0x10 <sup>17</sup>	4.0x10 <sup>18</sup>	2.93	- 9.97
5.0x10 <sup>18</sup>	1.5x10 <sup>16</sup>	2.0x10 <sup>17</sup>	5.0x10 <sup>18</sup>	1.87	- 9.88
5.0x10 <sup>18</sup>	2.5x10 <sup>16</sup>	2.0x10 <sup>17</sup>	5.0x10 <sup>18</sup>	4.93	- 8.92
5.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	1.5x10 <sup>17</sup>	5.0x10 <sup>18</sup>	2.71	- 8.69
5.0x10 <sup>18</sup>	2.0x10 <sup>16</sup>	2.5x10 <sup>17</sup>	5.0x10 <sup>18</sup>	2.97	- 8.85

N <sup>+</sup> -layer(μm)	p-layer(μm)	n-layer(μm)	P <sup>+</sup> -layer (μm)	Switching Voltage (V)	Depletion Voltage(V)
0.50	0.71	0.13	0.15	2.83	- 8.58
0.40	0.71	0.13	0.15	2.74	- 8.73
0.60	0.71	0.13	0.15	2.83	- 9.20
0.50	0.71	0.13	0.14	2.90	- 6.54
0.50	0.71	0.13	0.17	2.93	- 9.94
0.50	0.61	0.13	0.15	1.70	- 8.63
0.50	0.81	0.13	0.15	5.63	- 10.48
0.50	0.71	0.11	0.15	2.69	- 8.59
0.50	0.71	0.15	0.15	3.10	- 9.02

하여 높은 도핑농도를 가져야하며, 두 안쪽 층은 보다 작은 도핑농도를 가져야한다.

물론 안쪽층의 도핑농도가 너무 크면 역방향 전압에서의 공핍전압이 증가하여 고속의 동작이 어려워지고, 도핑 농도가 작으면 스위칭 전압이 작아져, 충분한 동작 특성을 갖지 못한다. 위의 몇가지 설계 조건과 모델링으로부터 안쪽의 GaAs 층과 바깥쪽의 AlGaAs 각 층의 두께 및 도핑 농도를 변화 시켜감에 따라 전류-전압 특성을 모의실험 하고, 이를 바탕으로 구조적 최적화를 하였다. 그림 3는 모의실험을 통하여 얻어진 최적의 구조를 나타낸다.

표 1은 위의 최적화된 구조를 바탕으로 하여, (a) 각 층의 도핑 농도 및 (b) 두께를 변화 시켜감에 따라 순방향 전압에서 스위칭 전압을, 역방향 전압에서 완전공핍 전압을 나타낸 결과이다. 안쪽 층의 두께와 도핑 농도의 변화에 따라 스위칭 전압은 급격한 변화를 나타내고, 각 층의 두께와 도핑 농도를 증가시킴에 따라 완전공핍 전압이 증가함을 알 수 있다. 역방향 영역에서 완전 공핍 전압을 줄여주기 위하여 층의 두께를 너무 얇게 하면 비선형의 s-자 형을 갖기 어렵게 되므로, 적절한 상호관계를 유지하면서 설계할 필요가 있다.

그림 4는 외부의 광 입력에 따라 일반적인 DOT의

전류-전압 특성 곡선의 변화를 나타낸 그래프이다. 광 입력을 0  $\mu\text{W}$ 에서 14  $\mu\text{W}$ 로 변화시키며 주입함에 따라, 스위칭 전압이 2.97 V 에서 0.27 V 로 감소되며 비선형 S-자 형 그래프의 모양이 바뀌는 것을 볼 수 있다. 또한 입력되는 빛의 세기가 14  $\mu\text{W}$  이상이 되면 전류-전압 특성곡선에서 비선형 특성이 완전히 사라지게 된다. 이 모의 실험 결과로부터 DOT 동작에 필요한 최소한의 광 입력 세기를 알 수 있다.

그림 5는 12 층(AIAs (707Å) / Al<sub>0.3</sub>Ga<sub>0.7</sub>As (629 Å)) 바닥면 거울의 반사율을 thin-film scattering characteristic matrix 방법<sup>[14]</sup>을 이용하여 모의실험 한 결과이다. 이 결과에서 850 nm의 빛을 95 % 이상 모두 반사시킬 수 있음을 확인하였다. 모의실험의 간략화를 위하여 바닥면에 거울층이 있는 DOT의 유효 흡수거리는 기존의 DOT의 두배로 가정한 후 다음 모의실험을

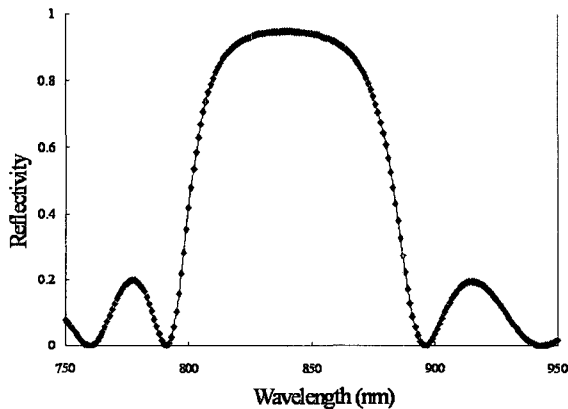


그림 5. 12층 AIAs(707nm)/Al<sub>0.3</sub>Ga<sub>0.7</sub>As(629nm) 하부 거울층의 반사율  
Fig. 5. Reflectivity of the bottom mirrors with 12 pairs of AIAs(707 nm)/Al<sub>0.3</sub>Ga<sub>0.7</sub>As(629 nm).

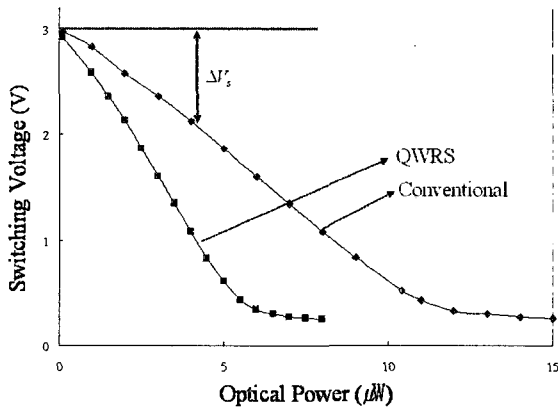


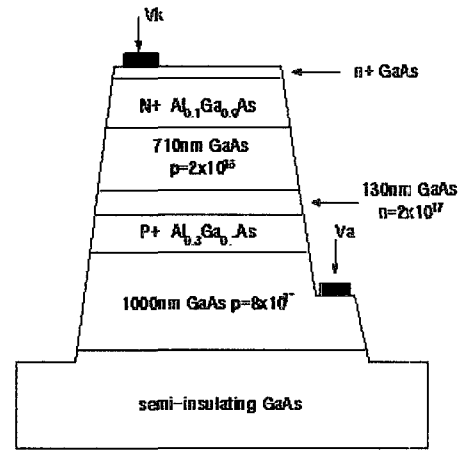
그림 6. 입력 광 신호에 따른 스위칭 전압의 변화  
Fig. 6. Switching voltage of the conventional DOT and the DOT with QWRS under several optical input power.

진행하였다.

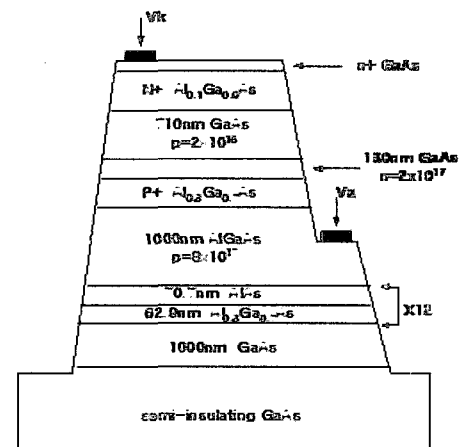
그림 6은 입력 빛의 세기를 변화시켜감에 따라 기존의 DOT와 하부거울층을 삽입한 DOT의 스위칭 전압의 변화를 도시하였다. 실험 결과를 통해서도 알 수 있듯이 기존의 DOT에 비하여 하부 거울층을 삽입한 DOT는 동일한 입력 빛에 더 큰 스위칭 전압의 변화를 보인다. 이는 하부거울층을 삽입한 DOT는 작은 스위칭 전압으로도 동작할 수가 있어, 보다 빠른 스위칭 속도, 보다 작은 동작 전력을 요구한다.

#### IV. 실험

본 모의실험을 바탕으로 하부 거울층을 갖는 것과 그



(a)



(b)

그림 7. (a) 기존의 DOT와 (b) 하부거울층을 삽입한 DOT의 단면도

Fig. 7. Cross-sectional view of the fabricated NpnP structure (a) without and (b) with bottom mirror AIAs/AlGaAs layers.

렇지 않은 두 종류의 DOT를 제작하여 비교 분석하였다. 그림 7은 NpnP 구조의 단면도와 제작한 소자를 나타낸 그림이다. semi-insulating GaAs 기판위에 molecular beam epitaxy(MBE)로 성장된 구조는 다음과 같다. GaAs buffer 층 (1000 nm), 거울 층 (AlAs; 707 nm,  $Al_{0.3}Ga_{0.7}As$ ; 629 nm),  $P^+$ - $Al_{0.1}Ga_{0.9}As$  층 (1000 nm,  $5 \times 10^{18} \text{ cm}^{-3}$ ),  $P^+$ - $Al_{0.3}Ga_{0.7}As$  층 (150 nm,  $5 \times 10^{18} \text{ cm}^{-3}$ ), an n-GaAs 활성 층 (130 nm,  $2 \times 10^{17} \text{ cm}^{-3}$ ), p-GaAs 활성 층 (710 nm,  $2 \times 10^{16} \text{ cm}^{-3}$ ),  $N^+$ - $Al_{0.1}Ga_{0.9}As$  층 (500 nm,  $5 \times 10^{18} \text{ cm}^{-3}$ ),  $n^+$ -GaAs contact 층 (10 nm,  $5 \times 10^{18} \text{ cm}^{-3}$ ) 으로 이루어져 있다. 하부 거울층은 위의 구조를 12쌍을 성장하였다. Mesa 창(  $80 \times 80, 40 \times 40, 20 \times 20 \mu\text{m}^2$ )은  $P^+$  층 아래까지 충분히 식각을 하였다.  $n^+$ -ohmic contact 층은 Ge/Au/Ni/Au 로 lift-off 과정으로 형성하였으며,  $P^+$ -층은 Pt/Ti/Pt/Au를 적층하였다. Mesa 창에서 입력되는 빛의 반사를 없애기 위하여 plasma enhanced chemical vapor deposition (PECVD)를 이용하여  $SiN_x$ 를 증착하였다.

그림 8은 하부 거울층을 갖는 mesa 창 (  $80 \times 80 \mu\text{m}^2$ ) 의 비선형 전류-전압 특성 곡선을 나타낸다. 입력되는 빛의 크기가 0  $\mu\text{W}$ 에서 15.5  $\mu\text{W}$ 로 변해감에 따라 비선형 전류-전압 특성 곡선에서 스위칭 전압이 2.85 V에서 1.03 V로 1.82 V의 스위칭 전압 변화를 나타내며, 입력되는 빛의 크기가 15.5  $\mu\text{W}$  이상에서 비선형 특성이 완전히 사라진다. 이는 앞에서 보인 모의실험과 유사한 결과를 보인다. 본 실험 결과는 제작된 완전 공핍 광 싸이리스터는 자유 공간 광 접속 시스템에 있어서 광 스

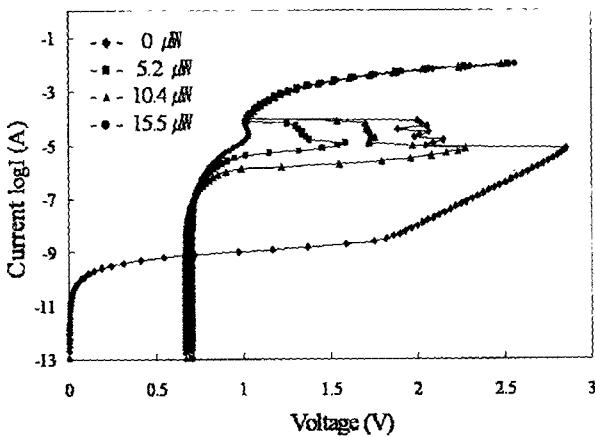


그림 8. 제작한 하부거울층을 삽입한 DOT의 전류-전압 특성 곡선  
Fig. 8. Nonlinear s-shape I-V characteristics for a mesa window ( $80 \times 80 \mu\text{m}^2$ ) with bottom mirror layers.

위칭, 광 정보처리 등의 기능을 수행할 수 있음을 보여 준다.

그림 9는 mesa 창의 크기 ( $40 \times 40, 80 \times 80 \mu\text{m}^2$ )에 따라 일반적인 DOT와 하부 거울층을 갖는 DOT의 스위칭 전압 변화를 나타내었다. 입력 광 신호의 크기가 커짐에 따라 스위칭 전압 변화는 커지며, 하부 거울층이 있는 DOT의 광 흡수 효율이 기존의 DOT에 비하여 우수함을 알 수 있다. 위에서 언급하였듯이, mesa 창의 크기가  $80 \times 80 \mu\text{m}^2$  인 기존의 하부 거울 층이 없는 DOT의 경우 입력되는 빛의 크기가 0  $\mu\text{W}$ 에서 15.5  $\mu\text{W}$ 로 변해감에 따라 비선형 전류-전압 특성 곡선에서 스위칭 전압이 2.79 V에서 1.22 V로 1.52 V의 스위칭 전압 변화를 보였지만, 하부 거울 층을 갖는 DOT는 스위칭 전압 변화가 1.82 V로 하부 거울 층을 갖는 DOT가 동일한 입력 광 신호에 스위칭 전압의 변화가 20 % 향상되었다. 이는 95 %의 반사율의 하부 거울층을 갖는 소자는 유

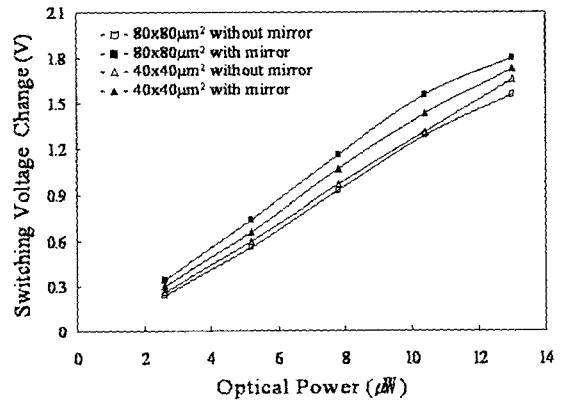


그림 9. 제작한 DOT의 광 입력에 따른 스위칭전압의 변화  
Fig. 9. Switching voltage change of DOTs under several light input conditions.

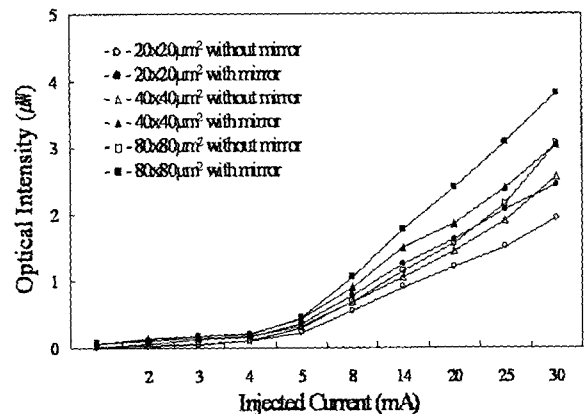


그림 10. 제작한 DOT의 입력전류에 따른 광 출력  
Fig. 10. Optical output Intensity versus injected current under several mesa areas.

효 흡수 거리가 대략 두 배가 되기 때문에, 동일한 입력 광 신호 크기에서 보다 많은 수의 광자를 흡수하기 때문이다.

또한 하부 거울 층을 갖는 DOT는 흡수 효율뿐만 아니라 빛의 방사 효율에서도 기존의 DOT에 비하여 우수하다. 비록 작은 전류주입에서는 방출되는 빛이 다시 재흡수 되는 경향이 있지만, 전류가 5 mA 이상에서는 나타나지 않는다. 이는 높은 전류 주입에서는 가전자대역 혹은 기저 대역의 상태밀도가 포화되기 때문이다. 이러한 이유로 빛의 방출 효율을 기대할 수 있다. 그림 10은 mesa 창(20x20, 40x40, 80x80  $\mu\text{m}^2$ )의 크기에 따라 on-상태에서 방출되는 빛의 방출 효율을 나타낸 그래프이다. 여기서 주입전류가 5 mA 이상 (8 mA ~ 20 mA)에서 광방출 효율은 하부 거울층을 갖는 DOT가 20%에서 최대 45%까지 증가 되었다. 이 결과는 자유공간 광 접속 시스템에 사용시 하부 거울층을 삽입한 DOT는 그렇지 않은 기존의 DOT에 비하여 우수한 특성을 나타낸다.

## V. 결 론

DOT는 자유공간 광 접속(free-space optical interconnects, FSOIs) 시스템에 있어서 매우 중요한 소자이다. 이는 단순한 이극소자에서 광 입력과 출력을 할 수 있다는 점에서 매우 큰 장점을 갖는다. 자유공간 광 접속 시스템에서 보다 좋은 성능을 보이기 위해서는 광 방출과 흡수 효율이 개선되어야한다. 따라서 본 논문에서는 이러한 특성을 개선하기 위하여 하부거울층을 이용한 완전공핍 광 싸이리스터를 제안하고, 이를 제작, 측정, 분석 하였다. 보다 빠른 속도와 작은 스위칭 전력을 위하여 하부 거울층을 이용함으로써 스위칭 전압의 변화를 20% 개선하였으며, 방출 효율은 46% 개선하였다. 하부 거울층을 갖는 광 싸이리스터의 가운데 영역층은 비대칭형으로 설계하였다. 여기서 가운데 영역을 보다 얇게, 도핑농도를 낮게, 혹은 대칭형으로 설계 방식을 최적화 한다면, 빛의 방출 효율뿐만 아니라 유효 흡수 거리의 증가에 의한 빛의 흡수 효율도 개선될 수 있다. 이를 바탕으로 하부 거울층을 갖는 광 싸이리스터는 앞으로의 자유공간 광 접속 시스템에 있어 큰 기여를 하리라 기대한다.

## 참 고 문 헌

- [1] M. S. Lundstrom and R. J. Schuelke, "Numerical analysis of heterostructure semiconductor devices", IEEE Trans. Electron Devices, vol. ED-30, pp. 1151, 1983.
- [2] K. Krbota, Y. Tashiro, K. Kasahara, and S. Kawai, "Optical crossbar interconnection using vertical-to-surface transmission electro-phonic devices (VSTEP)," SPIE Opt. Comput. 88, vol. 963, pp. 255-259, 1988.
- [3] K. Hara, K. Kojima, K. Mitsunaga, and K. Kyuma, "AlGaAs-GaAs pnpn Differential Optical Switch", IEEE J. Quantum Electron., vol. 28, pp. 1335-1342, 1992.
- [4] M. Kuijk, P. L. Heremans, G. Borghs, and R. Vounckx, "Depleted double-heterojunction optical thyristor", Appl. Phys. Lett. vol. 64, pp. 2073-2075, 1994.
- [5] P. Heremans, M. Kuijk, R. Vounckx, and G. Eorghs, "Differential optical PnpN switch operating at 16MHz with 250-fJ optical input energy", Appl. Phys. Lett., vol.65, pp.19-21, 1994.
- [6] J. H. Lee and Y. W. Choi, "Novel optical thyristors for free-space optical interconnectors", Opt. Eng., vol. 38, pp. 531-536, 1999.
- [7] D. G. Kim, J. J. Lee, Y. W. Choi, S. Lee, D. H. Woo, B. K. Kang, H. J. Kim, W. J. Choi, Y. H. Park, H. T. Yi and S. H. Kim, "Significant Improvement of AlGaAs-GaAs NpnP Differential Optical Thyristor with Mirror Layers" SPIE Proceeding, vol. 3952, pp. 248, 2000.
- [8] D.G. Kim, J.J. Lee, Y.W. Choi, S. Lee, D.H. Woo, B.K. Kang, S.H. Kim, "Improved performances of AlGaAs-GaAs NpnP optical thyristor using bottom mirror layers", Electron. Lett, vol. 36, pp. 348-350, 2000.
- [9] G. Bickel, P. Heremans, M. Kuijk, and G. Borghs, "Receiver with optical thyristor operating at 155Mbit/s with 3 femto-Joule optical inputs", Appl. Phys. Lett., vol.70, pp.750-752, 1997.
- [10] H. E. Aldrete-Vidrio, J. Santana and J. L. Valle, Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuits and Systems, 2002.
- [11] H. Z. Fardi, "Simulation and modeling of p-n-p-n Optical Switches", IEEE Transactions on Computer-aided design of integrated circuits and systems., vol. 12, pp. 666-771, 1993.
- [12] Y. Wada and M. Tomizawa, IEEE Trans.

Electron Devices., vol. 35, pp. 1765-1770, 1988.  
 [13] D. L. Scharfetter and H. K. Gummel, "Large-Signal Analysis of a Silicon Read Diode Oscillator", IEEE Trans. Electron Devices., vol.

16, pp. 64-77, 1969.  
 [14] M. Kurata, Numerical Analysis of Semiconductor Device, LexingtonBooks, Massachusetts, 1982.

— 저 자 소 개 —



**최 운 경**(정회원)  
 2002년 중앙대학교 전자전기공학부 (공학사).  
 2004년 중앙대학교 전자전기공학부 (공학석사).  
 2004년 3월~현재 중앙대학교 전자전기공학부 박사과정 재학중.

<주관심분야: 광스위칭 시스템 및 소자, Optical Interconnection>



**김 두 근**(정회원)  
 1998년 중앙대학교 전자공학과 (공학사).  
 2000년 중앙대학교 전자공학과 (공학석사).  
 2003년 중앙대학교 전자공학과 (공학박사).

2003년~현재 산타바바라 캘리포니아주립대 (UCSB), 연구원.

<주관심분야: 광스위칭 시스템 및 소자, Optical Interconnection>



**최 영 완**(정회원)  
 1985년 서강대학교 전자공학과 (공학사).  
 1987년 버팔로 뉴욕주립대(SUNY at Buffalo), 전기 및 컴퓨터공학과(공학석사).  
 1992년 버팔로 뉴욕주립대(SUNY at Buffalo), 전기 및 컴퓨터공학과(공학박사).

1992년~1995년 한국전자통신연구원(ETRI), 선임연구원.

1995년~현재 중앙대학교 전자공학과 교수.  
 <주관심분야: Microwave-Photonics, Optical interconnection, 광스위칭 시스템 및 소자>