

논문 2005-42SD-1-7

고성능 디스플레이 응용을 위한 8b 240 MS/s 1.36 mm² 104 mW 0.18 um CMOS ADC

(An 8b 240 MS/s 1.36 mm² 104 mW 0.18 um CMOS ADC for High-Performance Display Applications)

이 경 훈*, 김 세 원*, 조 영 재*, 문 경 준*, 지 용*, 이 승 훈**

(Kyung-Hoon Lee, Se-Won Kim, Young-Jae Cho, Kyoung-Jun Moon, Yong Jee, and Seung-Hoon Lee)

요 약

본 논문에서는 각종 고성능 디스플레이 등 주로 고속에서 저전력과 소면적을 동시에 요구하는 시스템 응용을 위한 임베디드 코어 셀로서의 8b 240 MS/s CMOS A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 아날로그 입력, 디지털 출력 및 전원을 제외한 나머지 모든 신호는 칩 내부에서 발생시켰으며, 본 설계에서 요구하는 240 MS/s 사양에서 면적 및 전력을 동시에 최적화하기 위해 2단 파이프라인 구조를 사용하였다. 특히 입력 단에서 높은 입력 신호 대역폭을 얻기 위해 개선된 부트스트래핑 기법을 제안함과 동시에 잡음 성능을 향상시키기 위해 제안하는 온-칩 전류/전압 발생기를 온-칩 RC 저대역 필터와 함께 칩 내부에 집적하였으며, 휴대 응용을 위한 저전력 비동작 모드 등 각종 회로 설계 기법을 적절히 응용하였다.

제안하는 시제품 ADC는 듀얼모드 입력을 처리하는 DVD 시스템의 핵심 코어 셀로 집적되었으며, 성능 검증을 위해 0.18 um CMOS 공정으로 별도로 제작되었고, 측정된 DNL과 INL은 각각 0.49 LSB, 0.69 LSB 수준을 보여준다. 또한, 시제품 측정 결과 240 MS/s 샘플링 속도에서 최대 53 dB의 SFDR을 얻을 수 있었고, 입력 주파수가 Nyquist 입력인 120 MHz까지 증가하는 동안 38 dB 이상의 SNDR과 50 dB 이상의 SFDR을 유지하였다. 시제품 ADC의 칩 면적은 1.36 mm²이며, 240 MS/s에서 측정된 전력 소모는 104 mW이다.

Abstract

This work describes an 8b 240 MS/s CMOS ADC as one of embedded core cells for high-performance displays requiring low power and small size at high speed. The proposed ADC uses externally connected pins only for analog inputs, digital outputs, and supplies. The ADC employs (1) a two-step pipelined architecture to optimize power and chip size at the target sampling frequency of 240 MHz, (2) advanced bootstrapping techniques to achieve high signal bandwidth in the input SHA, and (3) RC filter-based on-chip I/V references to improve noise performance with a power-off function added for portable applications.

The prototype ADC is implemented in a 0.18 um CMOS and simultaneously integrated in a DVD system with dual-mode inputs. The measured DNL and INL are within 0.49 LSB and 0.69 LSB, respectively. The prototype ADC shows the SFDR of 53 dB for a 10 MHz input sinewave at 240 MS/s while maintaining the SNDR exceeding 38 dB and the SFDR exceeding 50 dB for input frequencies up to the Nyquist frequency at 240 MS/s. The ADC consumes 104 mW at 240 MS/s and the active die area is 1.36 mm².

Keywords : ADC, CMOS, 저전력, 소면적, 온-칩 전류/전압 발생기

I. 서 론

최근 각종 디지털 신호 처리 기술과 성능이 급속하게 발전함에 따라 그에 부합하는 고성능 A/D 변환기 (analog-to-digital converter: ADC)에 대한 요구가 점차 증가하고 있다. 또한, System-on-a-Chip (SoC)이

* 정회원, ** 평생회원, 서강대학교 전자공학과 및 바이오 융합기술 협동과정
(Dep. of Electronic Engineering and Interdisciplinary Program of Integrated Biotechnology, Sogang University)

※ 본 연구는 서강대학교 산업기술연구소에 의해 지원되었음.

접수일자: 2004년10월21일, 수정완료일: 2004년12월27일

빠른 속도로 발전하고 휴대용 장비에 대한 수요가 급속히 증가함에 따라, 단일 칩으로 다른 CMOS 디지털 VLSI 회로와 함께 집적 가능하면서 고속 및 고해상도의 성능과 함께 저전력 및 소면적의 요구조건을 동시에 만족하는 ADC가 절실한 상황이다. 특히, data storage, 디지털 통신 등의 응용이나 TFT-LCD driver, RGB 인터페이스, DVD SoC, 의료 영상 처리 등의 각종 디스플레이 응용 시스템의 경우에는 8 비트 수준의 해상도 및 200 MS/s 이상의 샘플링 속도 성능과 동시에 임베디드 IP로의 활용을 위한 저전력 소면적이 중요한 사양이 되고 있다. 또한, 200 MS/s 이상으로 동작하면서 높은 주파수의 입력 신호를 처리해야 하는 평판 패널 디스플레이와 같은 응용도 늘어남에 따라 광대역 샘플-앤-홀드 증폭기 (sample-and-hold amplifier : SHA)가 필수적으로 사용되며, 클럭의 duty cycle 변화에 대한 여유도 충분히 고려될 필요가 있다^[1]. 기존의 다양한 ADC 구조 중에서, 이러한 고속의 신호 처리에 적합한 구조로는 서브래인징(subranging), 폴딩(folding), 플래시(flash) 및 파이프라인(pipeline) 구조 등을 사용하고 있으며, 최근에는 이러한 구조 중에서 고속 신호 처리 사양과 고해상도 조건을 동시에 만족하면서 전력 소모 및 면적을 최적화할 수 있는 파이프라인 구조를 많이 적용하고 있는 추세이다^{[2]-[13]}.

사용된 공정 및 주요 목표 사양에 따라 구현 가능한 ADC 구조가 매우 다양하므로 직접적인 성능 비교는 사실상 어렵지만, 최근에 발표된 8 비트 해상도에서 샘플링 속도가 100 MS/s 이상이 되는 ADC의 경우, BJT 공정으로 제작된 ADC는 전력 소모가 크며, 비교적 전력 소모가 적은 CMOS 공정의 ADC 가운데서도 0.13 um CMOS 공정의 ADC^[13]를 제외하고는, 대부분 전력 소모가 200 mW 이상이며, 200 mW 이하인 ADC의 경우에는 샘플링 속도가 200 MS/s 이하인 것이 대부분이다. 그러나 본 논문에서 제안하는 ADC는 전원전압이 1.8 V이고, 240 MS/s 샘플링 속도에서 104 mW의 전력 소모를 가지며, 특히 휴대 응용을 위한 비동작 모드에서는 6 uW의 전력 소모를 갖는다. 그림 1에는 기존에 발표된 8 비트 해상도에서 1 GS/s 이하의 샘플링 속도를 갖는 CMOS 공정의 ADC들을 본 논문에서 제안하는 ADC와 함께, 샘플링 속도에 대한 전력 소모를 비교하여 나타내었다^{[7]-[16]}. 그림 1에서 8b 125 MS/s 21 mW ADC^[13]는 0.13 um CMOS 공정으로 제작되었으며, 8b 600 MS/s 200 mW ADC는 최대속도는 600 MS/s이지만, Nyquist 입력에서의 최대 속도는 400

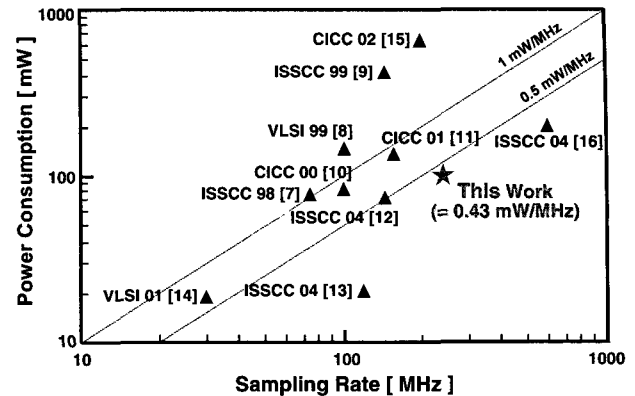


그림 1. 최근 발표된 고속 8 비트 CMOS ADC의 성능 비교

Fig. 1. Performance comparison of recently published high-speed 8b CMOS ADCs.

MS/s로써, 이 때의 샘플링 속도에 대한 전력 소모는 그림 1에서의 값보다 커지게 된다. 반면, 본 논문에서 제안하는 시제품 ADC는 샘플링 속도에 대한 전력 소모가 0.43 mW/MHz로써 세계 최고 수준에 대단히 가깝다.

본 논문에서 제안하는 ADC는 (1) 8 비트의 해상도 및 240 MS/s 샘플링 속도를 만족시키면서 동시에 전력 소모 및 면적을 최적화하기 위해 2단 파이프라인 구조로 설계하였고, (2) Nyquist 속도 이상의 입력 신호를 처리하기 위해 개선된 부트스트래핑 (bootstrapping) 기법을 제안하였으며, (3) 온도 및 전원전압에 독립적이며 온-칩 RC 저대역 필터에 의해 안정적으로 동작하면서 휴대 응용을 위한 비동작 기능이 추가된 새로운 온-칩 CMOS 기준 전류/전압 발생기를 제안하였다. 또한 신호 처리 속도와 해상도를 향상시키면서 저전력의 성능을 구현하기 위해, multiplying D/A 변환기 (MDAC)의 증폭기 설계시 부하를 최소화시키고, MDAC의 캐패시터 수를 50 %로 줄이는 병합 캐패시터 스위칭 (merged-capacitor switching : MCS) 기법을 적용하였으며^[4], 그 밖에 고속 동작을 위한 레이아웃 및 회로설계 기법을 적절히 구현하였다. 이와 같은 설계 기법을 통해 제작 및 검증된 시제품 ADC는 두개의 서로 다른 주파수 입력을 처리할 수 있도록 입력회로를 수정한 후, 8 비트 해상도 및 208 MS/s의 샘플링 속도를 요구하는 DVD 시스템의 핵심 코어 셀로 집적되었으며, 제작된 전체 시스템은 측정 결과 낮은 잡음성능과 함께 92 % 이상의 높은 수율을 보여주고 있다.

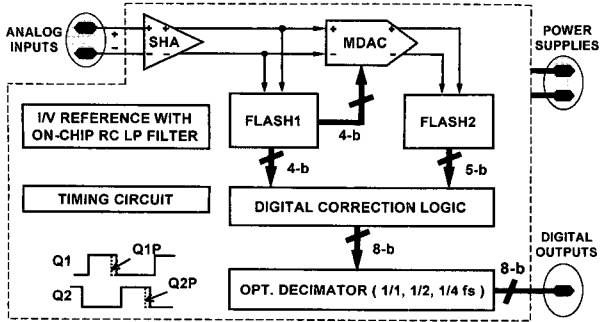


그림 2. 제안하는 8b 240 MS/s CMOS ADC
Fig. 2. Proposed 8b 240 MS/s CMOS ADC.

II. 제안하는 ADC 구조 및 회로 설계

본 연구에서 제안하는 8b 240 MS/s 저전력 CMOS ADC는 두 개의 단으로부터 각각 4 비트, 5 비트를 얻는 2단 파이프라인 구조이며, 전체 구조는 그림 2에 나타내었으며, 외부로 연결되는 핀은 아날로그 입력, 디지털 출력 및 전원전압뿐이며, 그 외에는 모두 칩 내부에서 발생시킨다. 전체 ADC는 입력단 SHA, 4b MDAC, 2 개의 플래시 ADC, 디지털 교정 회로 (Digital Correction Logic), 온-칩 기준 전류/전압 발생기, 온-칩 분주기 (decimator) 및 클럭 발생기로 구성된다.

하나의 마스터 입력 클럭으로부터 두 개의 중첩되지 않는 클럭 Q1, Q2는 칩 내부에서 발생시켰다. SHA, MDAC 및 플래시 ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 및 클럭 피드스루 등의 비선형 오차는, 디지털 교정 회로에 입력되는 9 비트 중에서 1 비트를 중첩시켜 8 비트의 출력을 얻는 디지털 교정 방식으로 교정된다. 온-칩 기준 전류/전압 발생기는, 240 MS/s 수준에서 오프-칩으로는 구현이 어려운 안정되고 정확한 기준 전류/전압을 얻기 위해 온-칩 RC 저대역 필터와 함께 사용되며, 온-칩 분주기는 고속으로 동작하는 ADC의 측정비용 감소와 용이성을 위해 사용되었다.

1. 제안하는 게이트 부트스트래핑 기법을 사용하는 SHA 회로

높은 주파수 대역의 입력 신호를 SHA에서 8 비트 이상의 정확도 및 해상도에서 고속으로 처리하기 위해서는 매우 작고 일정한 온-저항 값을 갖는 입력 샘플링 스위치가 요구된다. 그러나 기존의 NMOS 및 CMOS 형태의 단순한 샘플링 스위치만으로는 1.8 V 수준에서 전원전압의 감소에 따른 게이트 구동전압의 감소로 인해 이러한 요구 사양을 만족하기 대단히 어렵다. 따라

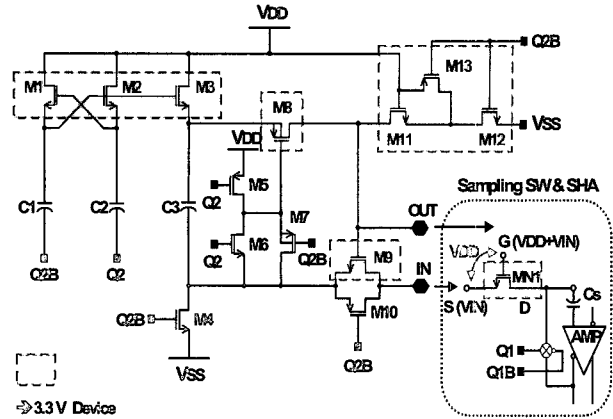


그림 3. 제안하는 게이트 부트스트래핑 회로
Fig. 3. Proposed gate-bootstrapping circuit.

서 입력 신호의 변화와 무관하게 스위치의 게이트-소스 전압을 전원전압 수준으로 일정하게 유지시킴으로써 고속의 입력 신호를 고해상도에서 샘플링이 가능하도록 해주는 부트스트래핑 기법이 제안되었다^[2]. 그러나 이 부트스트래핑 회로는 n-well 공정을 사용할 경우, 일부 노드에서 전원전압 이상의 전압이 인가됨에 따라 취약한 게이트 유전체 (gate oxide)가 스트레스를 받는 등의 소자 (device)의 안정성 문제가 공정에 따라 발생할 수도 있기 때문에 그림 3에서 보듯이, (로 표시) 전원전압 이상의 전압이 인가되는 트랜지스터는 정상적인 1.8 V용 소자 대신에, 채널이 길고 게이트 유전체가 두꺼운 3.3 V용 소자를 사용함으로써, deep sub-micron 공정에 독립적으로 소자의 안정적인 동작이 가능하도록 설계하였다^[5].

한편, 부트스트래핑 회로에 의해 구동되는 NMOS 샘플링 스위치도 소자의 안정적인 동작을 위해 3.3 V용 소자로 구현되면서 입력이 증가함에 따라 바디 효과로 인해 NMOS 트랜지스터의 문턱전압도 증가하게 되고, 이로 인해 샘플링 스위치의 온-저항도 증가하여 입력 신호의 대역폭을 제한하게 된다. 이를 해결하기 위해 기존의 부트스트래핑 회로에서는 CMOS 샘플링 스위치를 사용하기도 하였지만, 본 연구에서 제안하는 부트스트래핑 회로에서는 그림 3의 MN1 즉, 그림 4에서의 MN1, MN2와 같이 CMOS 대신 가능한 작은 크기의 NMOS 샘플링 스위치만을 사용하고, 그림 3의 M9 및 M10의 CMOS 스위치를 최적화하여 높은 신호처리 속도를 얻었다.

본 설계에서 사용한 0.18 um 공정에서는 NMOS 샘플링 스위치를 사용하여 온-저항이 조금 더 커지더라도 기생 캐패시터 성분을 줄이는 것에 의한 영향이,

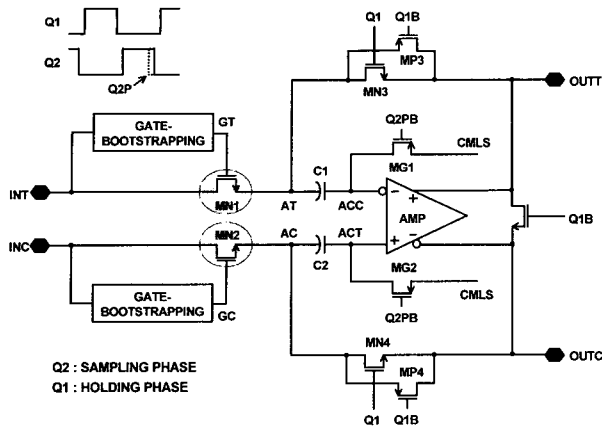


그림 4. 제안하는 SHA 회로
Fig. 4. Proposed SHA circuit.

CMOS 샘플링 스위치를 사용하여 기생 캐패시터 성분이 증가하면서 온-저항을 줄이는 것에 의한 영향보다 커서, SHA의 유효 비트 수 (effective number of bits : ENOB)가 더 높게 나오며, 이 부분은 사용 공정에 따라 변화의 폭이 클 수 있으므로 시뮬레이션을 통해 정량적으로 최적화하여 결정될 필요가 있다. 이와 같은 기법으로 8 비트 해상도 및 240 MS/s의 샘플링 속도에서 Nyquist 입력 신호까지 거의 일정한 성능이 유지되도록 SHA를 설계하였다.

제안하는 SHA 회로에서는 요구되는 8 비트 해상도 및 240 MS/s 이상의 샘플링 속도에서 동작하면서 동시에 작은 칩 면적과 적은 전력 소모를 구현하기 위해, 그림 4와 같이 2 개의 캐패시터를 사용하는 구조로 설계하였고, 열잡음과 8 비트 수준의 정확도를 고려하여 SHA의 입력 캐패시터의 크기는 0.8 pF을 사용하였다.

2. 제안하는 RC 필터 기반의 온-칩 기준 전류/전압 발생기

제안하는 ADC에는 그림 5와 같이 저전력으로 동작하여 휴대용 시스템 응용에 적합한 온-칩 기준 전류/전압 발생기를 집적하였다.

그림 5의 제안하는 전류/전압 발생기는 3 비트 디지털 코드에 의해 ±30 % 이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고, POFF 신호를 두어 비동작 모드를 가능하게 함으로써 휴대 응용 시 ADC 전체의 전력 소모를 감소시킬 수 있도록 구현하여 비동작 모드시 ADC 전체가 6 uW의 전력을 소모하도록 하였다. 한편, ADC에서 사용되는 기준전압은 스위치를 통하여 ADC의 각 동작 블록에 공

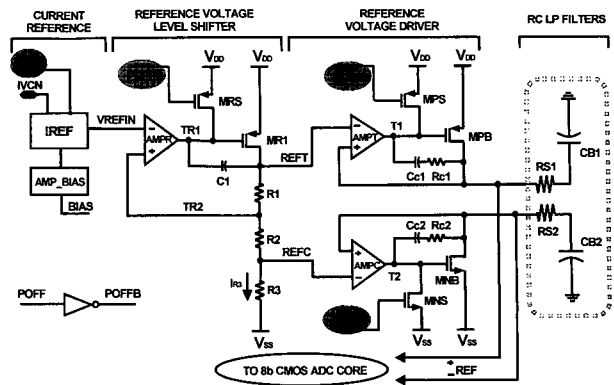


그림 5. 제안하는 RC 필터 기반의 온-칩 기준 전류/전압 발생기
Fig. 5. Proposed on-chip current/voltage references based on RC filters.

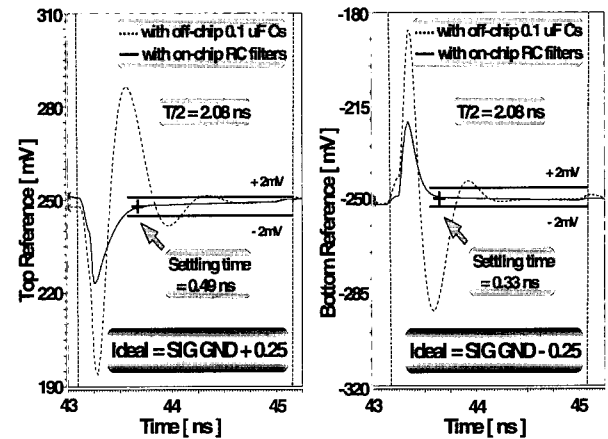


그림 6. 제안하는 온-칩 기준전압의 모의실험 결과
Fig. 6. Simulated results of the proposed on-chip reference voltages.

급되므로, 클럭에 따라 스위치가 턴 온, 턴 오프되면서 채널 전하가 순간적으로 충전방전을 반복하여 기준전압 출력 노드의 전압이 일정한 값으로 유지되기 어렵다. 따라서 기존에는 기준전압 출력 노드에 수 uF의 캐패시터를 외부에서 연결하여 잡음 문제를 해결하였으나, 외부 캐패시터를 연결하기 위해 할당되는 추가적인 핀과 사용되는 값이 큰 캐패시터는 핀 제약이 많은 임베디드 시스템의 핵심 코어 셀의 일부로 사용하는 용도로는 적합하지 않다. 또한, 외부 핀이 존재한다 하더라도 패드와 본딩 와이어에 존재하는 기생 캐패시턴스 및 인덕턴스 성분으로 인해 고주파 잡음과 글리치가 원하는 짧은 시간 내에 외부 캐패시터를 통해 통과되지 않을 수도 있다. 따라서 본 연구에서 제안하는 온-칩 전류/전압 발생기는 그림 5의 우측에서 보는 바와 같이 온-칩으로 구현되는 RC 저대역 필터를 사용하여 휴대 응용을 위한 독립적인 동작이 가능하도록 하고, 동시에

스위치의 충방전에 의한 잡음 및 외부 캐패시터 연결 시 발생하는 고주파 잡음 문제를 해결하도록 설계하여 그림 6의 모의실험 결과와 같이 캐패시터를 외부에서 연결해주는 것에 비해 정착 시간을 현저히 줄였다.

3. 저전력, 소면적을 고려한 MDAC 설계

파이프라인 구조의 ADC에서 전력을 가장 많이 차지하는 부분이 MDAC에 사용되는 증폭기이다. 높은 DC 이득을 얻어야 하고 또한 피드백 루프에 의해 f_{-3dB} 감소가 크기 때문에 높은 속도를 구현하기 위해서는 많은 전력을 요구한다. 제안하는 ADC의 MDAC에서는 요구되는 DC 이득 뿐만 아니라 240 MS/s 수준의 높은 속도와 저전력을 동시에 구현하기 위해서 folded-cascode 와 unfolded-cascode 구조가 순차적으로 연결된 2단 증폭기로 설계하여 DC 이득과 전력을 동시에 최적화하였다. 또한, 요구되는 신호의 스윙 여유를 고려하여 가능한 한 증폭기의 출력단 소자의 크기를 바이어스와 같은 비율로 신호 스윙폭 내에서 최적화함으로써, 일정한 전류를 유지하면서도 출력단 소자의 기생 캐패시턴스를 최소화하여 부하를 줄여줌으로써, 전력 및 면적을 최소화하면서도 240 MS/s 높은 속도로 동작하는 증폭기를 설계하였다.

또한, 제안된 ADC에 사용하는 4b MDAC은 저전력, 고속 및 고해상도 성능을 위해 기존의 MCS 기법을 적용하였다^[4]. 이 기법은 전형적인 파이프라인 ADC에 사용되는 MDAC의 단위 캐패시터를 2 개씩 병합하여 기존의 4 비트 MDAC에서 필요한 16 개의 단위 캐패시터 수를 50 %인 8 개로 줄인다. 따라서 기존의 MDAC과 같은 크기의 단위 캐패시터를 사용할 경우, 줄어든 캐패시터 수만큼 앞단의 부하 캐패시턴스가 감소하므로 증폭기의 전력 소모가 크게 줄어들게 되어 낮은 전력이 필수 조건인 본 시스템 응용에서는 대단히 적합한 기법이다. 사용되는 MDAC의 단위 캐패시터의 크기는, 열잡음 및 8 비트 수준의 정합 등을 고려하여 0.1 pF로 설계하였다.

4. 고속 회로 동작을 고려한 레이아웃 및 회로 설계 기법

제안하는 시제품 ADC는 단일 칩 뿐만 아니라 시스템 등의 핵심 IP로 사용 시에도 편 배치가 용이하도록 라우팅 공간을 코어 셀 내에 확보하여 레이아웃 하였다. 또한, 240 MS/s의 고속 동작 시 발생하는 각 블록 간의 잡음 및 전원전압의 잡음을 억제하기 위해, 블록

안팎의 여유 공간을 이용하여 온-칩 기준전압 및 온-칩 신호 접지전압을 위한 전체 300 pF 수준의 MOS decoupling 캐패시터를 온칩으로 레이아웃 하였다. 이때, 기준전압 및 신호 접지전압 등 사용하는 전압의 레벨에 따라 PMOS 및 NMOS 트랜지스터를 선택적으로 사용하여, 언제나 강반전 영역에서 동작하도록 보장함으로써 일정한 캐패시터 크기 및 칩 성능을 유지하도록 하였다. 또한, 고속 동작에서의 ADC 측정은 측정 장비 비용이 증가할 뿐만 아니라 PCB 기판에서 발생하는 잡음으로 인하여 정확한 성능 측정이 어려운 문제점이 있는데, 이를 해결하기 위해 ADC의 출력 신호를 1/2 또는 1/4로 다운 샘플링 할 수 있는 온-칩 분주기를 구현하였으며, 이 회로 블록은 응용에 따라 선택적으로 사용 가능하다.

III. 시제품 ADC 제작 및 성능 측정

제안하는 8b 240 MS/s 시제품 ADC는 0.18 um 1P6M CMOS n-well 공정을 사용하여 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 7과 같고 회로 블록들 사이의 접선과 실선으로 표시된 부분은 사용하는 전압의 레벨에 따라 PMOS(.....) 및 NMOS(——) 트랜지스터를 선택적으로 사용하여 구현한 온-칩 MOS decoupling 캐패시터를 보여준다.

시제품 ADC의 입/출력 패드를 제외한 칩 면적은 1.36 mm² (= 0.85 mm × 1.60 mm)이며, 1.8 V의 전원 전압에서 240 MS/s의 샘플링 속도를 가지고 동작할 때

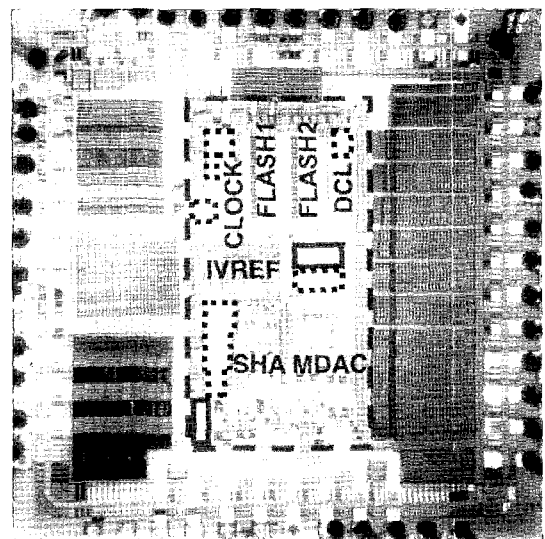


그림 7. 시제품 ADC의 칩 사진
Fig. 7. Die photograph of the prototype ADC.

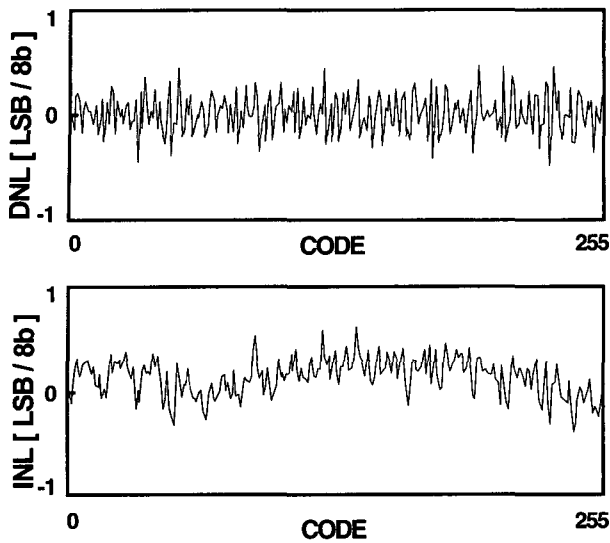


그림 8. 측정된 DNL 및 INL
Fig. 8. Measured DNL and INL.

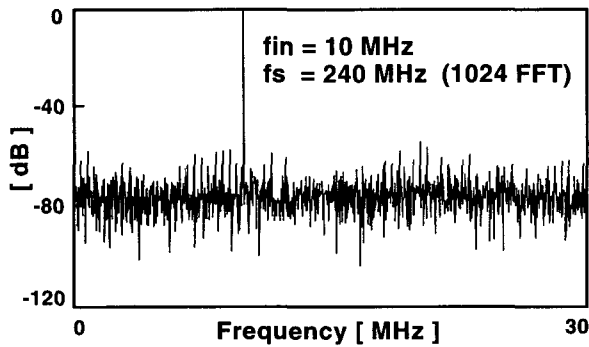


그림 9. 측정된 신호 스펙트럼
Fig. 9. Measured signal spectrum.

104 mW의 전력을 소모한다. 그림 8에서 볼 수 있는 것처럼 측정된 DNL 및 INL은 각각 -0.49~+0.45 LSB, -0.47~+0.69 LSB 이내에 있다.

그림 9는 10 MHz 입력 주파수, 240 MS/s 샘플링 속도에서 온-칩 분주기로 1/4 다운 샘플링하여 측정된 전형적인 신호 스펙트럼을 나타낸다.

그림 10은 시제품의 측정된 동적 성능을 나타내었다. 그림 10 (a)는 샘플링 속도를 50 MS/s에서 240 MS/s까지 증가시킬 때, 10 MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. SNDR은 샘플링 속도가 240 MS/s까지 증가하는 동안 40 dB 이상 유지하는 것을 볼 수 있다.

그림 10 (b)는 240 MS/s의 최대 샘플링 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, SNDR과 SFDR이 각각 38 dB, 50 dB 이상을 유지하는 것을

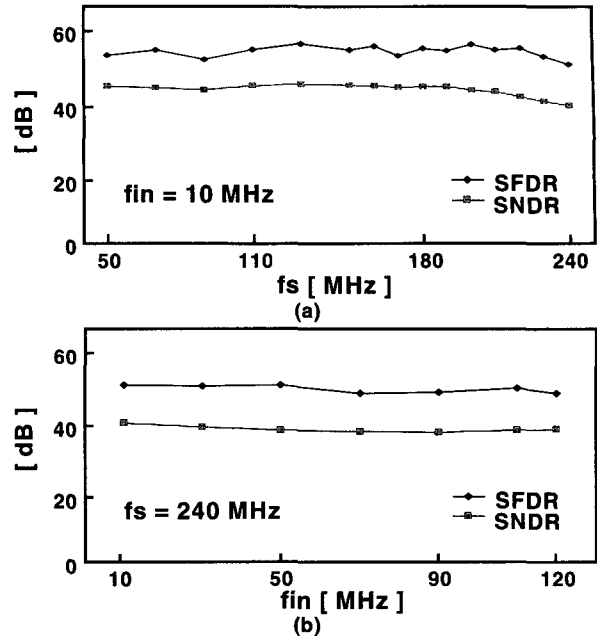


그림 10. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR
Fig. 10. Measured dynamic performance of SFDR and SNDR versus (a) fs and (b) fin.

표 1. 시제품 ADC 성능 요약
Table 1. Performance summary of the prototype ADC.

Resolution	8 bits
Max. Conversion Rate	240 MS/s
Process	0.18 um CMOS
Input Range	1 V _{pp}
SNDR (at 230 MS/s)	41.8 dB at 10 MHz, 40.4 dB at 110 MHz
SNDR (at 240 MS/s)	40.4 dB at 10 MHz, 38.5 dB at 120 MHz
SFDR (at 230 MS/s)	55.0 dB at 10 MHz, 54.7 dB at 110 MHz
SFDR (at 240 MS/s)	52.8 dB at 10 MHz, 50.1 dB at 120 MHz
DNL	-0.49 LSB / +0.45 LSB
INL	-0.47 LSB / +0.69 LSB
ADC Core Power	104 mW at 240 MS/s
Active Die Area	1.36 mm ² (= 0.85 mm × 1.60 mm)

알 수 있다.

제안하는 시제품 ADC의 측정 결과는 표 1에 요약하였다.

IV. DVD 시스템에 집적된 시제품 ADC

실제로, 208 MS/s의 동작속도에서 SNDR 40 dB 수준의 ADC를 필요로 하면서 듀얼모드 입력을 처리하는 DVD 시스템에 집적하기 위해서, 제안하는 8b 240 MS/s ADC를 수정 및 보완한 회로 블록들은 다음과

같다.

첫째, 입력 단에서 필요한 입력 신호 공통모드 전압을 설정하기 위해 통상적으로 외부에서 인가해주던 바이어스 회로 블록을 온-칩으로 집적하여 효율성 및 잡음성능을 향상시켰다. 둘째, DVD 응용 회로의 특성상 RF 입력 신호뿐만 아니라, 필요에 따라 DVD 등 각종 영상 신호 처리 시스템에서 필요로 하는 비교적 낮은 주파수를 가지는 제어 신호도 동시에 처리할 수 있도록, 제안하는 ADC의 입력 신호 처리부에 MUX 및 추가적인 이득 조절 회로를 온-칩으로 구현하였다.

듀얼모드 입력을 처리하는 DVD 시스템에 활용하기 위해서는 두개의 입력 신호가 각각 최대 104 MS/s까지 동작이 가능하도록 설계 되어야 한다. 따라서, 두개의 입력 신호를 하나의 ADC로 처리하기 위해서는 현 공정에서 예상 가능한 최대 클럭 duty cycle 변화를 15% 이상 고려할 때 최대 샘플링 주파수가 240 MHz가 되며, 따라서 제안하는 8b 240 MS/s ADC는 DVD 시스템에 직접적인 활용이 가능하다.

DVD 시스템을 위하여 제안하는 8 비트 240 MS/s ADC를 수정 보완한 ADC는, DVD 시스템의 코어 셀로 집적되었으며, 실장 환경에서 두개의 입력 신호가 동시에 처리되는 상황에서 ADC를 포함한 전체 성능을 측정하였을 때, 208 MHz의 샘플링 주파수에서 DVD 응용에서 필요한 최대 입력 주파수인 18 MHz의 RF 입력 신호와 8 MHz의 WBL 입력 신호에 대해서 각각 40 dB 이상의 SNDR 및 50 dB 이상의 SFDR로 요구되는

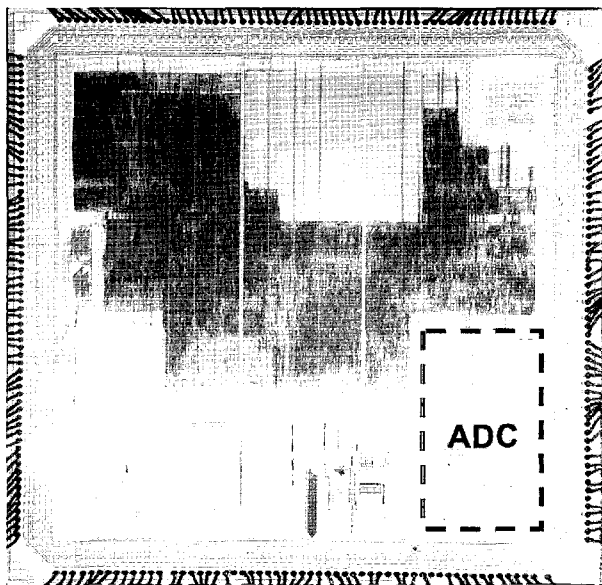


그림 11. DVD 신호 처리부의 칩 사진
Fig. 11. Die photograph of the DVD signal processor.

사양을 만족시키며, 1.8 V의 전원 전압에서 94 mW의 저전력을 소모하며, 92% 이상의 시스템 수율을 보여주고 있다. 전체 DVD 신호 처리부의 칩 사진은 그림 11과 같고, 점선 부분으로 표시된 부분이 제안하는 ADC가 DVD 신호 처리부에 집적된 부분이다.

V. 결 론

본 논문에서는 고속 DVD 시스템과 같은 고성능 디스플레이 등 저전력과 동시에 소면적을 요구하는 SoC에 사용가능한 8b 240 MS/s 저전력 CMOS ADC를 구현하기 위해 다음의 설계 기법들을 제안하였다.

첫째, 입력단 SHA에서 높은 대역폭을 가진 입력 신호를 처리하면서 동시에 고속 고해상도 샘플링이 가능하도록 개선된 부트스트래핑 기법을 적용하였으며, 소자의 안정적인 동작을 위해 3.3 V용 소자를 적절히 사용하였다. 둘째, 온도와 전원전압의 변화에 독립적인 기준 전류/전압 발생기를 온-칩으로 구현하여, 효율성과 잡음 성능을 향상시키는 동시에 저항과 커패시턴스 부하에 대한 구동 능력을 증가시켰으며, 별도로 외부에 0.1 uF 수준의 바이패스 커패시터를 연결하는 기존의 회로 기법과 달리 내부에 최적화된 온-칩 RC 저대역 필터를 집적하여 외부 연결핀을 사용하지 않고도 중요한 내부 아날로그 신호의 정착 시간을 줄였다. 셋째, ADC 전력을 최소화하기 위해, 비동작 모드가 가능하도록 설계하여 휴대용 응용 시스템에 적합하게 하였다. 넷째, MDAC에서는 증폭기 설계시 신호 스윙폭을 고려하면서 바이어스 회로를 적절히 조정하여 부하를 최소화하여 전력 및 면적을 최적화하고, MCS 기법을 적용하여 해상도와 동작 속도를 크게 향상시키는 동시에 전력 소모를 크게 줄였다. 다섯째, 시제품 ADC의 동적 성능 측정시 측정 장비 비용 절감 및 정확한 측정을 위해 오프-칩 고속 디지털 버퍼와 결합된 온-칩 분주기를 구현하였다. 한편, 고속 동작시 발생하는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS 또는 NMOS 커패시터를 선택적으로 구현하여 일정한 커패시터 크기 및 칩 성능을 유지하도록 하였으며, 단일 칩으로뿐만 아니라 시스템 등의 임베디드 핵심 IP로도 사용될 수 있도록 수정 가능한 라우팅 공간을 고려하여 레이아웃을 구성하였다.

제안하는 회로 설계 기법들을 적용하여 구현된 시제품 ADC는 240 MS/s의 샘플링 속도에서, SNDR 및

SFDR이 각각 최대 40 dB, 53 dB 수준을 유지하였으며 칩 면적은 1.36 mm²이고 1.8 V의 전원전압에서 104 mW의 전력을 소모하였다. 제안하는 ADC는 입력 단을 일부 추가 및 수정하여 서로 다른 성질의 듀얼모드 입력을 처리하는 DVD 시스템에 집적되어 양산 중에 있으며, 전체 시스템의 측정된 수율은 92 % 이상을 보여 준다.

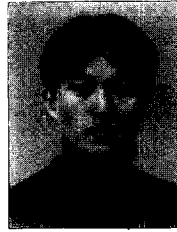
참 고 문 헌

- [1] H. Marie and P. Belin, "R, G, B acquisition interface with line-locked clock generator for flat panel display," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, pp. 1009-1023, July 1998.
- [2] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipelined analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [3] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz" in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 38-39.
- [4] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120Msamples/s CMOS pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 441-444.
- [5] S. M. Yoo, J. B. Park, H. S. Yang, H. H. Bae, K. H. Moon, H. J. Park, S. H. Lee, and J. H. Kim, "A 10b 150MS/s 123mW 0.18um CMOS pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 326-327.
- [6] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14b-linear capacitor self-trimming pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 464-465.
- [7] W. Bright, "8 b 75 MSample/s 70 mW parallel pipelined ADC incorporation double sampling," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 146-147.
- [8] M. J. Choe, B. S. Song, and K. Bacrania, "An 8b 100MSample/s CMOS pipelined folding ADC," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1999, pp. 81-82.
- [9] Y. T. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D converter," in *ISSCC Dig. Tech. Papers*, May 1999, pp. 117-120.
- [10] R. C. Taft and M. R. Tursi, "A 100-MSPS 8-b CMOS subranging ADC with sustained parametric performance from 3.8 V down to 2.2 V," in *Proc. CICC*, May 2000, pp. 253-256.
- [11] G. Feygin, K. Nagaraj, R. Chattopadhyay, R. Herrera, I. Papantonopoulos, D. Martin, P. Wu, and S. Pavan, "A 165 MS/s 8-bit CMOS A/D converter with background offset cancellation," in *Proc. CICC*, May 2001, pp. 154-156.
- [12] S. Liimotyakis, S. D. Kulchyski, D. Su, and B. A. Wooley, "A 150MS/s 8b 71mW time-interleaved ADC in 0.18um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 258-259.
- [13] J. Mulder, C. M. Ward, C. H. Lin, D. Kruse, J. R. Westra, M. L. Lugthart, E. Arslan, R. J. van de Plassche, K. Bult, and F. M. L. van der Goes, "A 21mW 8b 125MS/s ADC occupying 0.09mm² in 0.13um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 260-261.
- [14] T. Sigenobu, M. Ito, and T. Miki, "An 8-bit 30MS/s 18 mW ADC with 1.8 V single power supply," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2001, pp. 209-210.
- [15] J. Vandenbussche, K. Uyttenhove, E. Lauwers, M. Steyaert, and G. Gielen, "A 8-bit 200 MS/s interpolating/averaging CMOS A/D converter," in *Proc. CICC*, May 2002, pp. 445-448.
- [16] G. Geelen and E. Paulus, "An 8b 600MS/s 200mW CMOS folding A/D converter using an amplifier preset technique," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 254-255.

저 자 소 개



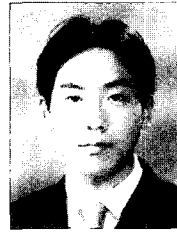
이 경 훈(정회원)
 2004년 서강대학교 전자공학과
 학사.
 2004년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야: 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등임.>



김 세 원(정회원)
 2003년 서강대학교 전자공학과
 학사.
 2003년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야: 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등임.>



조 영 재(정회원)
 1999년 서강대학교 전자공학과
 학사.
 2003년 서강대학교 전자공학과
 석사.
 2003년~현재 서강대학교 전자
 공학과 박사과정.
 <주관심분야: 고속 데이터 변환기(A/D, D/A) 설
 계, 집적회로 설계, 혼성모드 회로 설계 등임.>



문 경 준(정회원)
 2005년 서강대학교 전자공학과
 학사예정.
 <주관심분야: 고속 데이터 변환기
 (A/D, D/A) 설계, 집적회로 설계,
 혼성모드 회로 설계 등임.>



지 용(정회원)
 제31권 A편 제3호 참조
 현재 서강대학교 전자공학과 교수



이 승 훈(평생회원)
 1984년 서울대학교 전자공학과
 학사.
 1986년 서울대학교 전자공학과
 석사.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab
 (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior
 design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야: 집적회로 설계, 데이터 변환기
 (A/D, D/A) 설계 등임.>

