

Chirp 대역확산방식을 이용한 40kbps급 협대역 전력선 통신 모뎀 구현

論 文
54D-2-9

Implementation of 40kbps Narrowband Powerline Communication Modem using Chirp Spread Spectrum Method

李 垣 泰[†] · 禹 大 鎬^{*} · 劉 永 奎^{**} · 李 永 哲^{***}
(Won-Tae Lee · Dae-Ho Woo · Young-Gyu Yu · Young-Chul Lee)

Abstract - Chirp spread spectrum method using both time and frequency component is fit to time varying channel such as powerline channel. The used chirp symbol based on the CEBus standard is the unit symbol which sweeps from 100kHz to 380kHz over a 25 μ s. To evaluate the performance of between Chirp-SS and DSSS, we measured the bit error rate under Gaussian channel. Simulation result is shown that Chirp-SS has a about 3[dB] gain of SNR than DSSS. To verify the performance of implemented modem, it is made up the powerline channel environment. After adding several noises to it, we examined the receiving status of modem. The implemented modem is able to receive the signal over the powerline channel with having several noises and capacitive loads.

Key Words : Powerline Communications, CEBus, Chirp-SS, Narrowband PLC Modem

1. 서 론

인터넷 기반 네트워크의 지속적인 확산에 따라 홈 네트워킹 기술과 연동된 정보 활용 서비스에 대한 소비자의 욕구가 증가하게 되었고, 그 결과 정보화된 가전기기의 개발이라는 산업적 분위기가 조성되었다. 이에 따라 국내외 가전기기 제조업체에서는 디지털 가전기기의 개발에 착수하여 시장의 조기진입과 점유율 확보를 위한 치열한 경쟁을 벌이고 있다. 이러한 상황에서 가전업체들의 고민은 개별적으로 개발된 디지털 가전기기들의 네트워크화를 위한 최상의 솔루션을 선정하는 것이었고, 오랜 기술 및 산업 분석을 통해 현재는 국내 외적으로 전력선 통신기술을 이용한 디지털 가전의 네트워크화라는 흐름이 주도적으로 형성되어 있다. 즉 전력선을 매체로 한 디지털 가전기기는 네트워크 설치가 용이하고 디지털 가전 네트워크의 확장성이 뛰어난 뿐 아니라 추가 배선의 불필요로 인한 가격 경쟁력의 확보 등을 바탕으로 홈네트워크에 있어 최상의 솔루션으로 평가받고 있다[1].

현재, 디지털 정보 가전에 이용되고 있는 대표적인 전력선 모뎀은 Echelon사의 PLT-22, Itran사의 IT800이 존재한다. Echelon사 PLT-22는 5.4kbps 속도를 가지면, 실 환경 적용시 2.4kbps 데이터 속도로 동작으로 하고[2], Itran사 IT-800은 7.5kbps 속도를 가지며, 실 환경 적용 시에는 전력선 통신

환경에 따라 1.25.kbps로 동작한다[3].

향후, 디지털정보가전의 효율적인 홈네트워크 구성을 위해서는 실제 데이터 속도는 최소 20kbps이상 되어야 하지만 현재의 전력선 모뎀 제품군들은 사용하기가 어렵다고 사료된다.

따라서, 본 논문에서는 실제 전송 속도를 20kbps로 유지하기 위한 방안으로 대역확산기술의 하나인 chirp 방식을 이용하여 40kbps급 전력선 통신모뎀을 구현하였다. Chirp 방식은 직접대역확산과 주파수도약 방식보다 전송 속도측면에서는 다소 불리한 기술이나 다른 대역확산기술보다 잡음에 강하다는 장점을 가지고 있어 전력선과 같은 열악한 채널환경에 적합한 기술이다[4].

본 논문에서 사용된 chirp 심볼은 CEBus 규격을 사용하여 인코딩 및 디코딩 하였으며, chirp 심볼은 100~380kHz의 선형 가변주파수 신호가 25 μ s 동안 지속하도록 하였다. CEBus 규격에서 사용되는 신호는 200~400kHz 까지 변환 후 다시 100~200kHz 까지 변환하는 chirp 신호를 사용하도록 되어 있으나, 여기에서는 가변 심볼 chirp 방식을 사용하여, 물리층에서 사용하는 캐리어는 CEBus를 포함하고 있다[5]-[7].

송신부는 Preamble, Preamble_EOF, Packet body와 CRC로 구성되며, Packet body는 8kbyte 까지의 데이터를 가변적으로 전송할 수 있는 구조로 설계하였다. 수신부는 인코딩된 신호의 상관값을 비교하여 심볼 chirp 신호가 감지되면 마이크로컨트롤러의 펄스를 전달하고 마이크로컨트롤러는 펄스와 시간 간격을 측정하여 데이터를 복원하는 구조로 구현하였다.

본 논문의 구성은 다음과 같이 제2장에서 구현하고자하는 PLC(powerline communication) 모뎀의 사양과 패킷 구조를 설명하고, 3장에서는 FPGA로 구현된 송수신기의 구조를 나타내었다. 그리고 4장에서는 구현된 FPGA를 이용한 각종 실험 및 결과를 분석하고, 마지막 5장에서 결론을 맺는다.

† 교신저자, 正會員 : 韓國電氣研究院 責任研究員
E-mail : wtlee@keri.re.kr

* 正會員 : 市立仁川大學校 電子工學科 · 工博

** 正會員 : 全北大學校 電氣工學科 博士課程

*** 正會員 : 慶南大學校 情報通信工學部 教授 · 工博

接受日字 : 2004年 10月 6日

最終完了 : 2004年 12月 16日

2. 40kbps PLC 모델 구성

2.1 40kbps PLC 모델 사양

본 논문에서 구현한 협대역 PLC 모델의 사양은 표 1과 같으며, FPGA에 PLC 모델의 송신부 및 수신부를 설계하였다. 이때 전력선 물리층에서 전송되는 심볼들은 2절과 같은 패킷의 구조를 따른다. 또한 이 모델은 CSMA/CDCR 기법을 사용하여 다중 접속이 가능하다.

표 1 40kbps PLC 모델 사양
Table 1 40kbps PLC Modem Specification

항 목	내 용
전원 연결	220VAC, 60/50Hz
사용 전원	±12VDC, +5VDC, +3.3VDC
변조 방식	Chirp Spread Spectrum
사용 주파수	100~380kHz
MCU	ATmega103
FPGA	EPF10K100ARC240-3
전력선 Coupler	HPF(10kHz cutoff frequency)
수신 Filter	4차 Chebyshev BPF(100~400kHz)
증폭기	1단 A급 트랜지스터 증폭기
시스템 클럭	5.12MHz
전송 속도	최고 : 40kbps, 최저 : 20kbps, 평균 : 30kbps
CRC	CRC16
패킷 Length	1~8kbyte 가변
Compliance	CEBus compatible
사용자 인터페이스	RS232C(9600/19200bps)

2.2 패킷 구조

2.2.1 심볼 발생

그림 1은 25us의 단위 심볼 시간(unit symbol time, UST) 동안의 심볼 chirp 신호가 선형적으로 변하는 것을 나타낸 것이다. 대역폭은 100~400kHz이며, 심볼 타이밍 시간은 25us, 샘플링 주파수는 5.12MHz 그리고 샘플링 개수는 128개이다.

그림 2는 심볼을 8 UST 동안 표현하여 패킷의 Preamble_EOF(end of field)를 표시한 것이다.

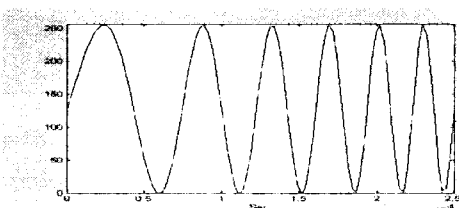


그림 1 단위 Chirp 심볼
Fig. 1 Unit Chirp Symbol

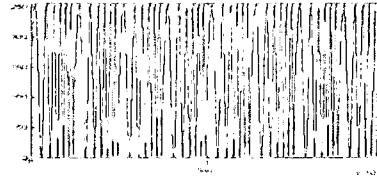


그림 2 Preamble_EOF
Fig. 2 Preamble_EOF

2.2.2 패킷 구조

사용된 패킷 구조가 그림 3에 나타나있다. 패킷 인코딩은 SUPERIOR 상태와 INFERIOR 상태를 이용하고 두 상태를 반복한다. 패킷의 각 구조는 항상 SUPERIOR 상태로 시작한다. 각 상태와 그 때의 데이터에 따라 달라지는 심볼 인코딩은 표 2와 같다.

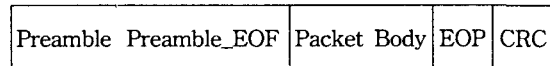


그림 3 패킷 구조
Fig. 3 Packet Structure

표 2 상태와 데이터에 따른 심볼 인코딩
Table 2 Symbol Encoding according to State and Data

구 분	상 태	
	SUPERIOR	INFERIOR
데 이 터	1	25us동안 symbol presence
	0	50us동안 symbol absence

표 2에 따라 이진 데이터 10110100을 인코딩 하면 그림 4와 같다.

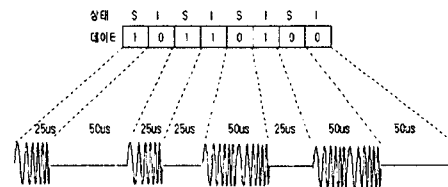


그림 4 10110100 인코딩
Fig. 4 10110100 Encoding

이러한 인코딩은 항상 SUPERIOR 상태에서 시작하며 INFERIOR와 교대로 반복한다. 각 상태와 데이터에 따른 심볼은

- SUPERIOR + 데이터 1 → 25us 심볼
- SUPERIOR + 데이터 0 → 50us 심볼
- INFERIOR + 데이터 1 → 25us동안 심볼 없음
- INFERIOR + 데이터 0 → 50us동안 심볼 없음

이므로 그림 4와 같이 전력선 물리층에 전송된다.

2.2.3 Preamble

Preamble는 패킷의 시작을 나타내며 DLL층의 ID나 다른 식별자를 표시하는데 사용된다. 25us의 UST를 사용하며, 항상 SUPERIOR 상태로 시작한다.

Preamble 코드는 0x69(0110 1001)를 기본값으로 사용하며, 레지스터 Preamble에 값을 기록함으로써 동작 중에도 가변할 수 있다. Preamble의 기본값인 0x69(01101001)를 인코딩하여 나타내면 그림 5와 같다.

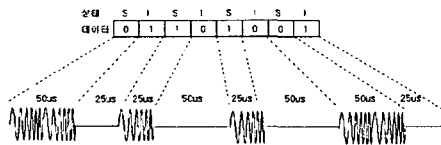


그림 5 0x69(01101001) 인코딩
Fig. 5 0x69(01101001) Encoding

2.2.4 Preamble_EOF

Preamble_EOF는 25us의 연속적인 8 UST를 '11111111'로 인코딩하여 Preamble의 끝을 알려준다. 항상 SUPERIOR 상태로 인코딩이 되며 가변할 수 없다. 그림 6은 Preamble_EOF를 심볼을 이용하여 표시한 것이다.

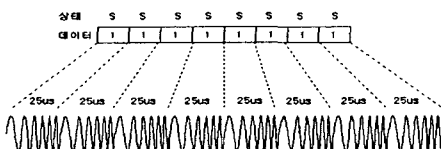


그림 6 Preamble_EOF 인코딩
Fig. 6 Preamble_EOF Encoding

2.2.5 Packet Body

Packet Body는 Preamble과 동일한 인코딩 방식을 사용한다. 항상 SUPERIOR 상태로 시작하며 SUPERIOR와 INFERIOR의 상태가 교대로 반복되며 데이터 비트와 조합되어 인코딩된다.

2.2.6 EOP

EOP(end of packet)는 25us의 연속적인 4 UST를 '1111'로 인코딩하여 패킷의 끝을 알려주며, 항상 SUPERIOR 상태이다. 그림 7은 EOP를 인코딩하여 나타낸 것이다.

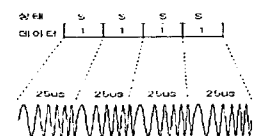


그림 7 EOP 인코딩
Fig. 7 EOP Encoding

2.2.7 CRC

CRC(cyclic redundancy check)는 CRC16을 사용하며 SUPERIOR 상태로 시작한다. CRC16 비트 중 마지막 비트는 INFERIOR로 끝나기 때문에 항상 dummy 심볼을 붙여서 CRC 끝을 알려준다. 그림 8은 CRC16를 인코딩한 것으로 마지막에 dummy 심볼을 발견할 수 있다.

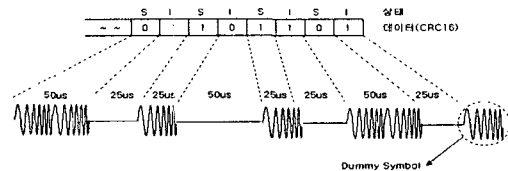


그림 8 CRC16 인코딩
Fig. 8 CRC16 Encoding

3. FPGA 설계

3.1 FPGA 송신 블록

본 논문에서 구현한 PLC 모델의 송신부는 마이크 인터페이스, 레지스터 블록, RAM 블록, 제어 신호부를 포함한 chirp 신호 인코더 블록의 4부분으로 구성하고 있으며, FPGA 송신 블록도는 그림 9와 같다.

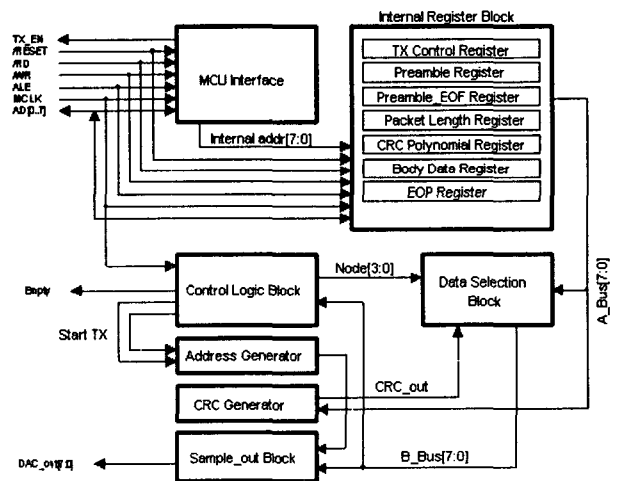


그림 9 FPGA 송신 블록도
Fig. 9 FPGA Transmitter Block Diagram

인코더 블록의 경우 쓰여진 데이터를 패킷 길이에 따라 Preamble, Preamble_EOF, Packet Body, EOP, CRC를 순서적으로 CEBus 규격에 따라 제어신호를 생성하게 되며, 이 신호에 따라 RAM 블록과 내부 ROM에서 필요한 데이터를 디지털 아날로그 변환기의 입력으로 출력하게 된다. 전송하고자 하는 데이터가 내부 버퍼의 크기인 8byte가 넘게 되면 마이크에 인터럽트 신호를 걸어 다음 데이터를 요구하게 되며 전송하는 데이터가 모두 들어 왔으면 자동으로 EOP와

CRC를 추가 전송한 후 대기 상태로 들어간다. 컴퓨터를 이용하여 각각의 송신 캐리어를 시뮬레이션 하여 128개의 해당하는 샘플 값을 추출하였으며, 수신부 하드웨어 상관기에 필요한 데이터 값도 추출하였다.

그림 10은 FPGA의 내부 송신부를 나타낸 것이며, 그림 11은 시뮬레이션 심볼이고, 그림 12는 심볼을 실제의 전력선 채널에 인가하여 측정된 파형이다.

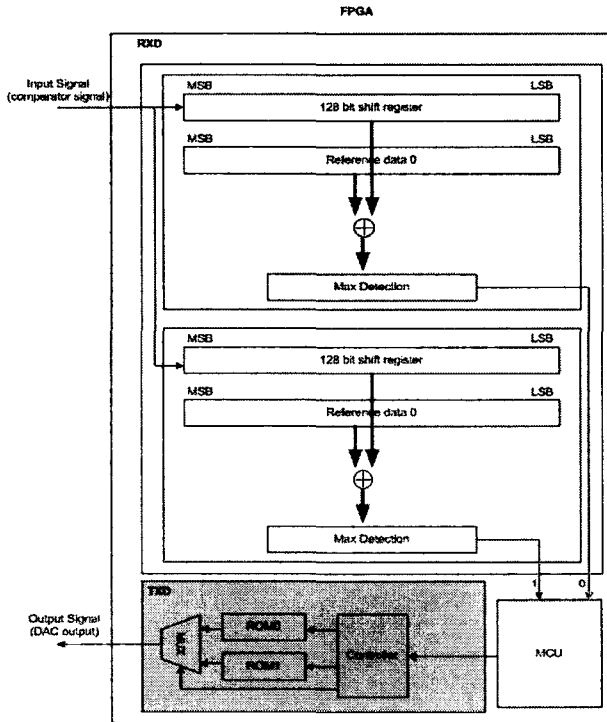


그림 10 FPGA 내부 송신부
Fig. 10 FPGA Internal Transmitter Block

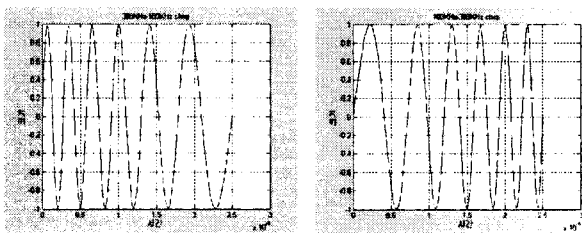


그림 11 시뮬레이션 심볼
Fig. 11 Simulation Symbol

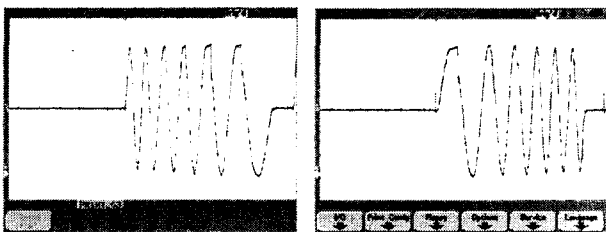


그림 12 전력선 채널상의 심볼 파형
Fig. 12 Symbol Waveform over Powerline Channel

3.2 FPGA 수신 블록

수신부의 구성은 마이컴 인터페이스, 레지스터 블록, 연산기 블록의 3부분으로 나누어져 있으며, FPGA 수신 블록도는 그림 13과 같다. 디코더 블록은 사용자가 정한 오프셋 및 임계치에 의해 비교기에서 들어오는 입력값을 추적하게 되는데, 이 때 chirp 신호로 판단되면 마이컴에 인터럽트 신호를 전달하게 된다.

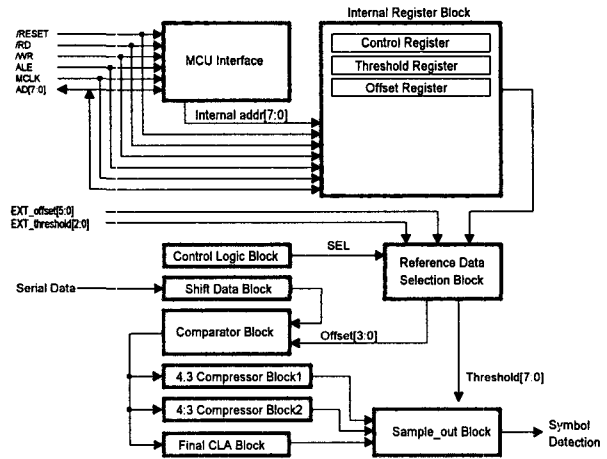


그림 13 FPGA 수신 블록도
Fig. 13 FPGA Receiver Block Diagram

FPGA 내부 수신부는 그림 14와 같이 길이가 128인 이동 레지스터에 의한 상관기 2개를 이용하여, 동시에 '0'과 '1'에 해당하는 상관기로 동작하게 된다.

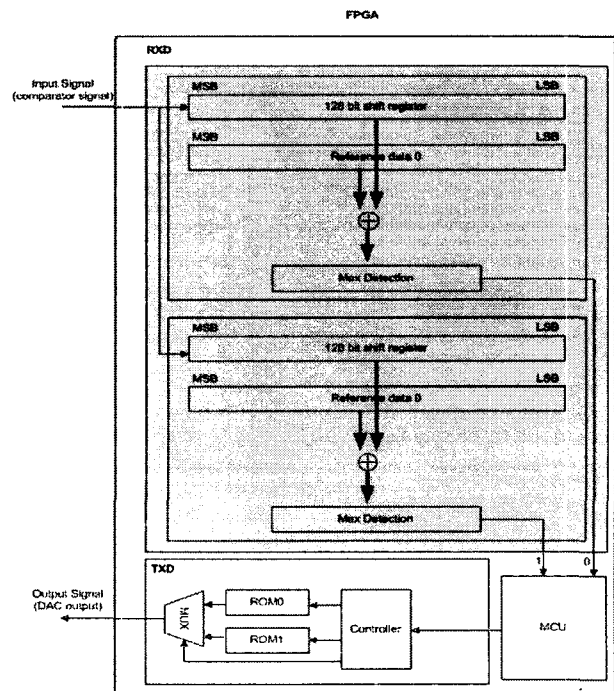


그림 14 FPGA 내부 수신부
Fig. 14 FPGA Internal Receiver Block

수신부는 수신 파형을 받아 비교기를 거친 후 수신 신호의 이진화 값을 출력하고, 출력된 값은 상관기를 통하여 데이터를 복조해 낸다. 비교기 출력 신호의 시뮬레이션 결과는 그림 15와 같고, 실제 비교기를 통과한 후의 출력 신호는 그림 16과 같다.

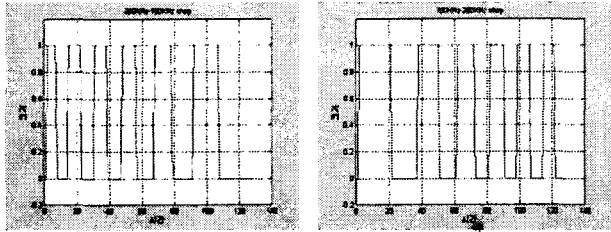


그림 15 비교기의 시뮬레이션 결과
Fig. 15 Simulation results of comparator

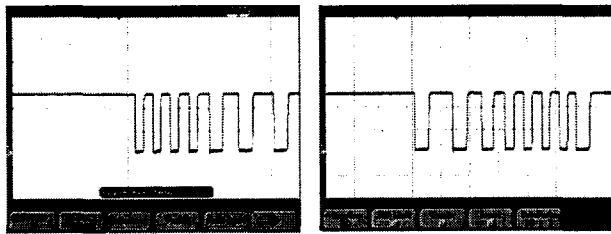


그림 16 비교기의 실제 출력 신호
Fig. 16 Real output signal of comparator

수신부의 타이밍은 그림 17과 같이 먼저 리셋 후 첫번째 및 두번째 상승 제어 클럭에 상관기의 임계치가 세팅되고, 그 이후부터의 Match_o_0, Match_o_1의 신호가 유효한 정보가 된다. data '1'이 수신되었을 경우는 Match_o_1=high가 되고, data '0'이 수신되었을 경우는 Match_o_0=high가 된다. 제어 신호는 마이컴을 통하여 만들어진다.

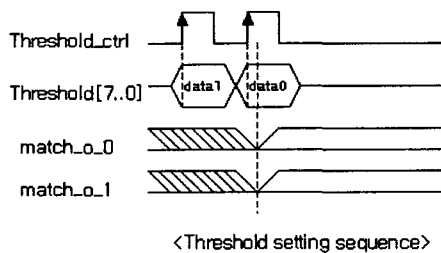


그림 17 수신부 타이밍
Fig. 17 Receiver block timing

4. 실험 결과 및 고찰

본 논문에서 구현한 Chirp 대역확산 기법의 이론적인 성능을 평가하기 위해서, 가우시안 채널하에서 직접 대역확산 기법과 BER(bit error rate)을 평가를 했다. 그림 18에서 두 변조 방식에 대한 시뮬레이션 결과가 나타나 있으며, 사용된 실험 조건은 다음과 같다. 직접 확산 기법의 확산 코드는 랜덤

코드를 사용하였고 길이는 128이다. 샘플링 주파수는 5.12 MHz이고 한 심볼 주기가 25usec 이며 한 심볼 데이터 길이는 128 이다. 따라서 직적확산코드의 길이를 128로 설정하였다. 정보 데이터의 길이는 10000이며 랜덤적으로 발생하였다. 이때, 신호 대 잡음비를 -30[dB]부터 20[dB]까지 변화하면서 비트 오류를 측정하였다. 측정 결과, BER을 10^{-3} 을 기준으로 하였을 경우, chirp 대역확산 방식이 직적 대역확산 기법보다 약 3[dB] 정도의 신호 대 잡음비 이득을 지님을 알 수 있다.

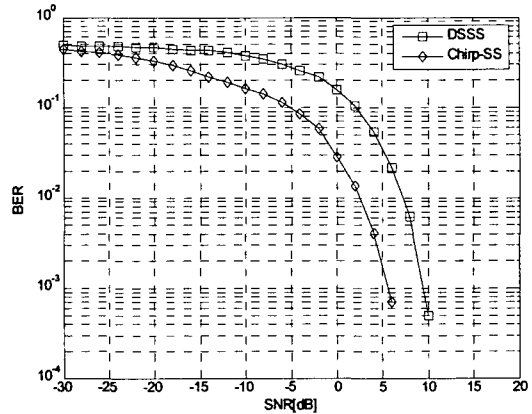


그림 18 Chirp SS와 DSSS의 BER 성능
Fig. 18 BER performance of Chirp-SS and DSSS

실제 전력선 채널하에서 BER을 측정하는 것은 현실상 제약적인 많은 요소들이 존재한다. 본 논문에서는 전력선에 각종 잡음들이 존재하는 경우 통신에 어떻게 영향을 주는지 살펴 보기위해서 다음과 같은 실험을 하였다. 구현한 전력선 통신 트랜시버의 특성 실험을 위하여 가정의 전기 배선 및 가전제품을 기준으로 재현성을 가질 수 있도록 전력선의 환경을 모의할 수 있는 전력선 통신 환경 부하망을 그림 19와 같이 구성하였다.

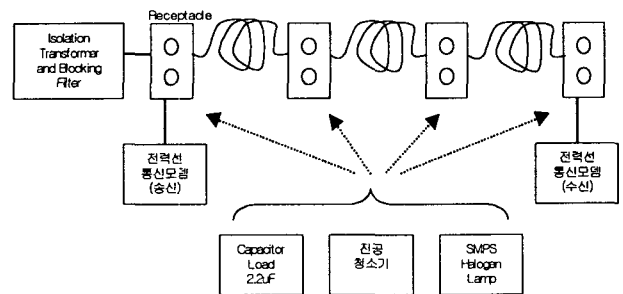


그림 19 전력선 통신 실험 환경
Fig. 19 PLC experiment environment

전력선 통신 실험 환경은 가정의 전력선 결선 길이가 평균 30m 이내인 것을 감안하여, 30m의 분기점을 갖는 4개의 Receptacle을 설치하고, 전력선 통신에 대하여 악조건 배선 구조인 권선 형태로 감아 일정한 인덕턴스를 갖는 구조로 구성하였다. 그리고 실험에 필요한 의사 부하는 가정용 가전제품이 대부분 노이즈나 EMI 방사 및 전도를 줄이기 위하여

용량성으로 구성되어 있으며, 또한 가전제품의 높은 용량성을 고려하여 2.2uF/630V의 커패시터로 구성하였다. 전력선에 방사하는 잡음 원으로는 브러시에 의한 잡음을 발생시키는 범용 모터 청소기와 스위칭 잡음을 발생시키는 SMPS 방식의 전원 공급기를 사용하는 할로겐램프를 사용하였다.

그림 20에서는 무 부하시 송신 및 수신 파형과 데이터 검출 결과를 보였다. 무 부하시의 송수신 실험에서는 전력선의 임피던스의 영향과 90m 배선의 선로 특성으로 송신 출력 신호의 왜곡과 수신 신호의 감쇄현상이 발생하였으나, 단지 선로 채널의 감쇄만 발생하여 대부분의 신호를 수신할 수 있었으며, 수신 주파수 성분이 모두 남아있어 모든 데이터의 수신이 가능하였다.

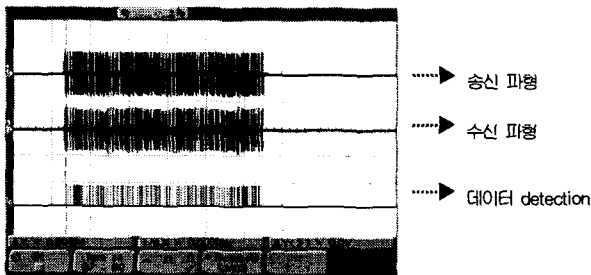


그림 20 무부하시의 송수신 파형 및 데이터 검출
Fig. 20 Transmitting-receiving waveform and data detection without load

그림 21은 커패시터 부하시의 송수신 파형과 데이터 검출을 보여준다. 송신 측으로부터 30m 지점에 2.2uF 커패시터 부하를 인가하였을 경우의 수신 실험으로, 커패시터 부하에 의한 출력신호 왜곡과 30m 라인 인덕턴스와 부하 커패시터 그리고 수신 측으로의 60m 라인 인덕턴스에 의한 특정 주파수 노치 현상이 발생하고 있으며, 커패시터로 인한 낮은 임피던스로 수신 신호가 100mV 미만으로 검출되었으나, 수신 신호의 주파수 스펙트럼이 아직까지 대부분 남아 있어 수신 가능하였다.

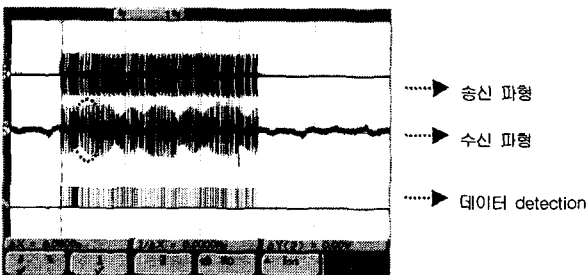


그림 21 30m 커패시터 부하시 송수신 파형과 데이터 검출
Fig. 21 Transmitting-receiving waveform and data detection with 30m capacitance load

그림 22는 30m, 60m 지점의 커패시터 부하시 송수신 파형과 데이터 검출을 보여준다. 송신 측으로부터 30m 지점과 60m 지점에 2.2uF 커패시터 부하를 인가하였을 경우의 수신 실험으로 낮은 임피던스로 인한 심한 감쇄 특성으로 10V의 송신 신호가 20mV 미만으로 관측되고 있다. 하지만 증폭에

의해 신호를 복원 할 수 있으며 아직까지 일부 주파수를 제외하고 대역확산의 주파수 성분이 남아 있어 수신 가능하였다.

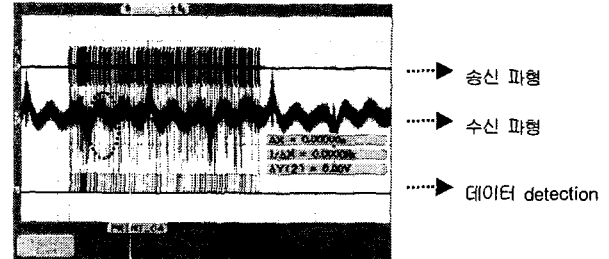


그림 22 30m/60m 커패시터 부하시 송수신 파형과 데이터 검출

Fig. 22 Transmitting-receiving waveform and data detection with 30/60m capacitance load

그림 23은 0m, 60m, 90m 지점의 커패시터 부하시 송수신 파형과 데이터 검출을 보여준다. 송신측으로부터 30m 지점, 60m 지점 및 90m 지점에 2.2uF 커패시터 부하를 인가하였을 경우의 수신 실험으로, 심한 감쇄 특성과 왜곡으로 잡음과 구분이 되지 않을 정도이지만 앞의 실험과 비슷한 특성을 나타내고 있다. 전력선에서의 100kHz~200kHz 대역의 주파수 신호는 커패시터에 의한 통신 신호의 감쇄와 왜곡이 일정한 용량 이상에서는 거의 일정하게 됨을 알 수 있다. 실험을 통해 4.4uF 이상의 커패시터 부하에서는 대부분 일정한 특성을 나타내고 있다.

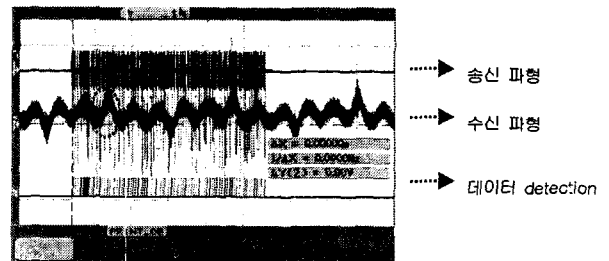


그림 23 30m/60m/90m 커패시터 부하시 송수신 파형과 데이터 검출

Fig. 23 Transmitting-Receiving waveform and data detection with 30/60/90m capacitance load

잡음 실험에서는 진공청소기와 할로겐램프를 사용하였으며, 진공청소기는 약 10kHz 대역, 할로겐램프는 100kHz 대역에서 스위칭 주파수가 발생한다. 그림 23은 30m, 60m, 90m 지점에 커패시터 부하, 30m 지점에 청소기를 동작시킬 때 송수신 파형과 데이터 검출을 보여준다. 송신 측으로부터 0m 지점과 30m 지점 그리고 60m 지점에 2.2uF 커패시터 부하를 인가하고, 수신측 30m 지점에 진공청소기를 작동시켰을 경우의 수신 실험으로 브러시 회전에 의한 임펄스성 잡음이 관측된다. 회전자의 속도에 의한 10kHz 주기의 임펄스가 발생하고 있으며, 시간 영역에서 본 임펄스의 펄스폭이 대역확산 신호의 주기에 비해 무시할 수 있을 정도로 짧은 기간이고, 트랜시버의 샘플링 주파수에 의해 일부 제거될 수 있으므로 수신에 지장을 주지 않았다.

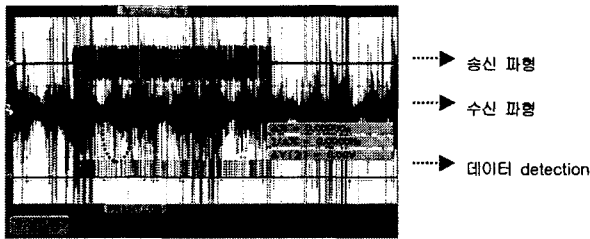


그림 24 30m/60m/90m 커패시터 부하와 30m 청소기 동작 시 송수신 파형과 데이터 검출

Fig. 24 Transmitting·receiving waveform and data detection with 30/60/90m capacitance load and 30m operating vacuum cleaner

그림 25는 청소기 잡음의 주파수 특성 파형이다. 진공청소기를 작동시켰을 경우 시그널 모니터로 관측한 전력선 잡음 파형 및 FFT 파형으로 전원 주파수 8.33ms에 동기된 주기로 모터 회전자와 브러시의 회전 속도에 동기된 임펄스 주기가 60Hz 및 7kHz~15kHz 대역 분포 스펙트럼으로 나타나고 임펄스의 주파수 스펙트럼에 의하여 전체 대역에 일정한 크기의 배경 스펙트럼이 나타남을 알 수 있다.

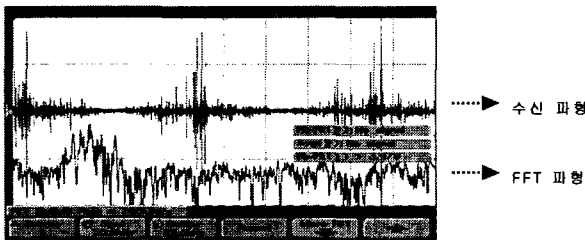


그림 25 청소기 잡음의 주파수 스펙트럼
Fig. 25 Frequency spectrum of vacuum cleaner

그림 26은 커패시터와 할로겐램프 부하를 인가하였을 때 송수신 파형과 데이터 수신 검출을 보여준다. 송신 측으로부터 0m 지점과 30m 지점 그리고 60m 지점에 2.2uF 커패시터 부하를 인가하고 수신측 60m 지점에 할로겐램프를 작동시켰을 경우의 수신 실험으로 할로겐램프의 스위칭 잡음이 발생하나 커패시터 부하에 의해 잡음이 감쇄한다. 하지만 전체적인 커패시터 부하에 의한 신호의 감쇄가 많아 데이터 에러가 발생하고 있다.

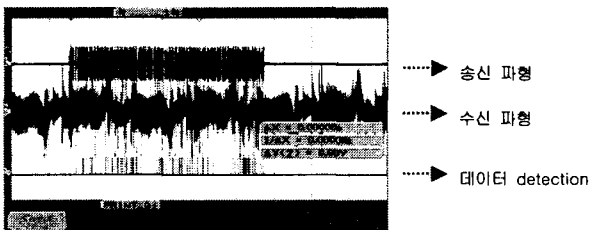


그림 26 커패시터, 할로겐램프 부하시 송수신 파형과 데이터 검출
Fig. 26 Transmitting·receiving waveform and data detection with having both capacitance and halogen lamp load

데이터 에러는 랜덤 에러와 연접 에러가 동시에 나타나고 있는데 이것은 스위칭 잡음에 의한 랜덤 에러와 할로겐램프의 SMPS가 저가의 소형 구조로 제작된 리플 전원회로이므로 전원 동기 현상에 의한 주기적 잡음 발생으로 연접 에러가 발생하고 있다. 이러한 형태의 SMPS는 전력선 통신의 중요한 에러 발생 원인으로, 전도성 EMI 잡음의 전형적인 형태로 규제 대상이 되고 있으며, 가정 내 EMI의 심각한 발생 원인으로 체계적인 규격화가 필요하다.

그림 27은 50W 할로겐램프의 잡음을 확대하여 주파수 성분을 분석한 파형이다. 실험 조건은 할로겐램프를 작동시켰을 경우 시그널 모니터로 관측한 전력선 잡음 파형 및 FFT 파형으로 전원 주파수 8.33ms에 동기된 주기로 스위칭 잡음이 발생하고 있으며, 86kHz를 기본 주파수로 하여 6차까지의 고조파 성분을 가진 잡음이 발생하여 수신 성능에 영향을 미친다.

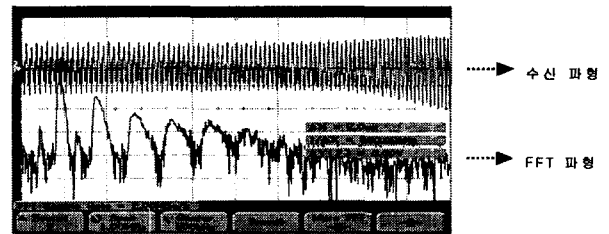


그림 27 할로겐램프 잡음의 주파수 스펙트럼
Fig. 27 Frequency spectrum of halogen lamp noise

위의 실험 결과를 정리하면 다음과 같다. 무부하시에는 전력선의 임피던스 영향과 90m 배선의 선로 특성으로 출력 신호의 왜곡과 수신 신호의 감쇄가 발생하였으나, 단지 채널의 감쇄만 발생하여 모든 데이터의 수신이 가능하였다. 송신으로부터 30m 지점에 2.2uF 커패시터 부하를 인가하였을 경우, 전력선 통신 채널은 특정 주파수를 제거하는 노치 현상이 발생하였으며, 수신 신호의 주파수 스펙트럼이 대부분 남아있어 수신이 가능하다. 또한 30m와 60m 지점에 2.2uF 커패시터를 인가하였을 경우, 낮은 임피던스로 인한 심한 감쇄 특성으로 10V의 송신 신호가 20mV 미만으로 나타났으나, 일부 주파수 성분은 제거 되었으나 대부분의 스펙트럼 성분이 존재하여 수신이 가능하였다. 전력선 통신에서 100kHz~200kHz 대역의 주파수 신호는 커패시터에 의한 통신 신호의 감쇄와 왜곡이 실험 결과 4.4uF 용량이상에서는 거의 일정한 특성을 나타내고 있다.

잡음 실험에서는 진공청소기와 할로겐램프를 사용하였으며, 진공청소기의 잡음은 전원 주파수 8.33ms에 동기된 주기로 모터 회전자와 브러시의 회전 속도에 동기된 임펄스 주기가 60Hz 및 7kHz~15kHz 대역 분포 스펙트럼으로 나타나고 임펄스의 주파수 스펙트럼에 의하여 전체 대역에 일정한 크기의 배경 스펙트럼이 나타나며, 할로겐램프 잡음은 송신 측으로부터 0m 지점과 30m 지점 그리고 60m 지점에 2.2uF 커패시터 부하를 인가하고 수신측 60m 지점에 할로겐램프를 작동시켰을 경우, 할로겐램프의 SMPS에서 발생하는 스위칭 잡음이 발생하나 커패시터 부하에 의해 잡음이 감쇄하여 수신된다. 할로겐램프의 잡음은 전원 주파수 8.33ms에 동기된 주기로 스위칭 잡음이 발생하고 있으며, 86kHz를 기본 주파

수로 하여 6차까지의 강력한 고조파 주파수 성분을 가진 잡음이 발생되는 것을 알 수 있다. 커패시터 부하시 10kHz 대역의 진공청소기 잡음 하에서는 대역밴드필터(100~200kHz)를 이용하여 잡음을 걸러내어 통신하나, 반송파 주파수를 침범하는 할로젠램프의 잡음에서는 수신부에 가까울수록 연접에러가 크게 발생함을 알 수 있었다.

5. 결 론

본 논문에서는 chirp 대역 확산의 협대역 40kbps급 전력선 통신 모델기술을 구현하고 무부하, 각종 부하 및 잡음 환경에서 다양한 전력선 통신실험을 통하여 성능을 확인하였다.

가우시안 채널하에서 각각 chirp 대역확산과 직접 대역확산 방식의 BER을 측정하였다. 측정결과, BER을 10^{-3} 을 기준으로 하였을 경우, chirp 대역확산 방식이 직접 대역확산 기법보다 약 3[dB] 정도의 신호 대 잡음비 이득을 지닌다. 실제 구현된 모델의 성능을 검증하기 위해서 다양한 전력선에 존재하는 잡음들에서 구현된 모델이 올바르게 동작하는지를 검증하였다.

본 논문에서 구현한 chirp 대역확산의 40kbps급 전력선 통신 시스템이 기존의 전력선에서 상용화 가능성이 충분히 있음을 확인할 수 있었다. 그러나 반송파 주파수 대역으로 존재하는 잡음에 대하여 SNR이 낮을 때에는 전원의 영점 교차점부분에서는 잡음이 상대적으로 많이 감쇄하므로 이 부분을 통신 프로토콜로 해결하는 방법과 과부하시 광대역의 반송파가 협대역으로 왜곡될 때의 문제점 등은 계속 연구가 진행되어야 할 것으로 사료된다.

참 고 문 헌

[1] 최우혁, "홈네트워크 산업활성화 정책방향", Information Security Review, Vol. 2, pp.87-94, 2004.
 [2] PLT-22 Powerline Transceiver, <http://www.echelon.com/Support/documentation/datashts/50090.pdf>.
 [3] IT800 IC, <http://www.yitran.com/it800ic.htm>
 [4] Dahlhaus, "Chirp Modulation", Chapter in Wiley Encyclopedia of Telecommunications, J. Proakis (ed.), Vol. 1, pp. 440-448, 2003.
 [5] Grayson Evans, CEBus Demystified The ANSI/EIA 600 User's Guide, McGraw-Hill, 2001.
 [6] Klaus Dostert, Powerline Communications, Perntice Hall, 2001.

[7] Gerd Bumiller, Markus, "Complete Power line Narrow band System for Urban-wide communication", ISPLC 2001.
 [8] Andrew J. Viterbi CDMA Principles of Spread Spectrum Communication, Addison-Wesley, 1995

저 자 소 개



이 원 태(李 垣 泰)

1955년 2월 15일생. 1983년 연세대 전기공학과 졸업. 1985년 동 대학원 전기공학과 졸업(석사). 2003년 경남대 박사과정 수료. 1985년~현재 한국전기연구원 책임연구원
 Tel : 031-420-6173
 Fax : 031-420-6199
 E-mail : wtlee@keri.re.kr



우 대 호(禹 大 鎭)

1974년 3월 15일생. 1997년 청주대학교 전자공학과 졸업. 1999년 시립인천대학교 대학원 전자공학과 졸업(공학석사). 2003년 동 대학원 전자공학과 졸업(공학박사). 2002년~현재 (주)플레넷 전자통신연구소 전임연구원



유 영 규(劉 永 奎)

1973년 6월 26일생. 1996년 전북대학교 전기공학과 졸업. 1998년 동 대학원 전기공학과 졸업(공학석사). 1999년~현재 동 대학원 전기공학과 박사과정



이 영 철(李 永 哲)

1953년 1월 13생. 1981.9~현재 경남대학교 정보통신공학부 교수.
 Tel : 055-249-2643
 Fax : 055-249-2943
 E-mail : micropt@kyungnam.ac.kr