

# 22.9kV급 병렬 커패시터 뱅크 내부의 아크 고장 판별을 위한 전압차동 보호 알고리즘의 개선 방안

論 文

54A-2-2

## Improvement of the Protection Algorithm Based on Voltage Difference Method for Detecting Arcing Faults within 22.9kV Shunt Capacitor Banks

林正煜<sup>†</sup> · 權寧珍<sup>\*</sup> · 姜相熙<sup>\*\*</sup> · 陸由京<sup>\*\*\*</sup>

(Jung-Uk Lim · Young-Jin Kwon · Sang-Hee Kang · Yoo-Kyoung Yuk)

**Abstract** - This paper presents a refined protection algorithm of the unfused 22.9kV shunt capacitor banks in grounded wye connection to improve the existing algorithm using the voltage difference method. It is difficult to detect ground faults with arc near the input points or ground faults near the grounding point by the existing algorithm using only the voltage balanced relay. This paper shows that ground faults with arc near the input point can be detected by harmonics analysis of the differential voltage and that it has no impact of harmonics out of nonlinear loads which have the quantitative influence on capacitor banks. Thus the proposed method using harmonics analysis can be a proper detection method. In case of ground faults near the grounding point, an OVGR is being added recently and its validity is verified in this paper. The proposed method is applied to a 22.9kV example system and is verified that the proposed algorithm can detect clearly faults which are not easy to detect by the existing method.

**Key Words** : Protection Algorithm, Shunt Capacitor Bank, Ground Wye Connection, Unfused, Voltage Difference Method, Harmonics

### 1. 서 론

전력용 콘덴서 중 하나인 병렬 커패시터는 동기조상기와 비교해서 설비 가격이 낮고, 전력손실이 적으며, 운전보수가 용이하다는 등의 이유로 무효전력 공급원으로 널리 사용되고 있다. 전력용 병렬 커패시터는 배전계통의 역률 개선에 의한 전압 강하의 감소, 배전선 및 변압기의 손실 경감, 부하설비 용량의 여유 증가, 전기요금의 경감이라는 측면에서 이용된다. 병렬 커패시터는 보통 수전 지점이나 변압기 2차측에 설치되거나 부하에 병렬로 설치된다.[1]

이러한 전력용 콘덴서의 보호 장치에 대해서는 전기설비 기술기준에 그 내용이 명시되어 있다. 기준에 따르면 본 연구의 대상인 22.9kV급 콘덴서의 경우에는 과전류 및 내부 고장에 대해서는 반드시 보호 시설을 해야 하고, 과전압 및 부족전압에 대해서는 보호 시설을 권장하고 있다. 전력용 커패시터 뱅크 고장 보호는 크게 다음과 같이 분류될 수 있다. 즉, 뱅크 밖 외부 계통에서 이상 현상이 발생했을 경우에 뱅크 설비를 보호하는 문제, 뱅크 설비 내에서 발생한 단락 및 지락 고장에 대한 뱅크 설비의 개방, 뱅크 내부 소

자 고장에 대한 뱅크 보호 등으로 분류될 수 있다. 이러한 뱅크 고장 보호의 목적은 계통에서 발생한 고장이 확대되는 것을 방지하고, 뱅크 설비내의 고장이 계통에 파급되어 2차 고장이 유발되지 않도록 하는 것이며 뱅크 내에서도 가능한 고장의 파급 효과를 최소화하는데 있다.[2]

뱅크 외부의 시스템 이상 현상이란 주로 과전압과 저전압 문제를 말하는데, 이러한 현상이 확대되지 않도록 모선 측에 OVR, UVR 등을 적용하여 과전압, 저전압을 검출하도록 하고 있다. 또한, 설비 내부의 단락 및 지락 고장 등에 대해서는 뱅크 외부에 주로 OCR을 적용하여 이를 검출하도록 하고 있다.

뱅크 내부 소자 고장에 대해서는 불평형 현상에 대한 보호가 중요하다. 내부 고장에 대한 보호 알고리즘은 커패시터의 결선 및 뱅크의 구성 방식에 따라 각각 다르다. 본 논문에서는 22.9kV급 한전 계통에서 적용되고 있는 하나의 방식인 접지된 Y 결선 방식(Grounded wye Connection)과 커패시터 소자에 퓨즈가 없는 Unfused 방식에 대하여 보호 알고리즘을 개선하였다. 이러한 결선 및 뱅크 구성 방식에 대한 기존의 보호 알고리즘으로는 중성점에서 대지로 흐르는 전류를 이용한 방법, 하나의 뱅크를 반으로 나누어 분할된 두 영역에서의 차동전압의 크기를 이용한 방법, 모선 전압과 뱅크 상전류를 구하고 이를 통하여 뱅크 각 상의 임피던스를 이용한 방법 등이 있는데, 한전 계통의 경우 차동전압의 크기를 이용한 방법(Voltage Difference Method)이 적용되고 있다.[3, 4]

차동전압의 크기를 이용한 방법은 고장시 이상 전압의 2

<sup>†</sup> 교신저자, 正會員 : 明知大學 電氣工學科 研究教授 · I.博  
E-mail : julim@mju.ac.kr

<sup>\*</sup> 正會員 : 明知大學 電氣工學科 博士課程

<sup>\*\*</sup> 正會員 : 明知大學 電氣工學科 教授 · I.博

<sup>\*\*\*</sup> 學生會員 : 明知大學 電氣工學科 產業大學院 碩士課程

接受日字 : 2004年 10月 6日

最終完了 : 2004年 12月 15日

배가 계전기의 입력 전압으로 들어오기 때문에 감도가 배가된다는 장점이 있는 반면에, 고저항인 아크 고장이나 접지단에서의 지락 고장의 경우에는 차동전압의 크기가 매우 작아서 고장 판별이 어렵다는 단점이 있다. 또한, 접지단 근처에서의 지락 고장에 대해서도 역시 차동전압의 크기만으로는 고장을 검출하기가 용이하지 않다. 본 논문에서는 이러한 경우에도 신뢰성 있고 정확하게 고장을 판별할 수 있는 보호 알고리즘을 제안하고 사례연구를 통해 그 성능을 검증하였다.

2. 본 문

2.1 커패시터 결선 및 뱅크 구성 방식

병렬 커패시터 뱅크의 결선 및 뱅크가 어떻게 구성되는가에 따라 보호 방식은 영향을 받게 된다. 즉, 그림 1에서 제시된 다섯 가지의 결선 방식은 각각 커패시터 유닛의 정격전압, 퓨즈 및 보호계전기의 구성과 관련이 있다. (5) 커패시터 뱅크의 결선 방식으로는 그림 1에 나타난 바와 같이 델타(Delta) 방식, 접지 Y(Grounded wye) 방식, 비접지 Y(Ungrounded wye) 방식, 접지 이중 Y(Grounded double wye) 방식, 비접지 이중 Y(Ungrounded double wye) 방식이 있는데, 본 논문에서는 접지 Y 결선 방식을 보호 대상으로 한다.

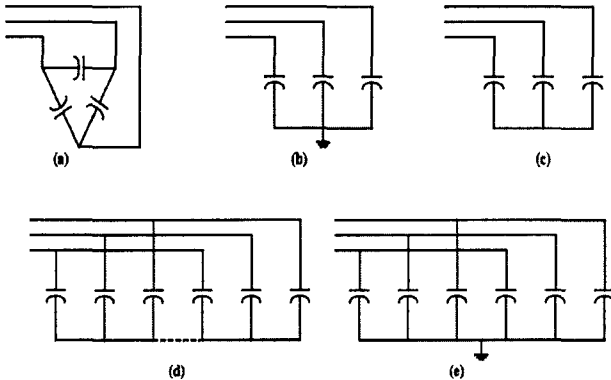
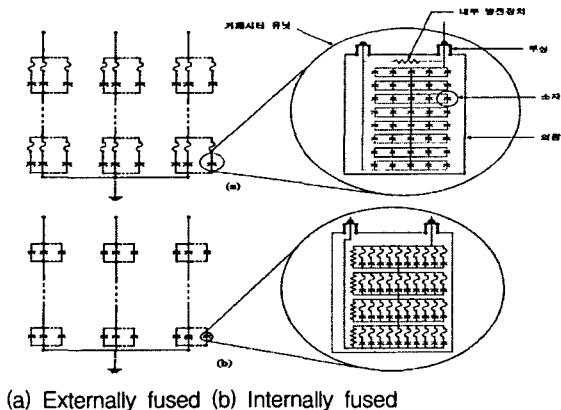
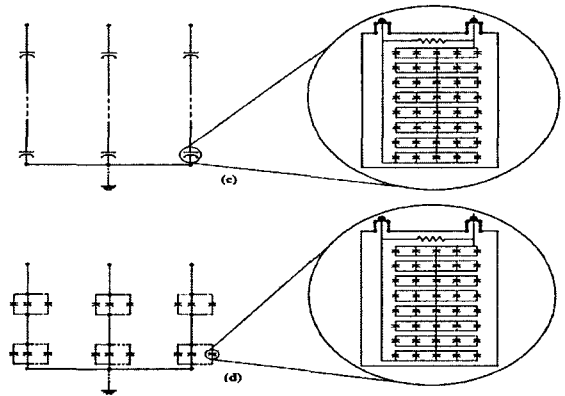


그림 1 커패시터 결선 방식  
Fig. 1 Capacitor Bank Connections

접지 Y 결선 방식에 대하여 네 가지 형태의 구성이 가능한데 이를 그림 2에 나타내었고, 각각의 특성을 표 1에 나타내었다.[5]



(a) Externally fused (b) Internally fused



(c) Fuseless (d) Fused  
그림 2 접지 Y 결선에서의 커패시터 뱅크 구성 방식  
Fig. 2 Four Designs of Grounded Wye-connected Banks

표 1 병렬 커패시터 뱅크의 구성별 특성  
Table 1 Characteristics of Shunt Capacitor Bank Designs

뱅크 구성방식	특	성
Externally Fused	뱅크 내부 각 유닛에 퓨즈가 설치된 형태로 유닛 단위로 고장확산을 방지할 수 있는 형태	
Internally Fused	뱅크 유닛 내의 각 소자마다 퓨즈가 설치된 형태로 비용은 가장 많이 들지만, 고장 발생시 소자 단위로 고장 원인을 신속하게 제거할 수 있음	
Fuseless	선로 간 또는 선로와 중성점 사이에 퓨즈가 없이 유닛이 직렬로만 연결된 형태로 비용이 가정 적게 드는 것이 장점	
Unfused	퓨즈를 사용하지는 않지만, 가장 단순한 형태의 Fuseless 방식의 직렬 연결된 각 단에서 유닛이 병렬로 연결된 형태	

본 논문에서는 22.9kV급 Unfused 방식에서의 불평형 보호 문제를 다룬다.

2.1 병렬 커패시터 뱅크 보호 계전 체계

병렬 커패시터 보호계전 요소는 크게 뱅크 자체 보호와 계통 보호로 나눌 수 있다.[5]

뱅크 자체 보호란 뱅크 내의 고장을 감지하여 이를 보호하는 것을 말한다. 또한, 계통 보호란 뱅크로부터 발생하는 이상 현상으로부터 계통을 보호하고, 역으로 계통에서 발생하는 이상 현상으로부터 뱅크를 보호하는 것으로, 뱅크 스위칭이나 뱅크 외부의 고장의 파급효과를 차단하기 위한 보호를 말한다.

뱅크 자체 보호 요소로는 과전압, 과전류, 불평형, 역상 요소를 들 수 있고, 계통 보호 요소로는 과전압, 저전압, 과전류, 고조파, 전송차단 등의 요소가 있다. 계통 보호 요소의 경우에는 변압기 등 다른 보호 대상에 대해서도 유사하게 적용된다. 이러한 보호계전 요소들을 고려한 보호 체계가 그림 3에서 제시되었다.

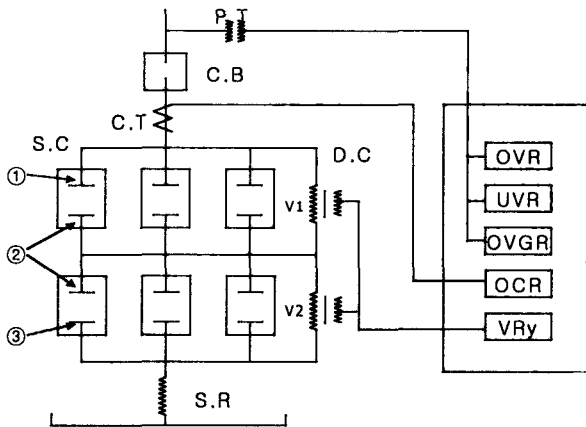


그림 3 병렬 커패시터 뱅크 보호 체계  
Fig. 3 Protection Scheme of Shunt Capacitor Banks

계통에서 발생하는 과전압 및 저전압 현상은 커패시터 뱅크에 영향을 주게 되는데, 이를 확대시키지 않기 위해서 모선측 PT를 통한 OVR 및 UVR, OVGR 등이 사용되어 이를 검출한다

커패시터에서 허용되는 장시간 전압은 일반적으로 정격전압의 110% 정도인데, 이러한 이상 전압에 대해서는 보호할 필요가 있으며 OVR을 사용한다. 한편, 회로가 저전압 또는 무전압시 커패시터가 투입되어 있으면 전압 회복시 커패시터 만으로 운전되면서 커패시터에 의한 전압 상승으로 타 기기에 손상을 주는 요인이 된다. 이러한 현상을 막기 위하여 통상 UVR이 사용된다. 또한, 지락보호를 위해서는 OVGR이 사용된다. 표 2에서 알 수 있듯이 뱅크 내부 고장 검출 계전기는 OCR과 VRy 뿐이다.

표 2 커패시터 뱅크 보호용 계전기들의 기능  
Table 2 Relay Functions for the Protection of Shunt Capacitor Banks

계전기	용도	정정기준	정정시간	비고
VRy	뱅크내부 소자 고장 검출	1개 소자 단락시 나타나는 전압의 50%	가능한 최소	고장 검출
OCR	선간단락, 지락 고장 검출	*순시: -단락전류 50% *한시: -정격전류 50%	*순시 -가능한 최소	고장 검출
UVR	저전압 운전 방지	정격전압의 70%	정정치 70%에서 2sec	
OVR	과전압 운전 방지	정격전압의 130%	정정치 150%에서 2sec	
OVGR	지락 과전압 운전 방지	15V	Time Lever 10	비접지계

뱅크 외부의 선로 간 단락고장 및 모선 지락고장 등의 판별하기 위해서는 모선측 CT를 통한 OCR이 사용된다. 22kV급 커패시터 뱅크의 경우에는 내부 소자가 다수로 구성되어 있고 소자의 절연과피, 방전코일의 층간단락 및 배선단락 등이 문제가 된다. 따라서, 뱅크 내부 고장에 대한 판별은 그림 3에서와 같이 뱅크 내부의 유닛을 반으로 나누어 이들 전압에 대한 차를 이용한

차동전압방식(VRy : Voltage Difference Method)이 사용된다.

본 방식은 고조파, 계통 불평형 돌입전류 등에 대한 영향이 없다는 장점이 있지만, 인입단에서의 아크 고저항 고장 및 접지단에서의 고장 발생시 이에 대한 판별이 어렵다는 단점이 있다. 각 계전기의 기능과 고장 상황별 보호계전기의 동작을 검토하여 이를 표 2에 나타내었다.

표 3 고장상황별 보호계전기 동작 검토  
Table 3 Review of Relay Performances

고장종별	보호계전기 동작	비고
①번 위치 지락	OCR	보호맹점
②번 위치 지락	VRy	
③번 위치 지락	-	보호맹점
커패시터 소자간 단락	VRy	
외부 상간 단락	OCR	

표 3에서 알 수 있듯이, 그림 3에서 제시된 회로도에서 ①번 위치(인입단) 및 ③번 위치(접지단)에서의 고장이 발생했을 경우 차동전압을 이용한 보호계전 방식에는 문제가 발생할 수 있음을 알 수 있다. 특히, ①번 위치의 경우에는 고장저항이 작은 지락고장의 경우에는 OCR로 검출이 가능하지만, 아크 등의 고저항 고장의 경우에는 전압크기의 변화량이 작기 때문에 고장 검출이 어렵다는 것을 알 수 있다. 실제로 이러한 고저항 고장은 빈번히 발생되고 있는 것으로 알려져 있으며 뱅크 운전애 어려움을 주는 실정이다.[6] 또한, ③번 위치에서의 고장의 경우에는 뱅크를 반으로 나누어 각각에 걸리는 전압이 거의 같기 때문에 차동전압은 거의 나타나지 않는다.

본 논문에서는 ①번 위치에서 발생한 고저항 고장의 경우에는 고조파를 이용한 알고리즘을 적용하여 고장을 판별하였다. 기본적으로 아크와 같은 고저항 고장의 경우에는 고조파가 발생한다. 아크 자체가 고조파를 포함하고 있기 때문이다. 또한, 뱅크 외부에서 고조파가 발생했을 경우에는 차동전압에는 반영되지 않지만 뱅크 내부에서 발생했을 경우에는 차동전압에도 고조파가 나타나게 된다. 이러한 특성은 뱅크 외부, 즉 비선형 부하에서 발생하는 고조파가 뱅크에 흘러 들어와도 차동전압에 나타나지 않음을 의미한다. 따라서, 고조파를 이용한 고장 판별 방법은 뱅크 내부 고저항 고장 판별에 적용하기에 유효하다고 볼 수 있다.

또한, ③번 위치에서의 고장의 경우에는 중성점을 직접 접지하지 않고 중성점과 대지 사이에 접지저항을 두고 여기에 걸리는 전압을 측정하여 고장을 판별한다. 이 방법은 현재 실제로 실계통에 적용되고 있다. 본 논문에서는 이러한 저항접지방식의 유효성을 시뮬레이션을 통해 확인하였다.

커패시터 뱅크 내부 고장이 발생했을 경우에 이를 정확하게 판별하기 위하여 본 논문에서 제안한 전압차동 알고리즘과 접지단 전압을 이용한 알고리즘에 대한 고장판단 흐름도를 그림 4에 나타내었다.

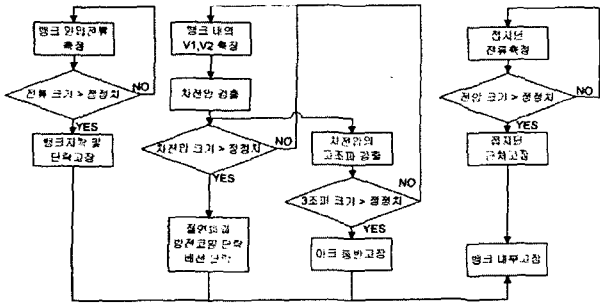


그림 4 개선된 전압차동 알고리즘의 흐름도  
Fig. 4 Flow Chart of the Refined Voltage Difference Algorithm

2.3 사례 연구

2.3.1 모의계통

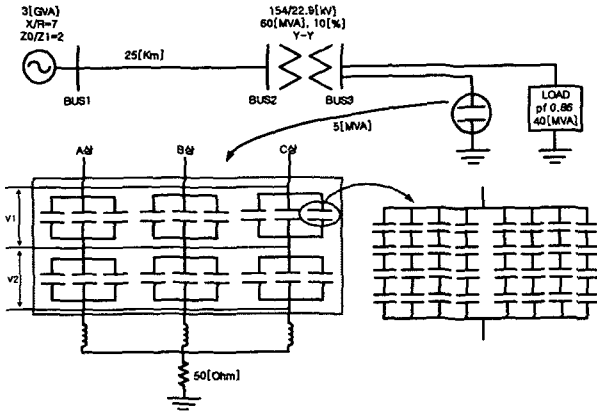


그림 5 병렬 커패시터 뱅크 모의 계통  
Fig. 5 An Example Power System with Shunt Capacitor Banks

커패시터 뱅크 내부 고장에 의한 불평형 계전 요소를 파악하기 위하여 발생 가능한 여러 종류의 고장에 대한 모의가 필요하다. 제안한 방식의 검증을 위하여 전력계통 과도현상 해석 프로그램인 PSCAD/EMTDC를 이용하여 22.9kV 급 예제 배전계통을 그림 5와 같이 모델링 하였다. VRy의 정정 기준을 위하여 우선 커패시터 1개 소자 단락 고장을 모의하였다. 또한, 커패시터 소자와 외함 간의 지락 고장을 모의하여 VRy의 고장 검출 성능을 보이고, 고장 검출에 문제가 되는 뱅크 입단에서의 아크 고장, 접지선 근처에서의 지락고장을 모의하여 본 논문에서 제안한 방법의 유효성을 입증하였다. 여기에 차동전압 계전방식이 외부에서 흘러들어오는 고조파에는 영향을 받지 않는다는 사실을 입증하기 위하여 비선형 부하에서 발생하여 뱅크로 유입되는 고조파의 영향에 대한 모의도 실시하였다.

그림 5에 나타나 있듯이 한전계통에서 적용되고 있는 접지 Y 결선 - Unfused 방식에 대해 모의하였는데, 총 1초간 모의하여 데이터를 수집하였다. 고장은 모의시작 후 0.5초에서 1초까지 0.5초 동안 지속된 것으로 모의하였다.

2.3.2 커패시터 소자 단락고장 및 정정치 설정

VRy의 정정치를 설정하기 위하여 그림 5에서 제시된 a상 커패시터 하나의 소자를 단락시켜 발생한 차동전압 Vdiff를 그림 6에서 나타내었다. 그림은 순치치 파형이며 실효치는 약 92[V]가 되므로, 정정치는 표 2에서 설명한대로 이 전압값의 반인 46[V]를 정정값으로 설정하였다.

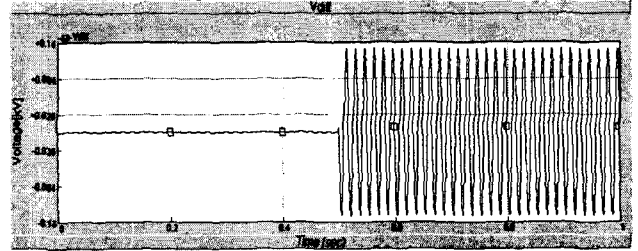


그림 6 커패시터 단락고장시 차동전압  
Fig. 6 The Differential Voltage in Case of a Short Fault

2.3.3 커패시터 소자와 외함 간 지락고장

그림 5와 같은 계통에서 a상의 커패시터 소자가 외함을 통하여 지락되는 경우에 a상에 절반에 걸리는 전압 Va1과 Va2를 그림 7에서, 차동전압 Vdiff의 순치치 파형을 그림 8에서 각각 나타내었다. 이 모의에서 고장 저항은 10[ohm]로 하였다. 그림 8에서 제시된 차동전압은 순치치 1.276[kV]로 2.3.1절에서 정한 정정치인 46[V]보다 상당히 크기 때문에 고장저항을 포함하고 있다고 해도 고장 검출이 용이하다.

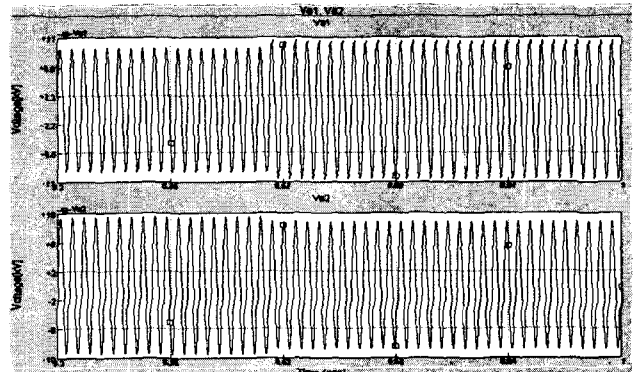


그림 7 지락고장시 a상의 절반에 걸리는 전압 Va1, Va2  
Fig. 7 Va1 and Va2 in a Ground Fault

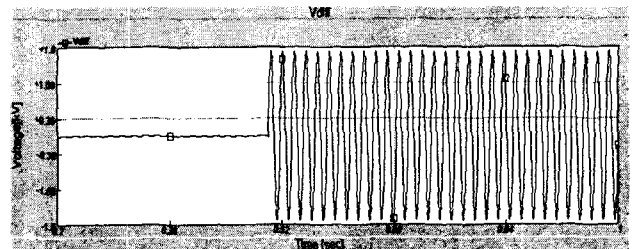


그림 8 커패시터 지락고장시 차동전압  
Fig. 8 The Differential Voltage in a Ground Fault

### 2.3.4 뱅크 인입단에서의 아크 고장

아크와 같은 고저항 지락고장은 뱅크내의 인입구 근처 부싱에서 종종 발생한다. 이러한 아크 고장은 그림 9와 같은 아크 모델을 사용하여 모의하였다.[7] 이때 발생하는 아크 전류는 그림 10과 같다.

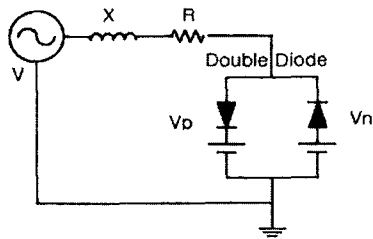


그림 9 아크 고장 모델  
Fig. 9 A Mathematical Model for Arcing Faults

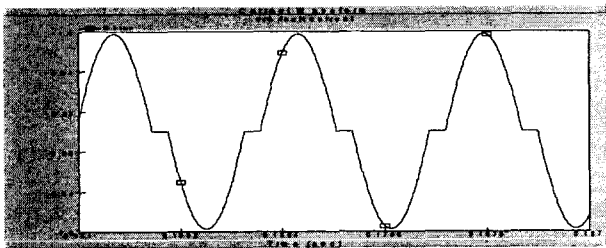


그림 10 아크 전류  
Fig. 10 Arc Current

아크 고장이 발생하면 부하 전류에 기수조파를 포함하게 된다. 이는 아크 고장에 대하여 고조파 계전 요소를 적용할 수 있음을 의미한다. 그림 9의 아크 고장 모델을 적용하여 커패시터 인입단에서의 아크 고장을 모의하였을 때 차동전압의 파형은 그림 11에서 나타난 바와 같이 초기에 DC 성분이 약간 포함되어 있지만, 차동전압 크기에 대한 정정치보다 작아서 고장으로 판단되지 않는다. 즉, 차동전압의 크기만을 이용하여 고장을 검출하기가 어렵기 때문에 차동전압의 크기뿐만 아니라 고조파 요소를 추가할 필요가 있다. 아크 고장을 모의하기 위하여 아크 전류를 발생시키는 아크발생전압과 내부저항 등의 파라미터를 변동시키면서 다양한 아크 고장을 모의하고 차동전압의 고조파 분석을 통하여 기본파 대비 각 기수 고조파의 비율을 표 4에 제시하였다. 단, 표 4에 나타난 아크발생전압이 8kV 이상이면 차동전압의 크기가 정정치보다 커져서 기존의 차동전압의 크기만을 이용한 방법으로도 고장검출이 가능하다.

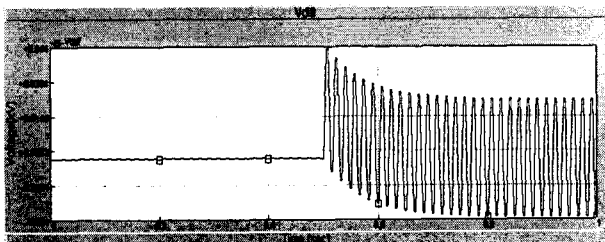


그림 11 아크 고저항 고장시 차동전압  
Fig. 11 The Differential Voltage in a Arcing Fault

표 4 아크 고저항 고장시 차동전압의 기본파 대비 고조파 비율

Table 4 Proportion of Harmonic Components to the Fundamental Component in a Arcing Fault

아크 발생 전압	내부 저항	차전압 크기	기본파	3조파	5조파	7조파	9조파
2kV	1kΩ	23.7V	100%	18.7%	1.96%	1.22%	0.33%
2kV	3kΩ	8.5V	100%	18.4%	1.92%	1.19%	0.33%
2kV	5kΩ	5.6V	100%	17.9%	1.8%	1.2%	0.33%
4kV	1kΩ	40V	100%	14.0%	0.69%	0.83%	0.36%
4kV	3kΩ	13.5V	100%	13.8%	0.69%	0.81%	0.35%
4kV	5kΩ	8.5V	100%	13.7%	0.65%	0.79%	0.33%
6kV	1kΩ	59V	100%	9.9%	1.7%	0.03%	0.28%
6kV	3kΩ	20V	100%	9.7%	1.6%	0.01%	0.27%
6kV	5kΩ	12V	100%	9.6%	1.6%	0.01%	0.27%
8kV	1kΩ	80V	100%	6.36%	1.67%	0.07%	0.05%
8kV	3kΩ	27V	100%	6.25%	1.65%	0.07%	0.05%
8kV	5kΩ	16.5V	100%	6.2%	1.63%	0.07%	0.05%

표 4에서 알 수 있듯이 뱅크 내부에 아크 고장 발생시 기본파 대비 제 3고조파의 비율은 약 6%에서 19% 정도의 범위를 갖는다. 이 모든 경우를 고장으로 판단하기 위해서는 제 3고조파의 비율을 5%로 정정치를 설정하면 아크 고저항 고장에 대한 정확한 고장 판별이 가능하다.

### 2.3.5 비선형 부하 고조파의 영향

차동전압의 고조파 함유율을 고장 검출 요소로 사용할 경우, 비선형 부하로부터 발생하는 고조파가 차동전압에 영향을 주어 오동작 할 수 있는가의 문제에 대하여 검토하였다. 비선형 부하는 그림 5에서의 부하 모델에 6펄스 다이오드 브릿지 회로를 병렬로 추가하여 모의하였다. 모의 결과, 표 5에서 제시된 바와 같이 Va1, Va2에는 부하에 의하여 발생하는 고조파가 유입되어 있는 상태를 확인할 수 있으나, Va1, Va2에 거의 같은 전압이 걸리기 때문에 차동전압은 고조파를 포함하지 않게 된다. 따라서 비선형 부하에서 발생된 고조파가 차동전압의 고조파 검출요소에는 영향을 미치지 않기 때문에 본 논문에서 제시한 고조파 검출 방식이 유효함을 알 수 있다.

표 5 비선형 부하조건에서의 Va1, Va2 및 차동전압 고조파 분석

Table 5 Frequency Analysis of Va1, Va2, and their differential voltage in nonlinear Loads

주파수	전압	기본파	3조파	5조파	7조파	9조파	11조파
기본파 대비 함유율	Va1	100%	0.0%	7.5%	0.9%	0%	0.2%
	Va2	100%	0.0%	7.5%	0.9%	0%	0.2%
	Vdiff	100%	0%	0%	0%	0%	0%

2.3.6 접지단 근처에서의 지락 고장

접지단 근처에서 지락고장이 발생할 경우에 고장전류가 작아서 차동전압의 크기도 거의 0에 가까울 정도로 작기 때문에 고장을 검출하기가 쉽지 않다. 이러한 경우 그림 12에서와 같이 접지저항에 걸리는 전압으로 고장을 검출하는 지락과전압계전요소(OVGR)를 적용해야 한다. 그림 12에서 알 수 있듯이 접지저항에 걸리는 전압은 실효치 약 463[V]로 여러 고장상황을 모의하여 정정치를 설정할 수 있다. 접지단 근처에서의 지락고장에 대비한 지락과전압계전요소의 경우, 이미 적용이 되고 있으며 본 모의는 이 방법의 유효성을 확인하기 위하여 시행되었다.

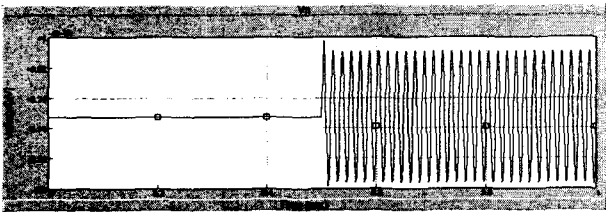


그림 12 접지선 근처에서 지락고장시 접지저항에 걸리는 전압

Fig. 12 The Voltage through the Grounding Resistance in a ground fault near the grounding point

3. 결 론

22.9kV급 접지 Y결선된 Unfused 병렬 커패시터의 내부에 아크와 같은 고저항 고장으로 인하여 발생하는 불평형 요소가 존재하는 경우, 차동전압의 크기만을 이용한 기존의 방법으로는 고장 검출이 용이하지 않았다. 본 논문에서는 뱅크 내부의 아크 고저항 고장발생시 차동전압의 고조파 분석을 통한 고장 검출 방안을 추가하여 고장 판별의 신뢰성을 높이는 방법을 제안하였다. 특히, 아크 고저항 고장에 대한 모의가 실제 아크 고장 현상을 적절히 반영할 수 있도록 아크 고장 모델의 파라미터 값들을 다양하게 변화시켜 다양한 종류의 아크를 모의하였다. 또한, 본 논문에서 제안한 차동 전압의 고조파를 이용한 계전 방식이 비선형 부하에서 발생한 고조파의 영향을 받지 않아 내부고장 요소를 정확하게 검출할 수 있음을 보였다. 접지단 근처의 지락고장의 경우에는, 최근 도입되고 있는 접지저항을 이용한 지락과전압계전 방식의 유효성을 확인하였다. 본 논문에서 제안된 방법은 22.9kV 예제 계통에 대한 시뮬레이션을 통하여 그 타당성을 입증하였다.

감사의 글

본 연구는 과학기술부 및 한국과학재단의 ERC 프로그램의 지원으로 이루어졌으며 이에 감사를 드립니다.

참 고 문 헌

[1] 남시복, 심재홍, 배종문, 김순기, "최신 전기설비", 광문각, 2004, pp.139-144.  
 [2] "콘덴서 보호방식", 전력기술인협회지, 253호, 7-13,

September. 2000.

[3] Martin Bishop, Tim Day and Arvind Chaudhary, "A Primer Capacitor Bank Protection", IEEE Transactions on Industry Applications, Vol. 37, Issue 4, pp.1174 - 1179, July-Aug. 2001.  
 [4] Leo Fendrick, Tim Day, Karl Fender and Jack McCall, "Complete Relay Protection of Multi-String Fuseless Capacitor Banks", 0-7803-7446-0/02, IEEE, 2002.  
 [5] "IEEE Guide for the Protection of Shunt Capacitor Banks", June. 2000.  
 [6] 콘덴서뱅크 운전시스템 개선, 수원전력관리처, 1995.  
 [7] V. L. Buchholz, M. Napal, J.B Neilson, R. Parsi-Feraidoonian, W. Zarecki, "High impedance fault detection device tester", IEEE Transaction on Power Delivery, Vol.11 No.1, pp.184-190, 1996.

저 자 소 개

임 정 욱 (林正燮)



1970년 9월 27일 생. 1996년 한양대 공대 전기공학과 졸업. 1998년 서울대 대학원 전기 공학부 졸업 (석사). 2002년 동 대학원 전기·컴퓨터공학부 졸업 (박사). 2004년 현재명지대학교 차세대전력기술연구센터 연구교수

권 영 진 (權寧珍)



1974년 10월 16일 생. 2000년 명지대 공대 전기공학과 졸업. 2002년 동대학원 전기 공학과 졸업(석사). 현재 동 대학원 전기 공학과 박사과정. 차세대전력기술연구센터 연구원.

강 상 희 (姜相熙)



1962년 8월 15일 생. 1985년 서울대 공대 전기공학과 졸업. 1987년 동 대학원 전기 공학과 졸업(석사). 1993년 동 대학원 전기 공학과 졸업(공박). 현재 명지대 공대 전기 정보제어공학부 교수. 차세대전력기술연구센터 연구원.

육 유 경 (陸由京)



1941년4월 7일 생. 1972년 한양대 공대 전기공학과 졸업. 1975년 한국전력공사 과장. 1989년 현대건설 부장. 1995년 선도전기(주) 전무. 2003년 디이시스(주) 기술연구소 소장. 2004년 현재 광명전기(주) 기술연구소 전무, 명지대 산업대학원 석사과정.