

# 출력 버퍼를 장착한 스위치 라우터의 성능 분석

## (Performance Evaluation of a Switch Router with Output-Buffer)

신 태 지 \* 양 명 국 \*\*

(Tae-zi Shin) (Myung-kook Yang)

**요약** 본 논문에서는,  $n$ 개의 입출력 포트를 가진 스위치로 구성된 스위치 라우터의 성능 예측 모형을 제안하고, 스위치에 장착된 버퍼의 개수 증가에 따른 성능 향상 추이를 분석하였다. Buffered 스위치 기법은 크로스바 스위치 내부의 데이터 충돌 문제를 효과적으로 해결할 수 있는 방법으로 널리 알려져 있다. 제안한 성능 예측 모형은 먼저 네트워크 내부 임의의 스위치 입력 단에 유입되는 데이터 패킷이 스위치 내부에서 전송되는 유형을 확률적으로 분석하여 수립되었다. 제안한 모형은 스위치에 장착된 버퍼의 개수와 무관하게 출력 버퍼를 장착한 스위치의 성능, 즉 네트워크 성능 평가의 두 가지 주요 요소인 네트워크 정상상태 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)의 예측이 가능하고, 나아가서 이들로 구성된 네트워크의 성능 분석에 적용이 용이하다. 제안한 수학적 성능 분석 연구의 실효성 검증을 위하여 병행된 시뮬레이션 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다. 또한, 분석 결과 스위치 내부에 많은 버퍼를 장착할수록 정상상태 처리율의 증가율은 감소하고, 네트워크 지연시간은 증가하는 것으로 나타났다.

**키워드** : 스위치 라우터, 출력 버퍼, 정상상태 처리율, 네트워크 지연시간, 해석

**Abstract** In this paper, a performance evaluation model of the switch router with the multiple-buffered crossbar switches is proposed and examined. Buffered switch technique is well known to solve the data collision problem of the crossbar switch. The proposed evaluation model is developed by investigating the transfer patterns of data packets in a switch with output-buffers. The performance of the multiple-buffered crossbar switch is analyzed. Steady state probability concept is used to simplify the analyzing processes. Two important parameters of the network performance, throughput and delay, are then evaluated. To validate the proposed analysis model, the simulation is carried out on a network that uses the multiple buffered crossbar switches. Less than 2% differences between analysis and simulation results are observed. It is also shown that the network performance is significantly improved when the small number of buffer spaces is given. However, the throughput elevation is getting reduced and network delay becomes increasing as more buffer spaces are added in a switch.

**Key words** : Switch Router, Buffer, Throughput, Delay, Analysis, Simulation

### 1. 서론

일반적인 네트워크의 경우 소스 노드에서 생성된 데이터 패킷은 라우터와 같은 중간노드들을 경유하여 원하는 목적지에 도달하게 된다. 이러한 라우터는 입력 포트에서 출력 포트에 데이터 패킷을 교환 하는 교환 구조에 따라 성능이 좌우되게 된다. 일반적으로 라우터의

교환구조는 크게 메모리를 통한 교환과 버스를 통한 교환, 내부 네트워크를 통한 교환으로 나누어진다.

메모리를 통한 교환[1]의 경우 가장 간단하고 단순한 라우터에 사용되며, 입력 포트를 통해 유입된 데이터 패킷은 프로세서 메모리에 저장된 후 프로세서가 패킷의 헤더에서 목적지 주소를 찾은 다음 라우팅 테이블에서 적절한 출력 포트를 탐색하고 출력 포트의 버퍼에 패킷을 복사하는 방식으로 동작한다.

버스를 통한 교환 방식[2]은 출력 포트와 입력 포트 사이에 공유 버스를 두어 입력 포트에 유입된 데이터 패킷을 직접 출력 포트에 전달하는 방식을 사용한다. 이

\* 정 회 원 : 울산대학교 전기전자동화공학부  
shintaezi@korea.com

\*\* 종신회원 : 울산대학교 전기전자동화공학부 교수  
mkyang@mail.ulsan.ac.kr

논문접수 : 2004년 3월 30일

심사완료 : 2004년 11월 26일

경우 프로세서가 입력 데이터의 출력 포트 지정에 관여하지 않으므로 속도가 빠르나, 버스가 공유되어 한번에 하나의 데이터 패킷만 전달 할 수 있는 문제점이 있다. 이러한 단일 공유버스의 문제점을 해결하기 위한 방법으로 최근 크로스바 스위치를 이용한 내부 네트워크를 통한 교환 방식이 일반화되고 있다.

이러한 크로스바 스위치를 통한 교환[3]의 경우 스위치 내부에서 데이터의 이동 과정에서 두 개 이상의 데이터가 특정 출력 단으로 진행하고자 할 때, 데이터 충돌 현상이 불가피하게 발생한다. 데이터 충돌 현상은 스위치의 성능 저하를 유발함은 물론이고 네트워크 전체의 신뢰도에도 큰 영향을 미치게 된다. 이러한 문제점을 해결하기 위한 방법으로 스위치 소자에 버퍼를 장착하는 기법은 각 스위칭 소자 터미널에 버퍼를 장착하여 데이터 충돌로 인하여 소실될 데이터 패킷을 버퍼의 여유공간에 저장함으로써, 데이터 충돌 문제를 효과적으로 해결하고 네트워크의 성능을 증가시키는 방법으로 널리 알려져 있다.

Dias와 Jump[4]는 한 개의 버퍼를 장착한 스위치들로 구성된 단일 buffered(single buffered) Delta network의 성능을 분석하였다. Jenq[5]는 단일 buffered Banyan network를 대상으로 분석 모형을 제시하고, 네트워크 throughput, delay, 및 internal blocking probability 등을 분석하였다. 또한, Krusal과 Snir[6]는 unbuffered 및 무한 buffered(infinite buffered) Banyan network의 성능 분석 모형을 제시하고, 시뮬레이션과 수학적 모형 해석을 통하여 데이터 패킷 이동에 버퍼가 제공하는 영향을 연구하였다.

앞서 기술한 기존의 연구는 단일 버퍼 혹은 무한 버퍼의 경우만을 대상으로 분석 모형을 제안하고 수학적 분석을 수행한 반면 복수 버퍼(multiple buffers) 환경에 관한 부분에 대하여는 분석의 난이성으로 인하여 시뮬레이션을 통한 성능 예측을 시도하였다. Yoon, Lee, 그리고 Liu[7]는 이와 같은 기존 연구의 문제점을 보완하여 임의 크기의 버퍼를 장착한 복수 buffered  $N \times N$  Delta network의 분석 모형을 제안하였다. 단일 buffered 네트워크의 해석 모형을 확장하는 개념으로 제안된 Yoon 등의 모형은 실제 네트워크 상의 데이터 이동 패턴을 그대로 상태 변환도로 전환하고 이를 수식화하여 설계되었으나, 적체된 패킷(blocked packet)을 고려하지 않았기 때문에 입력 단의 트래픽이 높아지면 정확도가 떨어지는 결과를 보이고 있다. Mun과 Youn[8]은 단일 버퍼를 가진 스위치의 버퍼 상태를 3가지 유형 : 버퍼가 비어 있는 상태, 정상상태 패킷을 포함한 경우, 블록상태 패킷을 포함한 경우로 구분하고 이를 마코브 체인으로 분석한 후 이것을 다중 버퍼형 성

능 모델로 확장하였다. 제안된 분석 모형은  $2 \times 2$  스위치를 대상으로 하여 입력 단에서 출력 단을 지향하는 패킷들의 상태를 이용하여 출력 단을 차지할 확률을 계산하였다. Das와 Mohapatra[9]는 버퍼를 장착한 비동기식 다층 연결 망을 M/D/1/L queueing center로 보고, M/D/1/L queueing 모델 분석 결과를 이용하여 해석함으로써 연산 과정이 어렵고, 모형의 이해가 난해하다.

기존 연구의 경우 버퍼를 장착한 크로스바 스위치의 성능 분석의 수학적 난이성으로 인하여 출력 단과 입력 단이 구분되고, 같은 크기를 갖는  $a \times a$  형태의 크로스바로 구성된 네트워크의 성능 분석에 관한 연구가 이루어졌다. 따라서, 본 논문에서는 앞서 서술한 기존 연구와 달리 복수 버퍼를 장착한  $n$ 개의 입출력 포트를 가지는 스위치 교환 방법에 대한 분석 모형을 제안하고, 네트워크 성능 평가의 두 가지 주요 요소로 알려진 네트워크의 정상상태 데이터 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)을 분석하였다. 먼저 신태지와 양명국에 의해 제안된  $a \times a$  크로스바 스위치 성능분석 기법[10]과  $a \times b$  크로스바 스위치 성능분석 기법[11-13]을 확장하여,  $n$ 개의 입출력 포트를 가진 스위치 분석 모형을 설정하고, 각 입력 단으로 데이터 패킷의 유입율을 달리 하여 네트워크의 성능을 분석하였다. 또한 스위치 크기를 일반화하여 스위치에 장착된 버퍼의 개수 혹은 스위치의 크기 등에 제약받지 않고 성능 분석을 할 수 있도록 설계되었다. 제안된 복수 buffered 라우터 스위치 성능 분석 모형은 스위치에 장착된 버퍼의 개수와 무관하게 적용 가능하고, 분석 과정에서 정상상태 확률(Steady state probability) 개념을 도입하여 모형의 수식 이해가 용이하도록 하였다. 제안된 수학적 성능 분석 연구의 실효성 검증은 위하여 병행된 시뮬레이션 처리 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다.

본 논문의 구성은 다음과 같다. 먼저, 서론에 이어 2절에서는 출력형 버퍼를 장착한 스위치 라우터의 버퍼 크기에 따른 네트워크 정상 상태 처리율과 네트워크 지연시간 등의 변화 추이를 예측할 수 있는 새로운 성능 분석 모형을 제시하고, 모형의 실효성을 검증하였다. 끝으로 본 연구의 성과와 결과를 마지막 절에 요약 기술하였다.

## 2. 성능 분석

### 2.1 네트워크 환경에 대한 일반적인 가정

Buffered 스위치의 분석 모형 개발과 시뮬레이션을 위해 본 논문에 적용된 일반적인 가정을 정리하면 다음과 같다.

- 네트워크는 스위치 클럭 싸이클,  $\Delta t$ ,에 따라 동기적으로 동작한다.
  - 스위치에 장착된 버퍼는 스위치의 출력 단에 위치하고, 버퍼 공간 하나는 한 개의 데이터 패킷을 수용할 수 있다.
  - 데이터 패킷은 스위치 입력 포트에서 서로 다른 확률로 발생한다. 스위치 입력 포트에 데이터가 유입될 확률은  $\zeta$ 라 한다. 따라서 스위치 임의의 포트 D로 매 싸이클마다 한 개씩의 데이터 패킷이 유입될 경우,  $\zeta_D$ 는 1이 된다.
  - 네트워크 입력 단으로 유입되는 데이터 패킷의 네트워크 최종 출력 단 행선지는 무작위 선택 방식으로 주어진다.
  - 데이터 충돌 발생시 무작위 중재 방식에 의거 데이터 처리 우선 순위를 결정한다.
- 본 절에 기술한 가정은 기존의 네트워크 성능 평가 연구에 보편적으로 적용되고 있다.

**2.2 스위치 내부에서의 데이터 이동 패턴**

네트워크 내부 임의의 스위치의 한 포트에 유입된 데이터 패킷은 데이터 패킷이 지향하는 행선지에 따라 자신을 제외한 다른 포트로 지향하게 된다. 네트워크 입력 단에 처음 데이터 패킷이 유입될 때 최종 행선지가 무작위 선택 방식에 의해 주어짐으로,  $n$ 개의 포트를 갖는 스위치의 경우 자신을 제외한  $n-1$ 개의 포트를 지향하게 되므로 스위치 임의의 포트  $D_0$ 의 입력 포트에 데이터 패킷이 유입될 확률이  $\zeta_{D_0}$ 로 주어지면, 해당 스위치의 특정 포트 D의 출력 단으로 데이터 패킷이 지향할 확률은  $\left(\frac{\zeta_{D_0}}{n-1}\right)$ 이 되고, 지향하지 않을 확률은  $\left(1 - \frac{\zeta_{D_0}}{n-1}\right)$ 가 된다.

따라서 그림 1과 같은 4개의 포트를 가진 스위치의 경우, 스위치의 특정 포트 D의 출력 포트에 0개의 데이터 패킷이 지향할 확률,  $P(h_D=0)_{cycle j}$ ,은 다음과 같이 나타낼 수 있다.

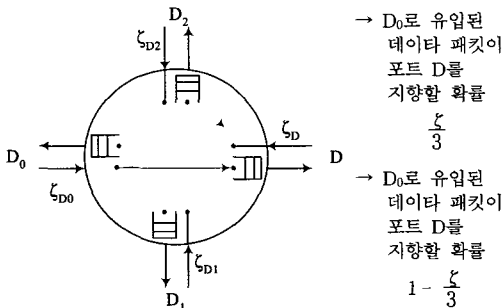


그림 1 4개의 포트를 가지는 스위치 라우터 내부의 데이터 이동 패턴

$$P(h_D=0)_{cycle j} = \left(1 - \frac{\zeta_{D_0}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_2}}{3}\right) \quad (1)$$

위 식은 자기 자신을 제외한 다른 포트에 유입된 데이터 패킷이 모두 다른 포트 D를 제외한 다른 포트를 지향함을 수식화 한 것이다. 따라서, 포트 D를 지향하는 데이터 패킷이 한 개일 확률,  $P(h_D=1)_{cycle j}$ ,은 포트 D를 제외한 임의의 포트에 유입된 데이터 패킷이 포트 D로 지향할 경우 나머지 다른 두개의 포트에 유입된 데이터 패킷은 포트 D를 출력 지향하지 않음을 수식화 하여 다음과 같이 나타낼 수 있다.

$$P(h_D=1)_{cycle j} = \left(\frac{\zeta_{D_0}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_2}}{3}\right) + \left(1 - \frac{\zeta_{D_0}}{3}\right) \cdot \left(\frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_2}}{3}\right) + \left(1 - \frac{\zeta_{D_0}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(\frac{\zeta_{D_2}}{3}\right) \quad (2)$$

같은 방법으로 스위치 임의의 포트 D를 지향하는 데이터 패킷의 개수가 2개일 확률,  $P(h_D=2)_{cycle j}$ ,는

$$P(h_D=2)_{cycle j} = \left(\frac{\zeta_{D_0}}{3}\right) \cdot \left(\frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_2}}{3}\right) + \left(\frac{\zeta_{D_0}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(\frac{\zeta_{D_2}}{3}\right) + \left(1 - \frac{\zeta_{D_0}}{3}\right) \cdot \left(\frac{\zeta_{D_1}}{3}\right) \cdot \left(\frac{\zeta_{D_2}}{3}\right) \quad (3)$$

와 같이 나타낼 수 있다. 따라서 포트 D를 제외한 모든 포트에 유입된 데이터 패킷이 포트 D를 지향할 확률  $P(h_D=3)_{cycle j}$ 는

$$P(h_D=3)_{cycle j} = \left(\frac{\zeta_{D_0}}{3}\right) \cdot \left(\frac{\zeta_{D_1}}{3}\right) \cdot \left(\frac{\zeta_{D_2}}{3}\right) \quad (4)$$

와 같이 나타낼 수 있다.

따라서,  $n$ 개의 포트를 갖는 스위치의 경우 위 수식 (1)~(4)와 같은 방법을 통해서 특정 포트에 출력 지향하는 데이터 패킷의 개수가 0~ $n-1$ 개가 될 확률  $P(h_D=0)_{cycle j} \sim P(h_D=n-1)_{cycle j}$ 들을 구할 수 있다.

**2.3 정상상태 처리를 분석**

성능 분석을 위하여 사용될 변수는 다음과 같다.

- $n$  : 스위치의 포트 수
- $b$  : 스위치의 각 포트에 장착된 버퍼가 저장할 수 있는 데이터 패킷 수
- $\epsilon$  : 버퍼에 저장된 데이터 패킷 수
- $P(\epsilon_D=k)$  : 스위치 임의의 포트 D의 버퍼에 저장된 데이터 패킷 수가  $k$ 개일 확률
- $P(D=1)$  : 스위치 특정 포트 D로 데이터 패킷이 출력될 확률
- $P(D=0)$  : 스위치 특정 포트 D로 데이터 패킷이 출력되지 않을 확률

네트워크 성능 분석의 두 가지 요소는 네트워크 정상 상태 처리율과 네트워크 지연시간이다. 스위치 임의 포트  $D$ 의 정상상태 처리율은 스위치 임의 포트에 데이터 패킷이 출력될 확률,  $P(D=1)$ ,을 포트  $D$ 를 제외한 나머지 포트에 데이터 패킷이 유입될 확률의 평균값으로 나누어서 식 (2)와 같이 계산된다.

$$NT = \frac{P(D=1)}{(\xi_{D_1} + \xi_{D_2} + \dots + \xi_{D_n})/n-1} \quad (5)$$

임의 사이클  $j$ 에 스위치의 임의 포트  $D$ 로 데이터 패킷이 출력되는 경우를 살펴보면, 먼저 사이클  $(j-1)$  종료시 해당 포트 버퍼가 데이터 패킷을 저장하고 있는 경우, 혹은 포트  $D$ 를 제외한 다른 포트에 새로이 유입된 데이터 패킷이 해당 포트 로 출력 지향할 경우이다. 반대로 스위치 포트  $D$ 로 데이터 패킷이 출력되지 않는 경우는 사이클  $(j-1)$ 에 해당 포트 버퍼가 데이터 패킷을 저장하지 않은 상태에서, 해당 포트를 제외한 다른 포트에 유입된 데이터 패킷이 해당 포트에 출력 지향하는 데이터 패킷이 없을 경우이다. 따라서 임의 사이클  $j$ 에 스위치 포트  $D$ 로 데이터 패킷이 출력되지 않을 확률,  $P(D=0)_{cycle j}$ ,을 구하면

$$P(D=0)_{cycle j} = P(\epsilon_D=0)_{cycle(j-1)} \times P(\bar{h}_D=0)_{cycle(j-1)} \quad (6)$$

이 된다. 여기서  $j \geq b$ 이다. 또한, 임의 사이클  $j$ 에 스위치 포트  $D$ 로 데이터 패킷이 출력 될 확률,  $P(D=1)_{cycle j}$ ,은

$$P(D=1)_{cycle j} = 1 - P(D=0)_{cycle j} \\ = 1 - \{ P(\epsilon_D=0)_{cycle(j-1)} \times P(\bar{h}_D=0)_{cycle(j-1)} \} \quad (7)$$

로 계산된다. 식 (7)에서  $P(\bar{h}_D=0)_{cycle(j-1)}$ 은 4.2.2절의 식 (1) ~ (4)와 같은 방법을 통해서 얻을 수 있고,  $P(\epsilon_D=0)_{cycle(j-1)}$ , 즉 사이클  $(j-1)$  종료 시점에 버퍼가 비어있을 확률은 다음과 같이 계산된다.

- ① 사이클  $(j-2)$  종료 시 해당 포트 버퍼에 저장된 데이터 패킷의 수가 하나이고, 사이클  $(j-1)$ 에 해당 포트에 향하는 데이터 패킷이 없는 경우
- ② 사이클  $(j-2)$  종료 시 해당 버퍼에 저장된 데이터 패킷이 없고, 사이클  $(j-1)$ 에 해당 포트에 향하는 데이터 패킷이 하나인 경우
- ③ 사이클  $(j-2)$  종료 시 해당 포트 버퍼에 저장된 데이터 패킷이 없고, 사이클  $(j-1)$ 에 해당 포트에 향하는 데이터 패킷이 없는 경우

따라서, 임의 사이클  $(j-1)$ 에 버퍼에 저장된 데이터 패킷의 수가 0일 확률,  $P(\epsilon_D=0)_{cycle(j-1)}$ ,은

$$P(\epsilon_D=0)_{cycle(j-1)} =$$

$$P(\epsilon_D=1)_{cycle(j-2)} \times P(\bar{h}_D=0)_{cycle(j-1)}$$

$$+ P(\epsilon_D=0)_{cycle(j-2)} \times P(\bar{h}_D=1)_{cycle(j-1)}$$

$$+ P(\epsilon_D=0)_{cycle(j-2)} \times P(\bar{h}_D=0)_{cycle(j-1)} \quad (8)$$

로 계산된다. 여기서,  $b \geq 1$ 이고,  $n \geq 2$ 이다. 식 (5)의  $P(\epsilon_D=1)_{cycle(j-2)}$ 는 사이클  $(j-2)$  종료 시 버퍼에 1개의 데이터 패킷이 저장될 확률은  $P(\epsilon_D=0)_{L, cycle(j-1)}$  분석과 유사한 과정을 거쳐 확률 식으로 표현하면,

$$P(\epsilon_D=1)_{cycle(j-2)} = P(\epsilon_D=2)_{cycle(j-3)} \times P(\bar{h}_D=0)_{cycle(j-2)} \\ + P(\epsilon_D=1)_{cycle(j-3)} \times P(\bar{h}_D=1)_{cycle(j-2)} \\ + P(\epsilon_D=0)_{cycle(j-3)} \times P(\bar{h}_D=2)_{cycle(j-2)} \quad (9)$$

이다. 같은 방법으로, 식 (6)을 일반화하여 임의 사이클  $(j-k-1)$ 에 버퍼에 저장된 데이터 패킷의 수가  $k$ 일 확률,  $P(\epsilon_D=k)_{cycle(j-k-1)}$ , 은

$$P(\epsilon_D=k)_{cycle(j-k-1)} = \\ P(\epsilon_D=k+1)_{cycle(j-k-2)} \times P(\bar{h}_D=0)_{cycle(j-k-1)} \\ + P(\epsilon_D=k)_{cycle(j-k-2)} \times P(\bar{h}_D=1)_{cycle(j-k-1)} \\ + P(\epsilon_D=k-1)_{cycle(j-k-2)} \times P(\bar{h}_D=2)_{cycle(j-k-1)} \\ \dots \\ + P(\epsilon_D=k+1-(n-1))_{cycle(j-k-2)} \times P(\bar{h}_D=n-1)_{cycle(j-k-1)} \\ = \sum_{x=k+1}^{n-1} P(\epsilon_D=x)_{cycle(j-k-2)} \times P(\bar{h}_D=k+1-x)_{cycle(j-k-1)} \quad (10)$$

이다. 여기서  $b \geq 1$ ,  $a \geq 2$ 이고  $1 \leq k < b$ 이다. 식 (10)은 사이클  $(j-k-1)$ 에 버퍼가 저장하고 있는 데이터 패킷의 수가  $k$ 일 경우는 사이클  $(j-k-2)$ 에 버퍼에 저장된 데이터 패킷의 수와 사이클  $(j-k-1)$ 에 해당 출력 단으로 지향하는 데이터 패킷의 수의 합이  $(k+1)$ 임을 보여주고 있다. 이때 사이클  $(j-k-1)$  동안 하나의 데이터 패킷은 다음 스테이지로 이동하고 나머지  $k$ 개 데이터 패킷은 버퍼에 저장된다. 식 (10)에서  $x$ 가 0보다 적게 되면,  $P(\epsilon_D=x)_{cycle(j-b-1)}|_{x < 0} = 0$ 가 된다. 마지막으로 사이클  $(j-b-1)$ 에서 버퍼에 저장된 데이터 패킷의 수가  $b$ 일 확률,  $P(\epsilon_D=b)_{cycle(j-b-1)}$ 을 구하면,

$$P(\epsilon_D=b)_{cycle(j-b-1)} = \\ P(\epsilon_D=b)_{cycle(j-b-2)} \times \sum_{y=1}^a P(\bar{h}_D=y)_{cycle(j-b-1)} \\ + P(\epsilon_D=b-1)_{cycle(j-b-2)} \times \sum_{y=2}^a P(\bar{h}_D=y)_{cycle(j-b-1)} \\ \dots \\ + P(\epsilon_D=b+1-(n-1))_{cycle(j-b-2)} \times \sum_{y=a}^n P(\bar{h}_D=y)_{cycle(j-b-1)} \\ = \sum_{x=b+1}^{n-1} \{ P(\epsilon_D=x)_{cycle(j-b-2)} \times \sum_{y=b+1-x}^{n-1} P(\bar{h}_D=y)_{cycle(j-b-1)} \} \quad (11)$$

이 된다. 여기서, 만약 이전 사이클에서 버퍼에 저장된 데이터 패킷의 수와 현재 사이클에서 해당 출력 단으로

지향하는 데이터 패킷의 합이  $(b+1)$ 보다 큰 경우 데이터 충돌에 연루된 모든 데이터 패킷을 저장할 버퍼 공간이 부족하므로 데이터 패킷의 손실이 일어난다. 즉, 버퍼의 최대저장 할 수 있는 데이터 패킷의 수가  $b$  이므로,  $(x+y+1-b)$ 개의 데이터 패킷은 손실된다.

식 (8), (9), (10) 그리고 (11)등의 식에서, 확률적으로 임의 버퍼가 싸이클  $j$ 에  $k$ 개의 데이터 패킷을 저장할 확률과 싸이클  $(j+1)$ 에  $k$ 개의 데이터 패킷을 저장할 확률은 같다고 볼 수 있다. 즉, 이들 식에 정상 상태 확률(steady state probability) 개념 적용이 가능하고,  $P(\epsilon_D = k)_{\text{cycle } j} = P(\epsilon_D = k)_{\text{cycle}(j+1)}$ , 그리고  $P(\bar{h}_D = x)_{\text{cycle } j} = P(\bar{h}_D = x)_{\text{cycle}(j+1)}$ 이 된다.

따라서, 정상상태 확률 개념을 이용하여 식 (8)을 다시 쓰면

$$\begin{aligned} P(\epsilon_D=0) &= P(\epsilon_D=1) \times P(\bar{h}_D=0) \\ &+ P(\epsilon_D=0) \times P(\bar{h}_D=1) \\ &+ P(\epsilon_D=0) \times P(\bar{h}_D=0) \end{aligned} \quad (12)$$

이 된다.  $P(\epsilon_D=0)$ 를 얻기위해 식 (12)를 정리하여  $P(\epsilon_D=1)$ 를  $P(\epsilon_D=0)$ 의 식으로 구하면

$$\begin{aligned} P(\epsilon_D=1) &= P(\epsilon_D=0) \times \frac{(1 - P(\bar{h}_D=0) - P(\bar{h}_D=1))}{P(\bar{h}_D=0)} \\ &= P(\epsilon_D=0) \times \frac{1}{P(\bar{h}_{D,r}=0)} \times \sum_{y=2}^{n-1} P(\bar{h}_D=y) \\ &= P(\epsilon_D=0) \times \Omega_0 \end{aligned} \quad (13)$$

이다. 여기서  $\Omega_0 = \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=2}^{n-1} P(\bar{h}_D=y)$ 이고,  $P(\bar{h}_D=y)$ 는 4.2.2절에서 식 (1) ~ (4)와 같은 방법을 통해서 구할 수 있다. 또한,  $P(\epsilon_D=1)$ 는 다음과 같이 나타낼 수도 있다.

$$\begin{aligned} P(\epsilon_D=1) &= P(\epsilon_D=0)_i \times \sum_{y=2}^{n-1} P(\bar{h}_D=y) \\ &+ P(\epsilon_D=1) \times \sum_{y=1}^{n-1} P(\bar{h}_D=y) \end{aligned} \quad (14)$$

같은 방법으로 식 (9)의  $P(\epsilon_D=1)$ 은 다음과 같이 나타내고

$$\begin{aligned} P(\epsilon_D=1) &= P(\epsilon_D=2) \times P(\bar{h}_D=0) \\ &+ P(\epsilon_D=1) \times P(\bar{h}_D=1) \\ &+ P(\epsilon_D=0) \times P(\bar{h}_D=2) \end{aligned} \quad (15)$$

와 같이 정리된다.

여기서  $P(\epsilon_D=2)$ 는 식 (14)과 식 (15)를 이용하여 다음과 같이 두 가지 형태로 정리할 수 있다.

$$\begin{aligned} P(\epsilon_D=2) &= P(\epsilon_D=0) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=3}^{n-1} P(\bar{h}_D=y) \\ &+ P(\epsilon_D=1) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=2}^{n-1} P(\bar{h}_D=y) \end{aligned}$$

$$= P(\epsilon_D=0) \times (\Omega_1 + \Omega_0^2) \quad (16)$$

또는

$$\begin{aligned} P(\epsilon_D=2) &= P(\epsilon_D=0) \times \sum_{y=3}^{n-1} P(\bar{h}_D=y) \\ &+ P(\epsilon_D=1) \times \sum_{y=2}^{n-1} P(\bar{h}_D=y) \\ &+ P(\epsilon_D=2) \times \sum_{y=1}^{n-1} P(\bar{h}_D=y) \end{aligned} \quad (17)$$

여기서

$$\begin{aligned} \Omega_0 &= \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=2}^{n-1} P(\bar{h}_D=y), \\ \Omega_1 &= \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=3}^{n-1} P(\bar{h}_D=y) \end{aligned}$$

이다. 같은 방법으로 식 (12)~(17)를 일반화하여 버퍼가 임의 싸이클 종료 시  $(k-1)$ 개의 데이터 패킷을 저장하고 있을 확률,  $P(\epsilon_D=k-1)$ ,을 구하면

$$P(\epsilon_D=k-1) = \sum_{x=k-(n-1)}^k P(\epsilon_D=x) \times P(\bar{h}_D=k-x) \quad (18)$$

이 되고, 이로부터 버퍼가 임의 싸이클 종료 시  $k$ 개의 데이터 패킷을 저장하고 있을 확률,  $P(\epsilon_D=k)$ ,을 구하면

$$\begin{aligned} P(\epsilon_D=k) &= P(\epsilon_D=0) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=k+1}^{n-1} P(\bar{h}_D=y) \\ &+ P(\epsilon_D=1) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=k}^{n-1} P(\bar{h}_D=y) \\ &\dots \\ &+ P(\epsilon_D=k-1) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=2}^{n-1} P(\bar{h}_D=y) \\ &= \sum_{x=0}^{k-1} \left\{ P(\epsilon_D=x) \times \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=k+1-x}^{n-1} P(\bar{h}_D=y) \right\} \\ &= P(\epsilon_D=0)_i \times (\Omega_{k-1} + \Omega_{k-2}^2 + \dots + \Omega_1^{k-1} + \Omega_0^k) \\ &= P(\epsilon_D=0) \times \sum_{l=0}^{k-1} \Omega_l^{k-l} \end{aligned} \quad (19)$$

또는

$$P(\epsilon_D=k) = \sum_{x=0}^{k-1} \left\{ P(\epsilon_D=x) \times \sum_{y=k+1-x}^{n-1} P(\bar{h}_D=y) \right\} \quad (20)$$

로 정리할 수 있다. 여기서

$$\Omega_l = \frac{1}{P(\bar{h}_D=0)} \times \sum_{y=l+2}^{n-1} P(\bar{h}_D=y)$$

이다.

마지막으로, 버퍼에  $b$ 개의 데이터 패킷이 저장될 확률은, 즉 버퍼가 완전히 차게 될 확률,  $P(\epsilon_D=b)$ ,는 다음과 같이 구할 수 있다.

$$P(\epsilon_D=b-1) = \sum_{x=b-(n-1)}^b P(\epsilon_D=x) \times P(\bar{h}_D=b-x) \quad (21)$$

이고,

$$P(\epsilon_D=b)$$

$$\begin{aligned}
&= \sum_{x=0}^{k-1} \left\{ P(\epsilon_D = x) \times \frac{1}{P(\bar{h}_D = 0)} \times \sum_{y=\delta+1-x}^{k-1} P(\bar{h}_D = y) \right\} \\
&= P(\epsilon_D = 0) \times (\Omega_{b-1} + \Omega_{b-2}^2 + \dots + \Omega_1^{b-1} + \Omega_0^b) \\
&= P(\epsilon_D = 0) \times \sum_{i=0}^{b-1} \Omega_i^{b-i} \quad (22)
\end{aligned}$$

이다. 여기서  $\Omega_i = \frac{1}{P(\bar{h}_D = 0)} \times \sum_{y=\delta+1-i}^{k-1} P(\bar{h}_D = y)$ 이다. 식 (13), (16), (19), 그리고 (22)식으로부터 임의의  $k$ 에 대한  $P(\epsilon_D = k)$ 는  $P(\epsilon_D = 0)$ 와  $\Omega_i$ 를 이용하여 계산이 가능하다. 이때  $P(\epsilon_D = 0)$ 는 다음과 같이 계산할 수 있다. 스위치에 장착한 버퍼의 개수가  $b$ 개인 경우 임의의 싸이클 종료 시 버퍼에 저장된 데이터 패킷의 개수는 0에서  $b$ 개중 하나가 된다. 즉,  $\sum_{x=0}^b P(\epsilon_D = x) = 1$ . 따라서,

$$\sum_{x=0}^b P(\epsilon_D = x) = P(\epsilon_D = 0) \times \sum_{x=0}^b \sum_{i=0}^{x-1} \Omega_i^{x-i} = 1 \quad (23)$$

이 된다. 따라서, 정상 상태 처리율 계산의 주요 변수로 정의된  $P(\epsilon_D = 0)$ 은

$$P(\epsilon_D = 0) = \frac{1}{\sum_{x=0}^b \sum_{i=0}^{x-1} \Omega_i^{x-i}} \quad (24)$$

로 얻어진다. 여기서  $\Omega_i = \frac{1}{P(\bar{h}_D = 0)} \times \sum_{y=\delta+1-i}^{k-1} P(\bar{h}_D = y)$ 이다.

따라서, 스위치의 임의 포트 D의 정상상태 출력률은 4.2.2절의 식 (1)~(4)와 같은 방법을 통해서 얻은  $P(\bar{h}_D = k)$ 와 식 (24)를 이용하여 식 (7)을 통해서 구할 수 있다.

#### 2.4 네트워크 지연시간 분석

네트워크 성능 평가에 있어 정상상태 처리율과 함께, 또 다른 주요 평가 지표로 네트워크 지연시간(Network Delay,  $\gamma$ )을 들 수 있다. 네트워크 지연시간은 임의의 데이터 패킷이 네트워크를 통과하는데 소요되는 평균 시간으로 네트워크 스위치를 동기 제어하는 스위치 클럭의 싸이클 주기( $\Delta t$ )단위로 계산된다.

임의의 데이터 패킷의 스위치 체류 시간은 데이터 패킷이 해당 스위치의 임의 포트에 도착했을 당시 진행하고자 하는 스위치 출력 포트의 buffer에 누적된 데이터 패킷의 수와 다른 포트로 동시에 유입되는 데이터 패킷들의 진행 방향에 따라 결정된다. 즉, 싸이클 ( $j-1$ ) 종료 시  $x$ 개 데이터 패킷을 저장하고 있는 포트에 싸이클  $j$ 에 해당 포트를 제외한 다른 포트에 도달한 데이터 가운데  $d$ 개 패킷이 새로 지향하면, 이들 패킷은 buffer 공간이 허용하는 한  $x \sim (x+d-1)$ 번째 buffer에 저장되고, 해당 포트를 통해 출력 되게 된다.

이들 좀더 구체적으로 정리하여, 네트워크 내부 임의 복수 buffered crossbar 스위치에서 싸이클  $j$ 에 특정

포트로 지향하여 buffer에 도착한 데이터 패킷이  $k$ 번째 buffer에 저장될 경우를 살펴보면 다음과 같다.

- 1) 싸이클 ( $j-1$ ) 종료 시 해당 포트 buffer에  $k$ 개 패킷이 저장된 상태에서, 싸이클  $j$ 에 새로운 한 개 이상의 패킷이 해당 출력 단을 지향하고, 이들 가운데 첫 번째로 선택되어 buffer에 저장될 경우
- 2) 싸이클 ( $j-1$ ) 종료 시 해당 출력 단 buffer에 ( $k-1$ )개 패킷이 저장된 상태에서, 싸이클  $j$ 에 새로 두 개 이상의 패킷이 도착되고 이들 가운데 두 번째 순위로 buffer에 저장될 경우
- ...
- a) 싸이클 ( $j-1$ ) 종료 시 해당 출력 단 버퍼에 ( $k-(n-1)+1$ )개의 패킷이 저장된 상태에서 싸이클  $j$ 에 새로  $n-1$ 개의 패킷이 도착되고 이들 가운데  $n-1$  번째 순위로 buffer에 저장될 경우, 여기서 ( $k-(n-1)+1 \leq b$ )

일단 데이터 패킷이  $k$  번째 buffer에 저장되면 해당 데이터 패킷은 현 스위치에  $(k+1) \times \Delta t$  시간만큼 머무르게 된다. 따라서 스위치 임의 포트 D를 통과하여 출력에 성공한 임의의 데이터 패킷  $\delta$ 가 해당 스위치에 체류한 시간,  $\tau_{DS}$ ,을 데이터가 유입될 확률  $\zeta_{stage i}$ 와 함께 확률식으로 구하면

$$\begin{aligned}
\tau_{DS} &= \sum_{k=0}^b \zeta_{\rho=k} \sum_{i=1}^{(n-1)} \left\{ P(\epsilon_D = \rho)_{cycle(j-1)} \times \sum_{y=k+\rho}^{n-2} \frac{1}{y+1} P(\bar{h}_D = y)_{cycle j} \right\} \\
&\quad \times (k+1) \Delta t \quad (25)
\end{aligned}$$

여기서,  $P(\bar{h}_D = y)^*$ 는 출력에 성공한 임의의 데이터 패킷  $\delta$ 를 제외하고  $y$ 개의 데이터가 해당 포트를 지향할 확률을 나타내며, 다음과 같은 방법을 통해 수식화 할 수 있다.

4개의 포트를 갖는 스위치를 가정할 경우, 임의의 데이터 패킷  $\delta$ 를 제외하고 0개의 데이터 패킷이 해당 포트를 지향할 확률,  $P(\bar{h}_D = 0)_{cycle j}^*$ ,은 다음과 같이 나타난다.

$$\begin{aligned}
P(\bar{h}_D = 0)_{cycle j}^* &= \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_2}}{3}\right) \\
&\quad + \left(1 - \frac{\zeta_{D_1}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_3}}{3}\right) \\
&\quad + \left(1 - \frac{\zeta_{D_2}}{3}\right) \cdot \left(1 - \frac{\zeta_{D_3}}{3}\right) \quad (25-1)
\end{aligned}$$

위 식은 임의의 데이터 패킷  $\delta$ 가 포트 D를 제외한 임의의 한 포트에 유입되어 해당 포트를 지향할 경우, 다른 두 개의 포트에 유입된 데이터 패킷은 해당 출력 단을 지향하지 않음을 수식화 한 것이다. 같은 방법으로 임의의 데이터 패킷  $\delta$ 를 제외하고 한 개의 데이터 패킷이 해당 포트 D를 출력 지향할 확률,  $P(\bar{h}_D = 1)_{cycle j}^*$ , 은

$$\begin{aligned}
 P(h_D=0)_{cycle\ j}^* &= \left(\frac{\xi_{D1}}{3}\right) \cdot \left(1 - \frac{\xi_{D2}}{3}\right) + \left(1 - \frac{\xi_{D1}}{3}\right) \cdot \left(\frac{\xi_{D2}}{3}\right) \\
 &+ \left(\frac{\xi_{D0}}{3}\right) \cdot \left(1 - \frac{\xi_{D2}}{3}\right) + \left(1 - \frac{\xi_{D0}}{3}\right) \cdot \left(\frac{\xi_{D2}}{3}\right) \\
 &+ \left(\frac{\xi_{D0}}{3}\right) \cdot \left(1 - \frac{\xi_{D1}}{3}\right) + \left(1 - \frac{\xi_{D0}}{3}\right) \cdot \left(\frac{\xi_{D1}}{3}\right) \quad (25-2)
 \end{aligned}$$

와 같이 나타낼 수 있다. 즉 데이터 패킷  $\delta$ 가 유입된 포트를 제외한 나머지 포트에서 하나의 데이터 패킷만 해당 출력단을 지향함을 나타낸 것이다. 마지막으로 데이터 패킷  $\delta$ 를 제외하고 두 개의 데이터 패킷이 해당 출력 단을 지향할 확률,  $P(h_D=2)_{cycle\ j}^*$  는

$$\begin{aligned}
 P(h_D=0)_{cycle\ j}^* &= \left(\frac{\xi_{D1}}{3}\right) \cdot \left(\frac{\xi_{D2}}{3}\right) \\
 &+ \left(\frac{\xi_{D0}}{3}\right) \cdot \left(\frac{\xi_{D2}}{3}\right) \\
 &+ \left(\frac{\xi_{D0}}{3}\right) \cdot \left(\frac{\xi_{D1}}{3}\right) \quad (25-3)
 \end{aligned}$$

와 같이 나타낼 수 있다. 따라서 n개의 포트를 가진 스위치의 경우 식 (25-1)~식 (25-3)과 같은 방법을 통해서  $P(h_D=0)_{cycle\ j}^* \sim P(h_D=n-1)_{cycle\ j}^*$ 의 확률을 계산할 수 있다.

한편, 일부 데이터 패킷들은 한정된 버퍼공간으로 인하여 전송 중, 네트워크 내부에서 유실될 수 있다. 이들 중도 유실된 데이터 패킷들은 소정의 “중도 유실 감지” 과정을 거쳐 최초 데이터 패킷이 유입된 입력 단에서 재전송 되게 된다. 그림 2는 네트워크를 성공적으로 통과한 데이터 패킷들의 네트워크 지연 시간과 함께, 전송 과정에서 중도 소실된 데이터 패킷들의 재 전송 시간을 고려한 총 네트워크 지연시간에 관한 상태도이다. 여기서, 데이터 패킷  $\delta$ 가 네트워크 내부에서 소실될 확률은  $(1-NT)$ 로 계산되고, 이들 중도 소실 데이터 패킷은 중도 유실 감지 시간(Lost Data Detection Time, LDDT) 만큼의 오류 검사 과정을 거쳐 재전송 된다.

따라서, 임의 데이터 패킷이 전체 네트워크를 통과하는데 걸리는 평균 시간,  $\tau$ ,는 그림 2로부터

$$\tau = NT \times \tau_{DS} + (1-NT) \times (LDDT + \tau) \quad (26)$$

와 같은 식으로 얻어진다. 식 (26)를  $\tau$ 에 관하여 풀면

$$\tau = \tau_{DS} + \frac{(1-NT)}{NT} \times LDDT \quad (27)$$

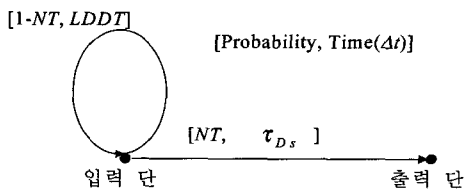


그림 2 네트워크 지연 시간에 관한 상태도

과 같이 계산된다. 여기서,  $NT$ 와  $\tau_{DS}$ 는 식 (5), (25)로부터 구할 수 있고,  $LDDT$ 는 네트워크 특성에 따라 상수로 주어진다.

### 3 네트워크 성능 평가

표 1, 표 2, 표 3, 표 4 그리고 그림 3와 그림 4, 그림 5, 그림 6는 스위치에 장착된 버퍼의 크기에 따른 네트워크 정상상태 처리율과 지연시간에 관한 분석 결과를 비교한 표와 그래프이다. 4개의 포트를 가진 스위치를 시험 대상으로 하였다. 그리고, 각 포트의 데이터 패킷 유입율을 포트 0는 1.0, 포트 1은 0.9, 포트 2는 0.8, 포트 3은 0.7로 서로 다르게 하여 각 포트별로 성능 분석을 하였다.

시뮬레이션 과정에서는, 초기에 버퍼가 비어있는 상태에서 네트워크 성능 측정을 피하기 위하여, 충분한 예비 동작시간을 준 후 본격적으로 데이터를 수집하여 처리하였다. 표에서 보인 바와 같이, 성능 분석 결과는 다양한 버퍼 크기 및 네트워크 트래픽에 대하여 시뮬레이션 결과와 매우 근접한 값을 갖는 것으로 밝혀졌다.

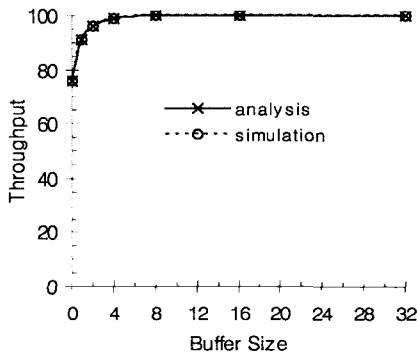
네트워크 정상 상태 처리율의 경우 그림 3(a), 그림 4(a), 그림 5(a) 그리고 그림 6(a)에서 나타난 바와 같이 버퍼가 1~4개 데이터 패킷을 저장할 수 있을 때까지 극적인 증가 양상을 보이고, 이후 정상상태 처리율이 포화 상태에 이르게 됨을 알 수 있다.

네트워크 지연시간은 경우 스위치에 장착된 버퍼의 크기의 증가와 네트워크로 데이터 유입률의 증가는 전반적인 네트워크 지연시간의 증가를 초래하는 것으로 나타났다. 그림 3(b), 그림 4(b), 그림 5(b)와 그림 6(b)에서 데이터 중도 소실 감지 시간(LDDT)은 최소 소요 시간을  $(b+2)\Delta t$ 로 놓고 네트워크 지연시간을 구하였다. 여기서  $b$ 는 스위치에 장착된 버퍼의 크기이고, 성공적으로 네트워크를 통과한 데이터 패킷이 네트워크에 체류할 수 있는 최대 지연시간은  $(b+1)\Delta t$ 로 계산된다. 이 때까지 네트워크 출력 단에 데이터 패킷이 도달하지 못하면 패킷이 중도 유실된 것으로 간주하게 된다. 데이터 중도 유실이 확인되면 바로 입력 단으로 사실이 알려지고, 해당 입력 단에서 재전송 하게 된다.

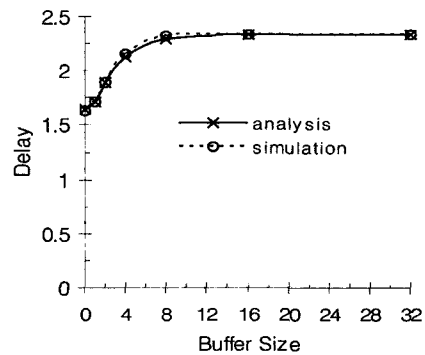
그림 3(b), 그림 4(b), 그림 5(b)의 경우 자신을 제외한 다른 포트에 유입되는 데이터 패킷 유입율이 비교적 낮아 버퍼 공간이 0~8개 정도까지는 유실된 데이터 패킷을 감지하는 시간의 증가로 선형적 증가를 보인다. 하지만 버퍼 공간 8개이상의 데이터 패킷을 저장할 수 있는 경우 데이터 패킷이 활용하는 버퍼공간이 적어 스위치 체류 시간이 일정하게 유지되고 중도 유실되는 데이터 패킷이 거의 없기 때문에 중도 유실 감지에 소요되는 시간의 증가가 전체 지연시간에 거의 영향을 미치지

표 1 포트 0의 트래픽 분석( $\zeta_{D0} = 1$ )

buffer size	Normalized Throughput(NT,%)		Network Delay( $\Delta t$ )			
	Analysis	simulation	Delay for success packets( $\Delta t$ )		Discarded 확률(%)	
			Analysis	Simulation	Analysis	Simulation
0	75.81	75.97	1.00	1.00	24.19	24.03
1	90.94	90.94	1.42	1.42	9.06	9.06
2	95.88	95.90	1.72	1.72	4.12	4.1
4	98.95	98.83	2.07	2.09	1.05	1.17
8	99.92	99.91	2.29	2.31	0.08	0.09
16	100	100	2.33	2.33	0	0
32	100	100	2.33	2.33	0	0



(a) Buffer Size vs. Throughput

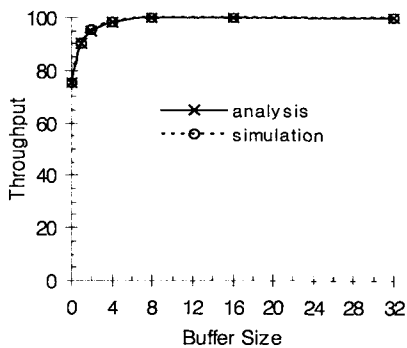


(b) Buffer Size vs. Delay

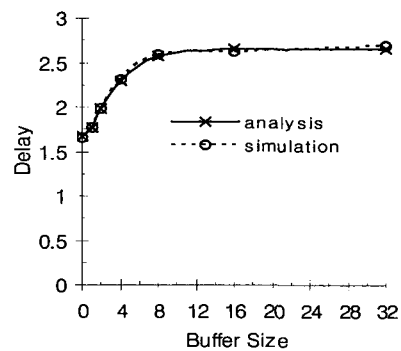
그림 3 4개의 포트를 가진 스위치 라우터에서의 포트 0의 트래픽 분석

표 2 포트 1의 트래픽 분석( $\zeta_{D1} = 0.9$ )

buffer size	Normalized Throughput(NT,%)		Network Delay( $\Delta t$ )			
	Analysis	simulation	Delay for success packets( $\Delta t$ )		Discarded 확률(%)	
			Analysis	Simulation	Analysis	Simulation
0	75.02	75.18	1.00	1.00	24.98	24.82
1	90.01	90.21	1.44	1.44	9.99	9.79
2	95.09	95.14	1.78	1.78	4.91	4.86
4	98.51	98.55	2.21	2.22	1.49	1.45
8	99.83	99.80	2.56	2.57	0.17	0.20
16	100	99.99	2.65	2.62	0	0.01
32	100	100	2.65	2.69	0	0



(a) Buffer Size vs. Throughput



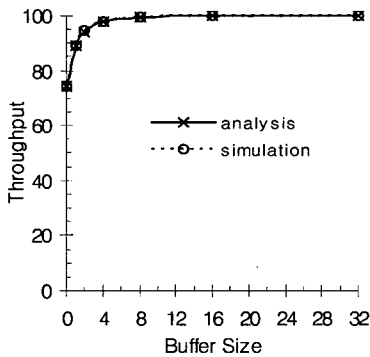
(b) Buffer Size vs. Delay

그림 4 4개의 포트를 가진 스위치 라우터에서의 포트 1의 트래픽 분석

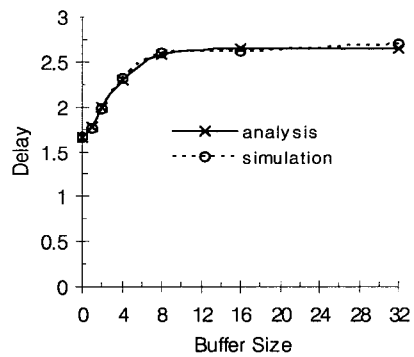


표 3 포트 2의 트래픽 분석( $\zeta_{D2} = 0.8$ )

buffer size	Normalized Throughput(NT,%)		Network Delay( $\Delta t$ )			
			Delay for success packets( $\Delta t$ )		Discarded 확률(%)	
	Analysis	simulation	Analysis	Simulation	Analysis	Simulation
0	74.1	74.23	1.00	1.00	25.90	25.77
1	88.96	89.08	1.47	1.47	11.04	10.92
2	94.14	94.37	1.84	1.84	5.86	5.63
4	97.89	98.00	2.37	2.36	2.11	2.00
8	99.64	99.63	2.90	2.88	0.36	0.37
16	99.99	99.99	3.13	3.05	0.01	0.01
32	100	100	3.14	3.11	0	0



(a) Buffer Size vs. Throughput

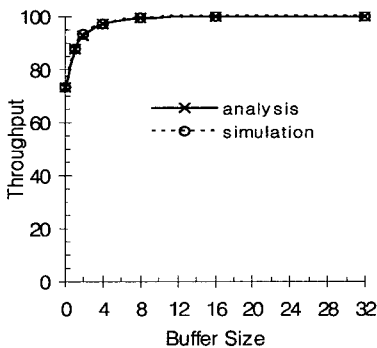


(b) Buffer Size vs. Delay

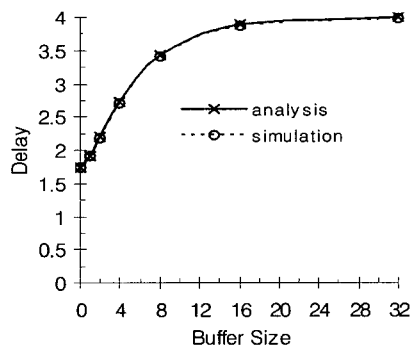
그림 5 4개의 포트를 가진 스위치 라우터에서의 포트 2의 트래픽 분석

표 4 포트 3의 트래픽 분석( $\zeta_{D3} = 0.7$ )

buffer size	Normalized Throughput(NT,%)		Network Delay( $\Delta t$ )			
			Delay for success packets( $\Delta t$ )		Discarded 확률(%)	
	Analysis	simulation	Analysis	Simulation	Analysis	Simulation
0	73.09	73.22	1.00	1.00	26.91	26.78
1	87.78	87.85	1.49	1.49	12.22	12.15
2	93.04	93.16	1.90	1.88	6.96	6.84
4	97.07	97.12	2.54	2.53	2.93	2.88
8	99.28	99.28	3.35	3.33	0.72	0.72
16	99.94	99.89	3.89	3.84	0.06	0.11
32	100	100	3.99	3.98	0	0



(a) Buffer Size vs. Throughput



(b) Buffer Size vs. Delay

그림 6 4개의 포트를 가진 스위치 라우터에서의 포트 3의 트래픽 분석

못하므로 네트워크 지연 시간은 거의 일정하게 유지되게 된다. 반면 그림 5(b)의 포트 3로 출력 되는 데이터 패킷의 평균 지연 시간은 자신을 제외한 다른 포트에 유입되는 데이터 패킷 유입율이 비교적 높기 때문에 중도 유실되는 데이터 패킷의 수가 늘어나고, 이로 인해 중도 유실 감지 시간의 영향을 비교적 많이 받을 뿐 아니라 활용되는 버퍼 공간도 늘어 다른 포트에 비해 네트워크 지연시간이 선형적으로 증가하게 된다.

#### 4. 결론

본 논문에서는  $n$ 개의 포트를 가진 스위치 라우터의 성능 분석 모형을 제안하고, 실효성을 입증하였다.

제안된 분석 기법은 네트워크 스위치 내부에서 데이터 패킷의 이동 상태를 관찰하여 확률 식으로 정리하고, 이를 토대로 네트워크 전체의 정상상태 처리율 및 네트워크 지연시간을 예측한다. 분석 모형의 수립 단계에서 정상상태 확률 개념을 도입하여 간단한 근사화(approximation)을 시도하고, 모형의 해석과 확률 식 전개를 용이하게 하였다. 또한 본 논문에서는 모형의 이해를 돕기 위하여 네트워크 트래픽 제어 및 중도유실 패킷에 대한 처리기능 등 최근 개발되는 스위치 네트워크의 부가기능을 배제하고 수식을 정리하였다. 그러나, 제안된 분석모형은 이들 다양한 성능 향상 기술이 적용된 네트워크, 그리고 다양한 크기의 네트워크 성능분석에도 쉽게 적용이 가능하다. 모형의 실효성 검토를 위하여 병행된 시뮬레이션 결과는 분석 모형에 의하여 얻은 결과와 상호 미세한 오차 범위 내에서 일치하여, 제안된 분석 기법의 우수성을 입증하였다.

#### 참고 문헌

- [1] Cisco Systems Inc., "Catalyst 8500 Campus Switch Router Architecture," [http://www.cisco.com/warp/public/cc/cisco/mkt/switch/cat/8500/tech/8510\\_wp.htm](http://www.cisco.com/warp/public/cc/cisco/mkt/switch/cat/8500/tech/8510_wp.htm).
- [2] Cisco Systems Inc., "Next Generation Clear-Channel Architecture for Catalyst 1900/2820 Ethernet Switches," [http://www.cisco.com/warp/public/cc/cisco/mkt/switch/cat/c1928/tech/nwgen\\_wp.htm](http://www.cisco.com/warp/public/cc/cisco/mkt/switch/cat/c1928/tech/nwgen_wp.htm).
- [3] F. Tobagi, "Fast Packet Switch Architectures for Broadband Integrated Networks," Proc. of the IEEE, Vol. 78, No. 1, pp. 133-167, Jan 1990.
- [4] D. M. Dias and J. R. Jump, "Analysis and Simulation of Buffered Delta Networks," *IEEE Trans. on Computers*, Vol. C-30, No. 4, pp. 273-282, Apr. 1981.
- [5] Y. C. Jenq, "Performance Analysis of a Packet Switch Based on Single Buffered Banyan Network," *IEEE J. Select. Areas Comm.*, Vol. SAC-3, No. 6, pp. 1014-1021, Dec. 1983.
- [6] C. P. Krusal and M. Snir, "The Performance of Multistage Interconnection Networks for Multiprocessors," *IEEE Trans. on Computers*, Vol. C-32, No. 12, pp. 1091-1098, Dec. 1983.
- [7] H. Yoon, K. Y. Lee, and M. T. Liu, "Performance Analysis of Multibuffered Packet-Switching Networks in Multiprocessor Systems," *IEEE Trans. on Computers*, Vol. C-39, No. 3, pp. 319-327, Mar. 1990.
- [8] Y. Mun and H. Y. Youn, "Performance Analysis of Finite Buffered Multistage Interconnection Networks," *IEEE Trans. on Computers*, Vol. 43, No. 2, pp. 153-162, Feb. 1994.
- [9] Chita R. Das and Prasant Mohapatra, "Performance Analysis of Finite-Buffered Asynchronous Multistage Interconnection Networks," *IEEE Trans. on Parallel and Distributed systems*, Vol. 7, NO. 1, pp. 18-25, Jun. 1996.
- [10] 신태지, 양명국, "출력 버퍼형  $a \times a$  스위치로 구성된 다단 연결 망의 성능 분석", 정보과학회 논문지, 제29권, 6호, pp. 738-748, 2002.
- [11] Cho. S. L., Yang. M. K., Joon Lee, "Analytical modeling of a fat-tree network with buffered switches," Communications, Computers and signal Processing, PACRIM 2001 IEEE Pacific Rim Conference on, Vol. 1, pp. 184-187, Aug. 2001.
- [12] 신태지, 양명국, "출력 버퍼형  $a \times b$  스위치로 구성된 Fat-tree 망의 성능 분석," 정보과학회 논문지, 제30권, 4호, pp. 520-534, 2003.
- [13] Shin. T. Z., Jun Lee, Yang. M. K., "Evaluation of a fat-tree network with buffered  $a \times b$  switches," Communications, Computers and signal Processing, 2003. PACRIM 2003 IEEE Pacific Rim Conference on, Vol. 1, pp 205-208, Aug. 2003.



신 태 지

1998년 울산대학교 전기전자 및 정보시스템 공학부 졸업(학사). 2000년 울산대학교 전기전자 및 정보시스템 공학부 졸업(석사). 2000년~2004년 울산대학교 전기전자 및 정보시스템공학부 졸업(공학박사) 2005년~현재 울산대학교 전기전자 및 정보시스템공학부 강의전담 교수. 관심분야는 컴퓨터 네트워크, 병렬 처리시스템



양 명 국

1983년 한양대학교 전자 공학과 졸업(학사). 1992년 The Pennsylvania State University, Electrical and Computer Engineering 졸업(공학 박사). 1993년~현재 울산대학교 전기전자 및 정보시스템 공학부 부교수. 관심분야는 컴퓨터 네트워크, 병렬 처리 시스템, 고장 적응 시스템