

PDP 스캔 전극 구동방식에 따른 방전 특성의 변화에 관한 연구

(A Study on the Discharge Characteristics of an Ac PDP
with the Variation of Scan Electrode Driver)

김중균*

(Joong-Kyun Kim)

요 약

본 연구는 스캔 구동 회로의 변화에 따른 교류형 플라즈마 표시기의 구동 특성에 관한 것이다. 본 연구에서는 교류형 플라즈마 표시기의 용량성 부하 특성을 활용하여 스캔 라인 당 소요되는 스위치의 수를 줄일 수 있는 회로를 제안하고 그 적용 가능성을 고찰하였다. 제안된 방식의 실용화 가능성에 대한 검증은 위하여 방전 유지 전압의 변화에 따라 어드레싱 전압의 변화를 관찰하여 동적 전압 마진을 측정하고, 기존 방식에 비하여 9[V] 가량의 전압 마진 감소가 관찰되었다. 이는 제안된 방식의 경우 선택된 전극의 스캔 기간에 이웃한 전극에 전위에 영향을 줌으로써 상호 간섭이 유발되는 효과에 의한 것으로 해석되었다. 최소 어드레싱 전압과 어드레싱 방전의 방전 지연 시간에 변화가 없는 점을 감안하면 제안된 방식의 실제 회로 적용은 가능할 것으로 사료된다.

Abstract

The variation of discharge characteristics of an ac PDP was observed with the change of scan electrode driving circuit. Conventional scan electrode driving circuit provides two switches per one scan line, and the suggested one can be constituted by one switch per one scan line with the consideration of capacitive load characteristic of an ac PDP. To verify the workability of the suggested scheme, the performances of the ac PDP was investigated. The dynamic voltage margin was slightly decreased with the adoption of the suggested scheme, which is estimated to result from the misfiring of unselected discharge cells due to the deformation of voltage level of the neighboring scan electrode. In the observation of the delay characteristics of addressing discharge, the performances of the conventional circuit and the suggested one are assumed to be equivalent.

Key Words : ac PDP(alternating current Plasma Display Panel), scan electrode driving circuit, dynamic operation margin, discharge delay, addressing discharge

1. 서 론

최근 정보 산업의 양적·질적 성장과 더불어 평판 디스플레이에 대한 소비자의 요구가 다양화되고 평판 디스플레이 기술 또한 급속히 발전하고 있다.

* 주저자 : 한경대학교 전기공학과 전임강사
Tel : 031-670-5324, Fax : 031-670-5015
E-mail : jkimm@hknu.ac.kr
접수일자 : 2005년 9월 26일
1차심사 : 2005년 9월 28일
심사완료 : 2005년 10월 21일

LCD(Liquid Crystal Display), PDP(Plasma Display Panel), OLED(Organic Light Emitting Diode), DLP(Digital Light Processing) 등의 평판 디스플레이들은 각각이 강점을 가지고 있는 주요 거점 시장을 벗어나 보다 넓은 시장을 형성하기 위한 경쟁이 치열하게 전개되고 있다[1,2]. PDP가 가지고 있는 주요한 문제점은 휘도 및 휘도 효율의 향상, 고화질화 및 가격 경쟁력의 확보이다. 이 중 가격적인 문제는 PDP가 LCD에 비하여 지속적으로 우위를 유지하고 있으나 최근 대형 공정이 가능한 LCD 산업의 변화에 따라 현재에는 그 중요성이 크게 부각되고 있다.

PDP는 크게 패널부, 회로부 및 기구부로 나누어지는데, 가격 면에서 회로부가 차지하는 비중이 가장 크다. PDP 가격의 감소를 위하여 방전셀 변경에 의한 패널 가격 감소, 회로부 구성의 단순화 및 일체화를 통한 회로부 가격 감소 등의 노력이 진행되고 있다. 본 연구에서는 전 스캔 전극에 대해 동일하게 작용하는 공통 구동회로와 화상 데이터 기입을 위해 각 스캔 전극을 각각 구동하는 개별 구동회로로 구성된 스캔 전극 구동회로에서 기존에 비하여 스위치의 수를 줄일 수 있는 방식을 제시하고 이 회로를 이용한 PDP 구동 시 나타나는 방전 특성의 변화를 측정하였다.

2. 본 론

PDP는 기체 방전에서 발생하는 자외선이 형광체에 입사하여 방출되는 가시광을 디스플레이에 이용하는 평판 디스플레이 소자이다. 현재 일반적으로 사용되고 있는 방전셀의 구조는 그림 1에 나타난 바와 같이 Shinoda 등에 의해 제안된 3전극 면방전형 구조를 취하고 있으며, 효율 향상 및 구동성의 향상을 위한 전극 및 격벽 등 구조의 변형이 시도되고 있으나 대부분의 동작 방식은 유사하다[3-5].

그 구조를 보면, 동일 면상에 위치한 두 개의 전극을 포함한 1개 기판과 이로부터 일정 거리를 두고 이격되어 수직 방향으로 신장한 어드레스 전극을 포함한 또 다른 기판으로 이루어지며 그 사이에 방전 가스가 봉입된 구조이다. 방전 가스로는 Xe을 포함한 불활성 가스의 조합으로 이루어져 있으며, 가시광 발생원이 되는 자외선은 Xe의 여기종인 $Xe^*(6s)$ 나

Xe_2^* 에서 방출된다. 밝기의 표현은 상판에 위치한 한 쌍의 방전 유지 전극에 의하여 이루어지며 유지 방전의 유무는 각 구동 회로에 연결되어 독립적으로 제어되는 스캔 전극과 하판에 위치한 어드레스 전극의 방전에 의해 결정된다.

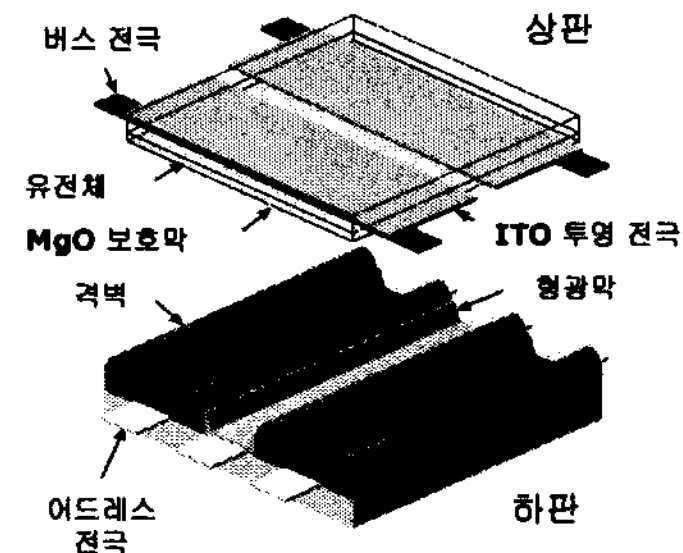


그림 1. 일반적인 교류형 PDP의 구조
Fig. 1. Conventional structure of an ac PDP

1초에 60장의 화상을 표시하여 동영상 표현하는 경우 1정지 영상에 할당되는 시간은 16.67[ms]이며, 이 시간은 다시 어드레스 기간과 기간이 서로 다른 방전 유지 기간을 가지는 서브필드(subfield)로 분리되어 각 서브필드의 조합으로 휘도의 단계를 표시하는 ADS(Address and Display Separated) 구동이 사용되고 있다[6]. 이러한 구동에 의해 PDP를 구동하기 위해 일반적으로 그림 2와 같은 구성을 가지는 회로가 사용되고 있다.

어드레싱 기간에는 스캔 전극군(群)은 순차적으로 일정 전위로 선택된 후 어드레스 전극을 통하여 방전 유무의 데이터가 입력되는데 한 스캔 전극이 선택되는 시간은 서로 배타적이고 각각의 전위를 선택하기 위한 드라이버 들이 개별적으로 연결되어 있다.

즉, 한 행의 스캔 전극은 어드레스 전극 전압이 입력된 후 전압이 변화함으로써 데이터가 입력되고 일정 시간이 경과한 후에는 다시 원래의 상태로 복귀하고 다음에 위치한 행의 방전 유무를 결정하는 어드레스 전극 전압이 입력된 후 다음 스캔 전극의 전압이 변화하는 과정이 순차적으로 진행된다. 이러한 일련의 동작을 하기 위한 파형을 발생시키기 위한 구동 회로는 일반적으로 그림 3과 같다[7].

스캔 전극 공통 구동부는 스캔 전극이 유지 방전에 사용될 때 유지 방전 펄스를 인가하고, 개별 구동

부는 스캔 동작에 사용된다.

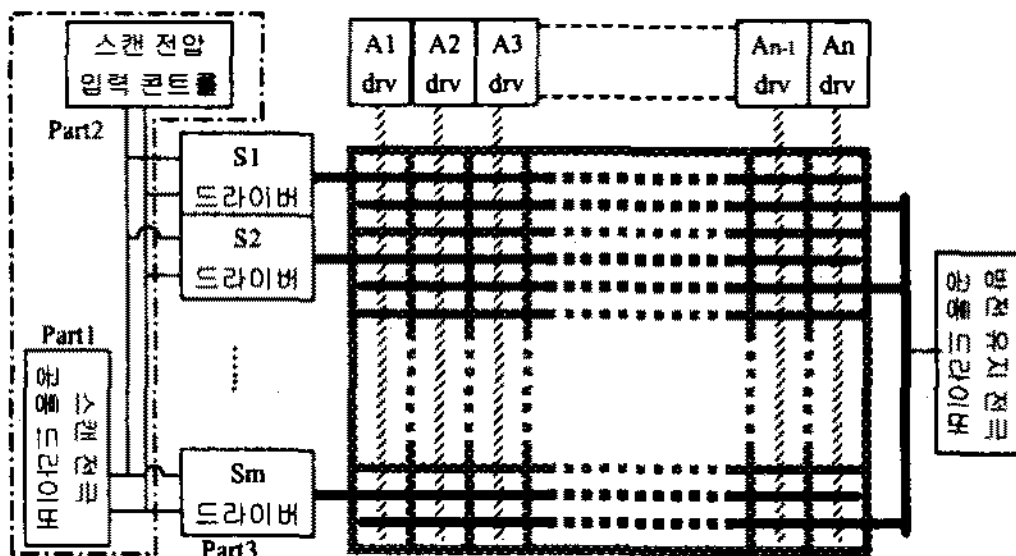


그림 2. 일반적인 PDP 구동 회로의 구성도
Fig. 2. Schematic diagram of ac PDP driving circuit

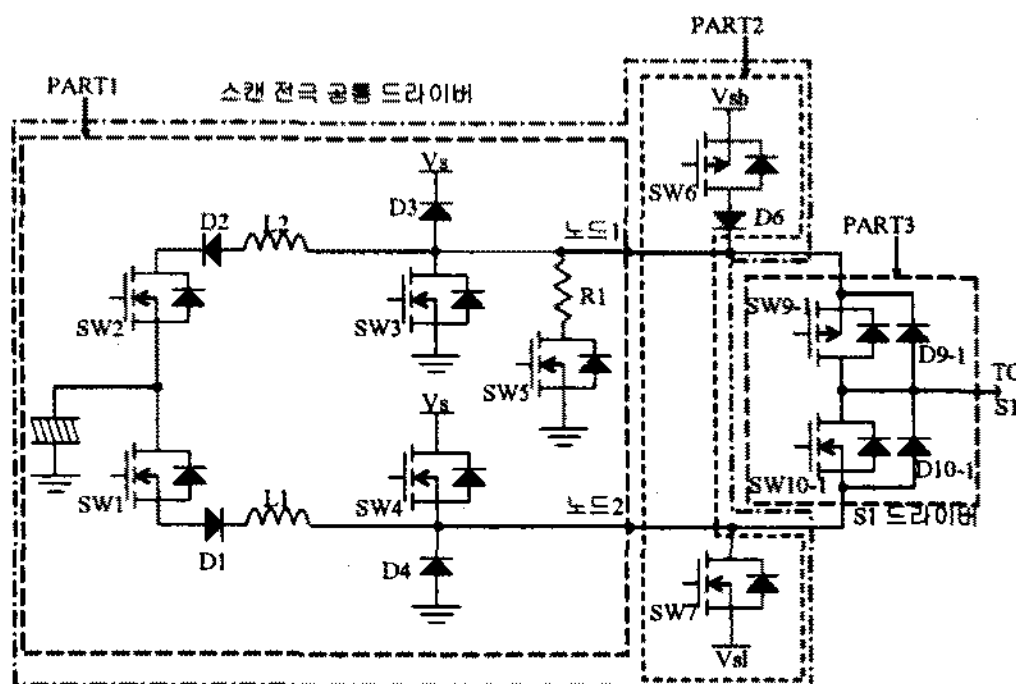


그림 3. 일반적인 스캔 전극 구동을 위한 회로 구성도
Fig. 3. Schematics of PDP scan driving circuit

스캔 구동 회로의 공통 구동회로(part 2)의 V_{sh} 는 하이 레벨(high level)의 스캔 전극 전압을, V_{sl} 은 로우 레벨(low level)의 스캔 전극 전압을 나타낸다. 노드 1의 내부 회로는 스캔이 이루어지는 동안 꺼져 있어 하이 레벨 스위치(SW6)가 켜져 있을 때 V_{sh} 에서 노드 1을 거쳐 스캔 전극 공통 회로로 전류가 흐르지 않아야 한다. 노드 2의 내부 회로도 역시 V_{sl} 로 전류가 흐르지 않아야 한다. 또한 스캔 전압 공급회로(part 2)의 스위치(SW6, SW7)와 다이오드(D6)는 스캔이 이루어지지 않는 동안 크게 변화하는 입력 전압으로부터 스캔 전압 전원을 보호하는 역할을 한다. 스캔 전극 개별 구동회로의 다이오드(D9-1, D10-1)는 스캔이 이루어지지 않는 동안 노드 2쪽에서 스캔 전극 방향으로 전류를 보내고, 노드 1쪽으로 전류를 빼내기 때문에 스캔 전극 개별 구동회로(part 3)의 양단 전압이 같은 상태를 유지하여 스캔 전극 개별

구동부에 높은 전압이 인가되지 않게 한다. 이 때 스위치(SW9-1, SW10-1)은 꺼진 상태를 유지한다. 스캔 전극 공통회로가 동작할 때 개별 구동회로부에는 한계를 넘는 전압이 인가되지만 다이오드(D9-1, D10-1)을 통하여 전류를 흘림으로써 스캔 전극 개별 구동회로를 보호하고 개개의 스캔 전극에 전압이 공급된다[7]. 약간의 변형은 가능하지만 일반적인 스캔 전극 개별 구동회로의 각 드라이버들은 이와 같이 두 개의 스위치를 구비하고 있다. 그러므로 WXGA(1365×768)급의 PDP를 구동하기 위해서는 스캔 전극 개별 구동회로부에 소요되는 스위치의 수는 $1536(=768 \times 2)$ 개가 된다. 즉 PDP 스캔 회로 제작 시 그림 3의 S1 드라이버와 동일한 구조를 가지는 개별 구동부가 768개 구비되며(S1, S2, ..., S767, S768) 이에 소요되는 스위치의 개수는 1536개이다.

본 연구에서는 스캔 전극 개별 구동회로부에 소요되는 스위치 수를 감소시킬 수 있는 회로를 구성하고 이의 적용에 따른 PDP 동작 특성을 고찰하였다.

2.1 제안된 스캔 전극 구동회로의 구성

그림 4는 본 연구에서 제안된 스캔 전극 구동회로의 구성을 나타낸 것이다.

그림 4의 노드 1과 노드 2 내부의 스캔 전극 공통 구동회로는 일반적인 구동회로와 동일하다. 스캔하지 않는 동안 스캔 전극 공통 구동회로에서 인가되는 구동 파형은 노드 2로부터 다이오드 DX2, 다이오드 D10-1을 통하는 경로와 다이오드 DX1, 스위치 SW10-1의 병렬 다이오드를 통하는 경로로 각각의 스캔 전극으로 전류를 흘리고, 다이오드 D9-1를 통해 노드 1로 전류가 빠져가는 경로가 형성된다. 이 때 다이오드 D6는 스캔 전극 공통 구동회로의 전원 전압(V_s)보다 낮은 전압을 가지는 하이 레벨 전원(V_{sh} ; $V_s > V_{sh}$)으로의 전류 흐름을 방지한다. 다이오드 DX1과 DX2는 스위치 SW10-1의 양단에 고전압이 인가되는 것과 스캔 시 스위치 SW6으로부터 SW7로의 전류 흐름을 방지한다. 한편 스캔 시에는 로우 레벨 스위치 SW7은 켜진 상태를 유지하며 어드레스 전극에 데이터 전압이 인가된 후 켜져 있던 스위치 SW6가 꺼지고 개별 구동회로 상의 스위치

SW10-1이 켜지게 되면 스캔 전극 S1에 로우 레벨 전압이 인가된다. 이어서 어드레스 방전이 형성된 후 역순으로 S1의 전압은 하이 레벨로 복귀한다. 병렬로 연결된 개별 구동회로를 구성하면 전술한 동작의 순차적인 진행에 의하여 전 스캔 전극에 대한 화상 데이터 입력이 가능하다.

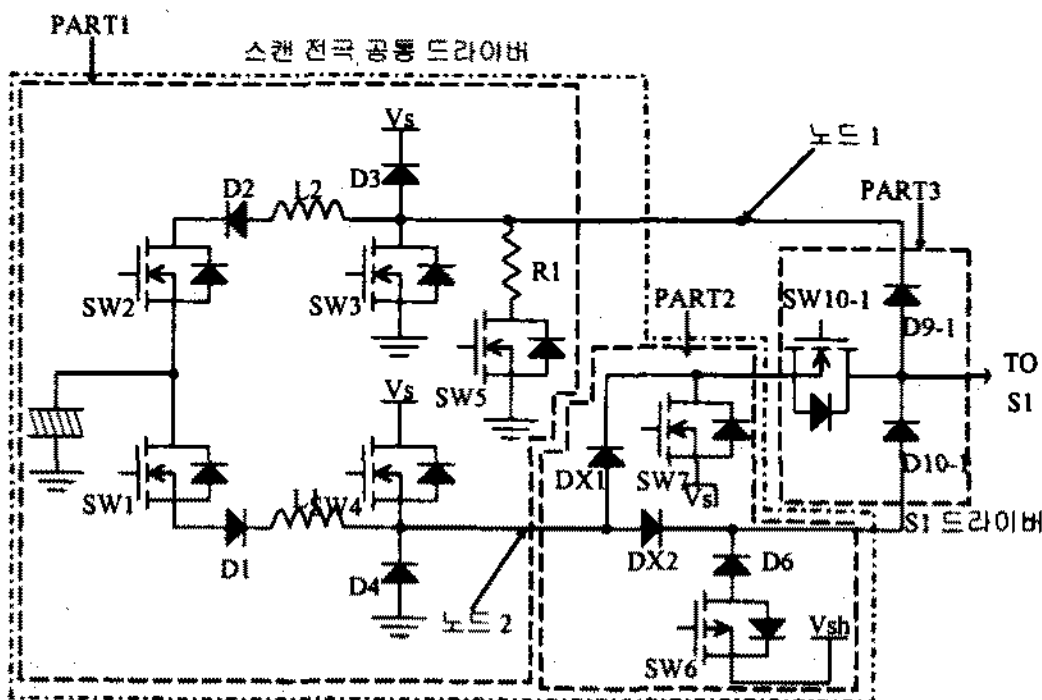


그림 4. 본 연구에 사용된 스캔 전극 구동을 위한 회로의 구성도
 Fig. 4. The proposed schematics of PDP scan driving circuit

그림 3에 나타난 일반적인 스캔 전극 구동회로에 비교하여 본 연구에 사용된 회로는 차이는 각 스캔 전극 개별 구동회로의 구성에 사용되는 스위치의 수가 반으로 절감될 수 있다는 것이다. 그러나 본 방식으로 구성된 회로의 문제점은 한 스캔 전극의 개별 구동회로의 스위치가 켜져 있을 때 다른 개별 구동회로의 스위치가 꺼져있으므로 이들과 연결된 스캔 전극이 부유 전위를 유지하고 있다는 것이다. 즉, 전형적인 용량 부하 특성을 가지는 스캔 전극들의 전위가 용량 부하의 크기에 따라 영향을 받게 되므로 실제 교류형 PDP에 적용을 통하여 그 적용 가능성에 대한 검토가 필요하다.

2.2 제안된 스캔 전극 구동회로에 따른 PDP 동작 특성

본 연구에서 제안된 스캔 구동회로의 특성을 파악하기 위하여 어드레스 전압 마진(addressing voltage margin)과 어드레싱 방전의 주요 방전 특성인 방전 지연 시간을 측정하였다. 사용된 패널은

WXGA급 42["]의 64×128 방전셀이며 방전 가스로는 500[torr]의 Ne-6[%]Xe이 사용되었다. PDP 구동을 위하여 사용된 파형은 Weber에 의해 제안된 경사형 초기화 펄스를 가지는 파형을 사용하였다. 경사형 초기화 펄스는 경사형 상승 또는 하강 구간에 다수의 약방전이 발생하여 불필요한 가시광의 발생을 최소화하면서 어드레싱 기간에 필요한 벽전하가 효율적으로 형성되도록 하는 장점을 가지고 있다[8].

2.2.1 PDP 방전 특성 측정 방법

구동에 사용된 파형은 그림 5에 나타내었다. 유지 방전은 스캔(Y) 전극의 방전으로 종료되므로 이 벽전하를 소거하기 위한 경사형 펄스가 방전 유지 전극(X)에 인가되고, 이어서 스캔(Y) 전극에 상승과 하강하는 경사형 펄스를 인가함으로써 초기 벽전하를 완전히 소거하고 어드레싱에 유리한 벽전하를 각 전극에 형성하게 된다. 이 때 어드레싱 구간의 스캔 파형을 제공하기 위한 회로를 일반적으로 사용되는 회로와 본 연구에서 제안된 회로에 대하여 각각 실험하였다. 동작 전압 마진의 측정은 그림 5의 구간 3에서 방전 유지 전극과 스캔 전극에 인가되는 방전 유지 전압의 크기를 변화시키면서 유지 방전이 지속되기 위해 필요한 어드레스 전압을 측정하였다. 어드레스 펄스는 스캔 구간 시작 후 800[μs] 후에 2[μs] 폭으로 인가되었으며 방전 유지 펄스의 주파수는 100[kHz]를 사용하였다.

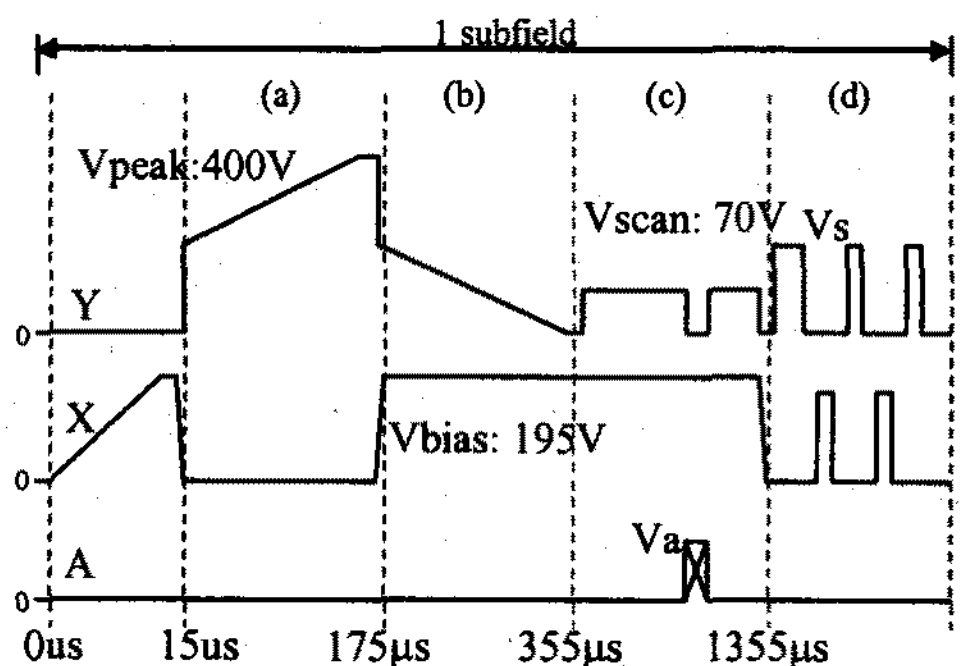


그림 5. 본 연구에 사용된 구동 파형
 Fig. 5. Driving waveform for a subfield

또한 어드레싱 방전에 의하여 발생하는 적외선 발광을 이용하여 어드레스 방전의 안정성을 측정하였

다. PDP의 방전 중 발생하는 적외선은 $Xe^*(6p) \rightarrow Xe^*(6s)$ 천이에 의하여 발생하며 방전 전류의 흐름과 시간적으로 유사하여 방전의 유무 및 방전 특성의 확인을 위한 방안으로 널리 활용되고 있다[9,10]. 어드레스 펄스의 인가 파형과 적외선 발광의 수신 및 증폭(Hamamatsu, C6386) 결과를 디지털 오실로스코프로 측정된 후 두 펄스의 시간적인 차이를 측정하였다.

2.2.2 제안된 스캔 전극 구동회로에 따른 PDP 방전 특성 결과

그림 6은 유지 방전 펄스의 전압을 변화시키며 어드레스 전압의 마진을 측정하는 것이다. 어드레스 전압의 마진은 하한과 상한을 가지게 되는데 하한 전압보다 낮은 전압이 인가되는 경우에는 방전에 필요한 전압이 충분히 인가되지 않아 어드레싱 방전이 개시되지 않고 상한 전압을 초과한 전압이 인가되는 경우에는 방전이 억제되는 전위를 유지하고 있던 주위 스캔 전극과 어드레스 전극과의 전위차가 방전이 형성되는 전압을 초과하여 원하지 않는 방전이 발생하게 된다.

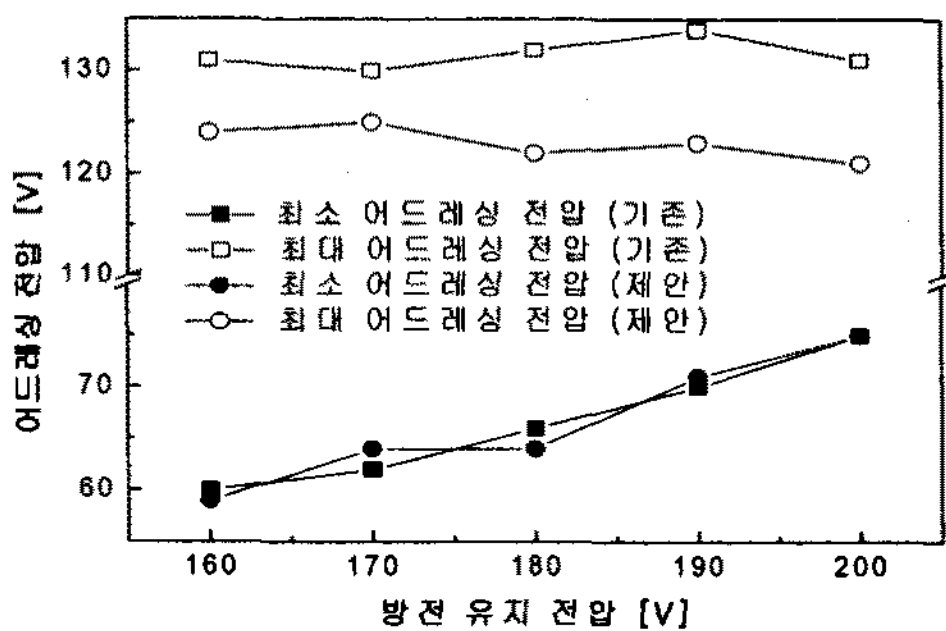


그림 6. 일반적인 스캔 구동회로와 본 연구에 사용된 회로의 구동 마진 비교
Fig. 6. Addressing voltage observed with conventional and proposed scan driving circuit

두 가지 회로를 사용하여 PDP를 동작시킨 경우 어드레스 전압의 하한은 기존의 경우와 크게 차이가 없으나 어드레스 전압의 상한은 최대 9[V] 차이가 나는 것을 알 수 있다. 본 연구에 사용된 스캔 회로의 경우 동일 유지 방전 전압에 대하여 보다 낮은 상한 어드레싱 전압을 가짐으로써 동적 전압 마진

(dynamic voltage margin)이 감소하였다. 이는 제안된 회로의 경우 스캔 동작 시 스캔 동작을 하지 않는 전극이 부유 전위를 유지하므로 근접한 스캔 전극의 전위 변화의 영향을 받기 때문인 것으로 예상된다. 즉 교류형 PDP의 경우 전극들이 유전체를 통하여 용량성 부하를 띄게 되므로 부유 전위를 유지하는 스캔 전극은 이웃한 전극의 전위 변화에 영향을 받는 것이다. 그림 7은 순차적으로 발생하는 스캔 펄스의 파형을 하나의 도면에 겹쳐 표시한 것으로(각 파형 간의 위치 관계는 의미가 없음) 부유 전위에 의한 스캔 전압 영향을 측정값으로 표시하였다. 그림에서 알 수 있듯이 한 스캔 전극의 변화 시 인접 스캔 전극의 전위가 영향을 받는 것을 알 수 있다.

그림 7에 나타난 바와 같이 한 스캔 전극이 로우 레벨로 변화할 때 그 인접한 스캔 전극의 전위가 변화하고 그 크기는 스캔 전극이 인접할수록 증가하는 것을 알 수 있으며 그 변화량은 최대 약 10[V] 가량이다. 그러므로 어드레스 전압의 상한 전압이 감소하는 것은 한 스캔 전극이 로우 레벨로 변화하며 어드레스 전극과 방전을 형성할 때 인접한 스캔 전극의 전위가 변화하며 공동으로 인가된 어드레스 전극의 전위차로 인하여 원하지 않는 방전이 형성되기 때문인 것을 알 수 있다.

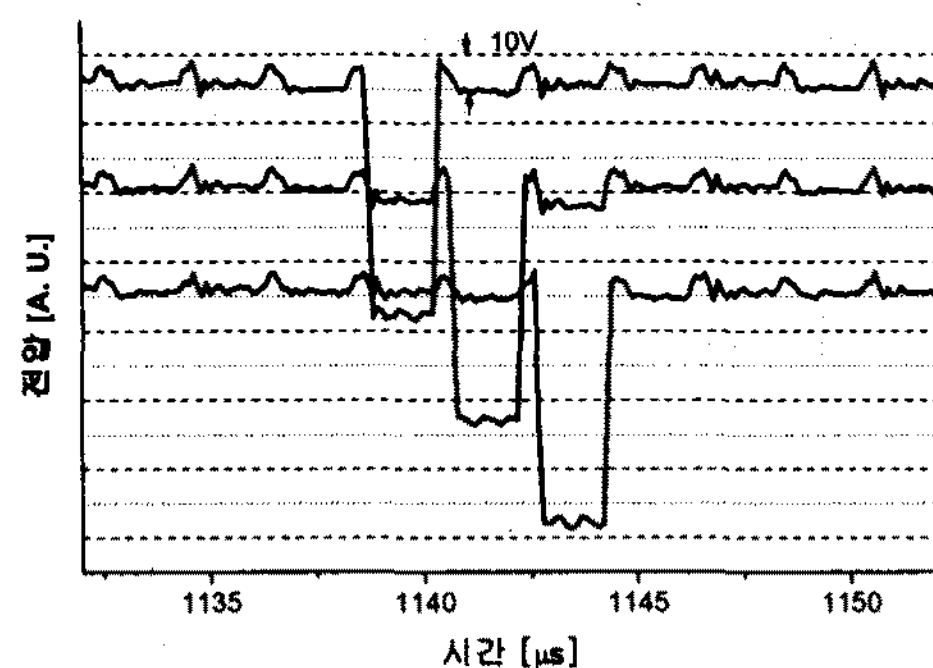


그림 7. 순차적 스캔 펄스 인가에 따른 스캔 전극 전위의 변화
Fig. 7. Scan pulse output by proposed scan driving circuit

어드레싱 방전 시 방전 지연 특성은 동마진 특성과 더불어 PDP 구동 특성의 중요한 요소 중 하나이다. 어드레스 방전 시 나타나는 방전의 지연은 스캔 전압

이 인가되어야하는 필요 시간을 결정함으로써 전체 구동에 필요한 시간을 결정하게 된다. 본 회로를 이용한 구동에서 어드레스 방전 지연은 전술한 바와 같이 적외선광의 발광 시간을 측정하여 조사하였다.

그림 8은 스캔 펄스 인가 시점을 기준으로 어드레싱 방전 발생을 측정하여 시간적인 빈도와 방전 성공 확률을 시간적으로 보인 것이다. 데이터의 총 개수는 1000개이며 방전 성공 확률은(방전 발생 횟수/총 방전 횟수)를 시간적으로 적산하여 구한 것이다. 그림에 나타난 바와 같이 본 연구에서 검토한 스캔 전극 구동 회로를 이용하여 어드레싱 방전의 지연을 측정된 결과 어드레싱 방전이 형성되는 시간은 기존의 경우와 유사하며 방전 성공 확률이 99[%]가 되는 시간 또한 1.82[μ s]로 기존의 경우 1.81[μ s]와 유의차가 없음을 확인할 수 있다.

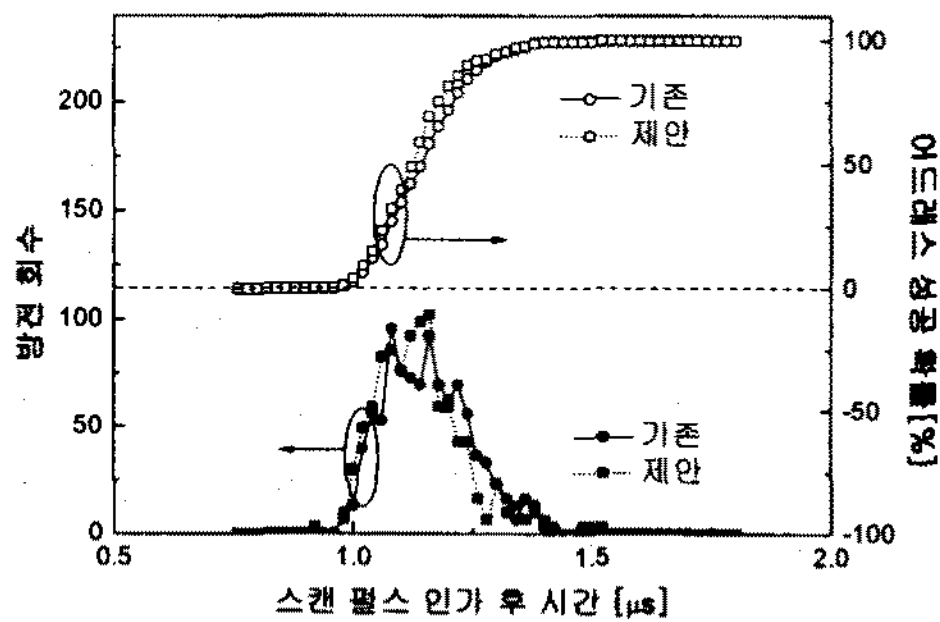


그림 8. 스캔 펄스 인가 후 어드레싱 방전이 형성되는 빈도(左)와 방전 성공 확률의 시간적 분포(右)
Fig. 8. Temporal distributions of the event of addressing discharge(left) and cumulative successful addressing discharge(right)

3. 결 론

본 연구에서는 변형된 스캔 전극 구동회로를 제시하고 PDP 구동 특성에 미치는 영향을 검토하였다. 새로운 스캔 전극 구동 회로는 스캔 전극의 개별 구동회로의 변형을 통하여 소요되는 스위치의 수를 1/2로 감소시킬 수 있으며, 새로운 구동 회로 적용에 따른 PDP 방전 특성을 측정하였다. 측정된 유지 방전 전압의 변화에 따른 어드레스 전압의 동작영역과 어드레싱 방전의 시간적 지연에서, 유지 방전 전압의 변화에 따른 동작 어드레스 전압 하한값은 기존의 경우와 차이가 없으나 상한값이 감소하여 동작마진이 감소하는 결과

를 보였는데 이는 스캔 전극 간의 용량성 부하 특성에 따른 비선택 스캔 전극의 전위 변화에 기인하는 것으로 파악되었다. 어드레스 방전의 시간적 지연에 있어서는 기존의 경우와 차이를 보이지 않았다.

본 연구는 한경대학교 2004년도 학술연구조성비의 지원에 의한 것임.

References

- [1] Masao Sugimoto, "Multi Media and Display in the 21th Century," in Proc. Intern'l Display Workshop '01, pp. 3-6, 2001.
- [2] Bruce Berkoff, "The Display Centric Home and Office of Tomorrow," in Proc. Eurodisplay '02, pp. 11-14, 2002.
- [3] T. Shinoda, M. Wakitani, T. Nanto, K. Yoshikawa, A. Ohtsuka, T. Hirose, "Development of Technologies for Large-Area Color ac Plasma Displays," in Proc. Soc. for Information Display '93, pp. 161-164, 1993.
- [4] J. Ryeom, "An Improvement of the Gas Discharge Structure of the AND Gate FDP" J. of KIEE, Vol. 18, No. 5, pp. 42-47, 2004.
- [5] J. K. Kim, T. W. Choi, Y. J. Ahn, M. N. Heo, S. H. Kang, J. H. Ryu, K. Y. Choi, "Characteristics of Triangular Color Pixel Arrangement(TCA) Structure AC Plasma Display Panel with Fine Pixel Pitches," in Proc. Soc. for Information Display '03, pp. 431-434, 2003.
- [6] K. Yoshikawa, Y. Kanazawa, M. Wakitani, T. Shinoda, A. Ohtsuka, "A Full Color AC Plasma Display with 256 Gray Scale," in Proc. Japan Display '92, pp 605-608, 1992.
- [7] Kanazawa, Yoshikazu, Kishi, Tomokatsu, "AC plasma display unit and its device circuit," US Patent. No. 5,654,728, Aug.5, 1997.
- [8] L. F. Weber, "Plasma Display Device Challenges," in Proc. IDRC '98, pp15-27, 1998.
- [9] J. Ryeom, "A Study on the Characteristics of Space Charge for the Plasma Display," J. of KIEE, Vol. 15, No. 6, pp.1-7, 2001.
- [10] K. W. Whang, J. H. Seo, C. K. Yoon, W. J. Chung, J. K. Kim, "Discharge Dynamics of AC Plasma Display Panel," in Proc. of 1999 KIEE Annual Conf.-Intern'l Sym. of Elec. Discharge and Plasma, pp. 53-57, 1999.

◇ 저자소개 ◇

김중균 (金重均)

1970년 4월 20일생. 1994년 서울대학교 전기공학과 졸업. 1996년 동대학원 전기공학과 졸업(석사). 2001년 동대학원 전기·컴퓨터공학부 졸업(박사). 2001~2004년 LG전자 PDP사업부 선임연구원. 2004년~현재 한경대학교 전기공학과 전임강사.