

# CSP(Chip Size Package)를 이용한 완전집적화 K/Ka 밴드 광대역 MMIC Chip Set 개발

## Development of Fully Integrated Broadband MMIC Chip Set Employing CSP(Chip Size Package) for K/Ka Band Applications

윤 영

Young Yun

요 약

본 논문에서는 CSP(Chip Size Package)를 이용하여 정합소자 및 모든 바이어스소자, ESD(Electrostatic Discharge) 보호소자를 MMIC상에 완전집적한 K/Ka 밴드 광대역 MMIC chip set에 관하여 보고한다. CSP에 대해서는 이방성 도전필름인 ACF(Anisotropic Conductive Film)를 이용하였으며, 그 결과 MMIC 패키지 프로세스가 간략화 되었고, CSP MMIC의 저 가격화가 실현되었다. MMIC상에 집적하기 위한 DC 바이어스 용량소자로서는 고유전율의 STO(SrTiO<sub>3</sub>) 필름 커패시터가 이용되었으며, DC 피드소자와 ESD 보호소자로서는 LC 병렬회로가 사용되었다. 그리고, K/Ka 밴드 광대역에 걸친 MMIC의 정합과 안정도를 위해서는 프리매칭회로와 RC 병렬회로가 이용되었으며, 제작된 CSP MMIC는 광대역(K/Ka) 밴드에서 양호한 RF 특성을 보였다. 본 논문은 K/Ka 밴드의 주파수 대역에 있어서의 완전집적화 CSP MMIC 칩셋에 관한 최초의 보고이다.

### Abstract

In this work, we developed fully integrated broadband MMIC chip set employing CSP(Chip Size Package) for K/Ka band applications. By utilizing an ACF for the RF-CSP, the fabrication process for the packaged amplifier MMIC could be simplified and made cost effective. STO(SrTiO<sub>3</sub>) capacitors were employed to integrate the DC biasing components on the MMIC, and LC parallel circuits were employed for DC feed and ESD protection. A pre-matching technique and RC parallel circuit were used to achieve a broadband matching and good stability for the amplifier MMIC in K/Ka band. The amplifier CSP MMIC exhibited good RF performance over a wide frequency range in K/Ka band. This work is the first report of a fully integrated CSP amplifier MMIC successfully operating in the K/Ka band.

Key words : MMIC, CSP, K/Ka Band, ACF, Prematching

### I. 서 론

최근, GaAs 디바이스 제조기술의 발전과 더불어 광대역 특성을 가지는 저가격의 고집적화 MMIC가 K/Ka 밴드 MSC(multimedia satellite communication)와 FWA(fixed wireless access)<sup>[1]-[4]</sup>의 시장에서 요구되어지고 있다. 이제까지 K/Ka 밴드 대역의 증폭기

MMIC에 관한 여러 차례의 보고가 있었으나, 고성능, 저가격 K/Ka 밴드 증폭기 MMIC의 개발을 위해서는 종래의 K/Ka 증폭기 MMIC<sup>[1]-[4]</sup>에 관해서 이하의 항목들이 개선되어야 한다.

(1) 이제까지 보고된 종래의 K/Ka 밴드 대역의 증폭기 MMIC의 경우, 대부분이 패키징(packaging)이 안된 bare chip MMIC이며, 그리고, 패키징된 MMIC

「본 연구는 한국과학재단의 지역대학 우수과학자 지원사업 지원에 의해 수행되었음(R05-2004-000-12754-0).」

한국해양대학교 전파정보통신공학부(Dept. of Radio Sciences and Engineering, Korea Maritime University)

· 논문 번호 : 20041210-160

· 수정완료일자 : 2005년 1월 6일

의 경우도 전부 표면실장 패키지(surface mount package) 상에서 본딩와이어(bonding wire)에 의해 MMIC가 실장된 형태가 대부분이었다<sup>[1]~[4]</sup>. 이러한 표면실장 패키지는 패키징된 MMIC칩 면적을 상당히 증가시키며, 패키지 내부에 존재하는 리드프레임(lead-frame)과 본딩와이어(bonding wire)에 기인하는 기생 인덕터(parasitic inductor)는 MMIC의 RF 특성을 저하시키며, 특히 Ku 밴드 이상의 주파수 대역에서는 아주 심각하다<sup>[1]~[4]</sup>. 따라서 이러한 문제점을 해결하기 위해 최근 패키지 면적이 MMIC와 동일하며, MMIC의 패키지 실장에 있어서 본딩와이어와 리드프레임을 사용하지 않는 CSP(Chip Size Package)에 의한 MMIC의 패키지 실장이 K/Ka 밴드 시장에서도 요구되고 있다. Ku 밴드 대역에서는 CSP를 이용한 MMIC가 제작된 사례가 있으나, K/Ka 밴드 대역에서의 CSP용 MMIC에 대한 연구 결과는 전무한 실정이다<sup>[1]~[4]</sup>.

(2) 종래의 K/Ka 밴드 대역의 증폭기 MMIC<sup>[1]~[4]</sup>의 경우, 대용량의 커패시터와 1/4파장 선로로 구성된 바이어스 소자는 큰 면적때문에 MMIC 상에 집적되지 못하고, 주로 MMIC 외부의 프린트 기판상에 집적되었다. 이는 MMIC 실장 모듈(module) 면적과 모듈실장 코스트를 크게 증가시키는 원인이 되고 있다.

(3) 정전파괴전압이 보통 10~20 V 정도인 미세 게이트 GaAs FET(통상 1 μm 이하)의 경우는 제작과정 중 발생하는 종종 정전 파괴 문제가 발생하여, 이를 위해 제작과정 중 세심한 주의가 필요하며, 생산라인에서는 고가의 정전 파괴 방지용 장비가 필요하다. 이러한 문제점은 패키징 또는 프린트 기판 실장중에 MMIC 정전 파괴에 의한 생산 수율 감소와 제작 코스트 증가의 원인이 되어 왔다.

(4) MMIC의 광대역 설계방법으로는 게이트드레인 피드백 설계와 저항을 이용한 lossy matching 설계법 등이 있는데, 이러한 설계방법은 광대역에서 안정화 특성을 가져오는 대신, 피드백 저항접속 등에 의해 FET 자체의 성능 저하를 초래한다<sup>[5],[6]</sup>. 따라서, K/Ka 밴드와 같은 고주파 대역에서는 상기 광대역 설계방법은 심각한 이득 및 출력 전력 손실을 초래하며, 이러한 이유로 종래의 K/Ka 밴드 대역의 증폭기 MMIC의 경우, 대부분이 Ka 또는 K 밴드 내에서의 일부 대역에만 국한되어 사용된 협대역 MMIC가

대부분이다. 그뿐 아니라, 광대역 MMIC의 동작을 위해서는 동작주파수는 물론, 저주파 영역에서의 안정도도 확보되어야 하나, 저주파 영역에서는 높은 안정도가 확보되지 못하는 문제점이 있었다<sup>[1]~[4]</sup>.

본 논문에서는 상기 문제점들을 개선한 완전집적화 K/Ka 밴드 광대역 증폭기 MMIC를 제작하였다. 패키징을 위해서는 이방성 도전 필름인 ACF(Anisotropic Conductive Film)를 이용한 CSP가 사용되었으며, 제작된 CSP MMIC는 광대역에서 양호한 RF 특성을 보였다. 본 논문은 K/Ka 밴드의 주파수 대역에 있어서의 완전집적화 CSP MMIC 칩셋에 관한 최초의 보고이다.

## II. 본 론

### 2-1 ACF(Anisotropic Conductive Film)를 이용한 CSP(Chip Size Package)

그림 1은 본 논문에서 개발한 CSP MMIC의 단면도를 보여준다. Flip-chip GaAs MMIC가 200 μm 두께의 Al<sub>2</sub>O<sub>3</sub> 기판상에 실장되었다. Flip-chip MMIC상의 Au bump는 도전입자(conductive particle)를 통해서 Al<sub>2</sub>O<sub>3</sub> 기판상의 전극 포트 1과 2에 연결되었다. 접지전위(ground voltage)는 그림 1의 CSP 하부에 위치하는 GND 전극에 공급되고, 따라서 Al<sub>2</sub>O<sub>3</sub> 기판과 MMIC상의 via hole을 통해서 MMIC의 뒷면 접지금속막에도 접지전위가 공급된다. 따라서 GaAs MMIC상의 수동, 능동소자에 대한 접지전위는 모두 MMIC의 뒷면 접지 금속막을 통해 공급된다. 본 논문에서는 MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 사이의 언더필링(under-filling) 재료로서 이방성 도전박막인 ACF를 사용하였는데, 그 결과 MMIC 패키지 제작절차가 상당히 간

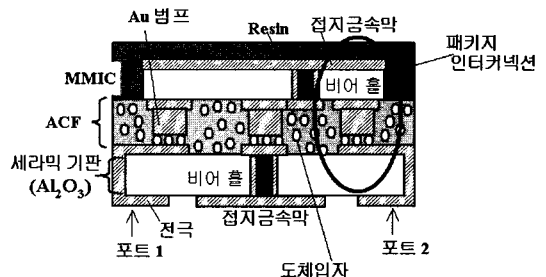


그림 1. CSP MMIC의 단면도  
Fig. 1. A cross-sectional view of CSP.

략화 되었고, CSP MMIC의 저 가격화가 실현되었다. 이에 대한 내용은 아래와 같이 설명될 수 있다.

ACF를 사용하지 않는 기존의 CSP MMIC 패키지 제작에 있어서, GaAs MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 전극 사이의 접착을 위해서 stud bump bonding<sup>[7]</sup>이 이용되었다. 이 방법에서는 GaAs MMIC의 전극패드 하나하나에 와이어 본딩(wire bonding)을 수행함으로써 Au bump를 형성하고, 그 후 고온 가압 프로세스에 의해 GaAs MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 전극 사이의 전기적, 기계적인 접착을 수행하였다. 그뿐 아니라 GaAs MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 사이의 공간을 절연체로 메꾸기 위해 별도의 언더필링 프로세스가 요구되었다. 이러한 방법은 제작절차가 복잡할 뿐 아니라 많은 시간이 소요되었다. 그러나 본 논문의 ACF CSP는 그 제작절차가 매우 간단하다. 그림 1에서 보이는 바와 같이, 두께 30 μm의 ACF 속에는 직경 5 μm의 수많은 도전입자가 포함되어 있다. 이와 같은 ACF는 기본적으로 절연체로서의 특성을 가지지만, 고온에서 압력을 가해 주면 도전입자에 의해 전기적, 기계적인 접착체의 성질을 띄게 되며, 이점 때문에 기존의 CSP MMIC 패키지 프로세스에 비해 제작절차가 상당히 간단하여진다. 본 논문의 CSP 제작 절차는 다음과 같다. 우선 그림 1의 Al<sub>2</sub>O<sub>3</sub> 기판상에 ACF를 부착한다. 그 후 flip-chip MMIC를 ACF상에 올리고, Resin을 이용하여 MMIC의 뒷면에 대해 플라스틱 몰딩(plastic molding)을 수행한다. 그 후에 고온상태의 프레스를 그림 1의 CSP의 Resin부에 눌러주면 CSP 제작은 완료된다. 그림 1에서 보이는 바와 같이 이 고온압착작업 동안에 ACF 내의 도전입자에 의해 GaAs MMIC의 Au bump와 Al<sub>2</sub>O<sub>3</sub> 기판 전극 사이의 전기적, 기계적인 접착이 자동적으로 이루어진다. 그리고 Au bump가 존재하지 않는 부분의 ACF는 GaAs MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 사이의 절연체막으로서 존재하게 된다. 결과적으로, ACF는 GaAs MMIC와 Al<sub>2</sub>O<sub>3</sub> 기판 전극 사이의 전기적, 기계적인 접착체로서의 본딩(bonding) 기능과 언더필링 절연막 기능의 두 가지 중요한 기능을 수행하며, 따라서 본 논문의 CSP를 제작함에 있어서 기존의 CSP MMIC 제작에 요구되었던 복잡한 본딩, 접착 프로세스와 추가적인 언더필링 프로세스가 불필요하게 된다. 그림 2는 완성된 CSP의 GaAs MMIC의 Au bump와 Al<sub>2</sub>O<sub>3</sub> 기판

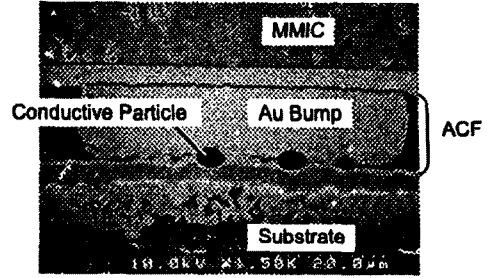


그림 2. CSP의 인터커넥션부 사진  
Fig. 2. A photograph of the CSP interconnection part.

전극 사이의 접착부의 사진을 보여준다.

신뢰성 테스트를 위해 GaAs상에 마이크로스트립 라인이 제작된 MMIC를 그림 1과 같이 CSP에 실장하고, 이를 121°C의 온도, 100 RH%의 습도에서 100 시간 동안 아닐링(annealing)하였다. 20개의 샘플에 대해 아닐링 전후에 측정된 저항(그림 1에 보이는 포트 1, 2 사이의 저항 값)은 거의 변화가 없었음이 관찰되었다.

## 2-2 ACF(Anisotropic Conductive Film)를 이용한 CSP (Chip Size Package) MMIC에 대한 마이크로 스트립 선로의 모델링

### 2-2-1 CSP용 MMIC상의 마이크로스트립 선로에 대한 실효유전율 측정

CSP를 이용하여 K/Ka 밴드용 MMIC를 설계하는 경우, 가장 먼저 필요한 작업은 마이크로스트립 라인의 임피던스 및 전송정수를 결정하는 실효 유전율을 결정해야 하는 것이다. 그림 3은 MMIC상의 마이크로스트립 선로가 CSP에 의해 패키징 되어 있는 상태이며, flip-chip 형태의 GaAs 기판상에 폭  $W$ 의 마이크로스트립 라인이 존재하며, 그 아래에는 ACF

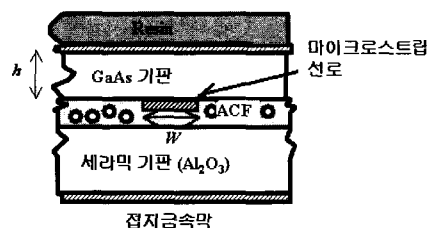


그림 3. CSP용 MMIC상의 마이크로스트립 선로  
Fig. 3. Microstrip line of CSP MMIC.

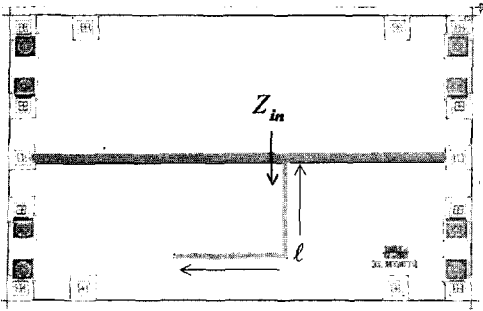


그림 4. MMIC상의 개방선로  
Fig. 4. Open stub on MMIC.

와  $Al_2O_3$  기판이 존재한다. 따라서, 이러한 경우는 마이크로스트립 선로 윗부분이 공기로 채워져 있는 일반적인 open-space의 전송선로에 대한 실효 유전율식<sup>[8]</sup>을 그대로 이용할 수 없으며, 측정 등의 방법으로 따로 구해야 한다. 따라서, 본 연구에서는 개방선로의 공진주파수 측정 값으로부터 유전율을 구하는 방법을 제시한다. 즉, 그림 4와 같은 개방선로를 그림 3과 같은 CSP에 실장하여 공진주파수로부터 실효 유전율을 측정하는 방법이며, 여기에 대한 이론은 다음과 같다. 그림 4와 같은 개방선로에 대한 입력 임피던스는

$$Z_e = -jZ_0 \cot(\beta l) = \frac{1}{jY_0 \tan(\beta l)} \quad (1)$$

이 된다. 상기 식에서,  $Z_0$ 와  $l$ 은 전송선로의 특성 임피던스와 그림 4의 개방선로의 길이이며,  $\beta$ 는 전파상수로써 다음의 식으로 표현되며,

$$\beta l = \omega \sqrt{\epsilon_e \epsilon_0 \mu_0} l \quad (2)$$

상기 식에서  $\omega$ ,  $\epsilon_e$ ,  $\epsilon_0$ ,  $\mu_0$ 는 각각 각주파수, 실효 유전율, 공기 중의 비유전율과 비투자율이다. 그런데, 그림 4와 같은 개방선로는 특정 주파수에서  $Z_{in} = 0$ 가 되면 공진이 발생하며, 공진이 발생하는 주파수를  $\omega_0$ 로 두면 식 (1), (2)로부터,

$$\beta l = \omega_0 \sqrt{\epsilon_e \epsilon_0 \mu_0} l = \frac{\pi}{2} \quad (3)$$

이 되면,  $Z_{in} = 0$ 가 되어 공진이 발생한다. 상기 식으로부터 실효 유전율을 구하면,

$$\epsilon_e = \frac{\pi^2}{4(\omega_0 l)^2 \epsilon_0 \mu_0} \quad (4)$$

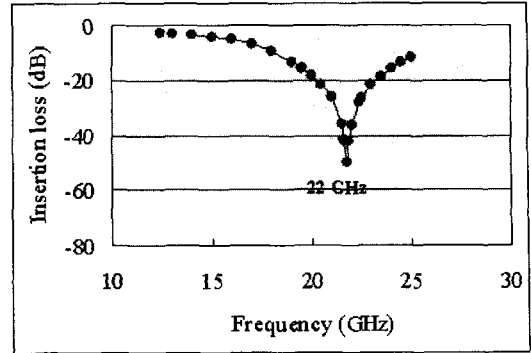


그림 5. CSP에 실장된 개방선로에 대한 삽입손실  
Fig. 5. Insertion loss of the open stub packaged by CSP.

이 된다. 상기 식 (4)를 이용하면 CSP에 의해 실장된 개방선로로부터 쉽게 실효 유전율을 구할 수 있다. 그림 5는 그림 4와 같은 개방선로를 그림 1과 같은 CSP에 실장하여 측정된 삽입손실이며, 22 GHz에서 공진특성이 관찰되었다. 따라서, 식 (4)를 이용하여 그림 3과 같은 구조의 CSP 전송선로에 대한 실효 유전율을 구하면 대략 10 정도의 값을 얻을 수 있었다.

### 2-2-2 CSP용 MMIC상의 마이크로스트립 선로에 대한 모델링식 구현

마이크로스트립 선로를 이용하여 정합회로를 설계하는 경우, 전송선로에 대한 임피던스 식이 필요하다. 그러나, 앞서 설명한 바와 같이, 이 경우는 open-space의 마이크로스트립 선로에 대한 임피던스 식<sup>[8]</sup>을 그대로 적용할 수 없고, 그림 3과 같이 CSP에 의해 실장된 형태의 마이크로스트립 선로에 대한 임피던스 식을 별도로 모델링 하여야 한다. 본 논문에서는 CSP용 MMIC상의 마이크로스트립 선로에 대한 측정치로부터의 피팅에 의해 임피던스식을 모델링하였다. 그런데, 측정치로부터 단지 피팅을 하여 모델링하는 방법은 매우 복잡하며, 많은 시간이 소요되므로, 본 논문에서는 open-space의 마이크로스트립 선로에 대한 임피던스 식<sup>[8]</sup>을 그대로 이용하였으며, 단지 실효유전율과 마이크로스트립 라인의 실효 폭에 대해서만 측정치와의 피팅을 수행하였다. 즉, open-space의 마이크로스트립 선로에 대한 임피던스 식<sup>[8]</sup>은 다음과 같으며,

$$Z_0 = \frac{55.8}{\sqrt{\epsilon_e}} \ln \left[ \frac{7.55h}{1.05W_e} + \frac{1.12W_e}{3.95h} \right] \quad (W_e/h \leq 1) \quad (5)$$

$$Z_0 = \frac{120\pi}{\sqrt{\epsilon_e W_e/h + 1.393 + 0.667 \ln(W_e/h + 1.444)}} \quad (W_e/h \geq 1) \quad (6)$$

상기 식에서,  $h$ 는 그림 3에서 보이는 MMIC 기판의 높이이며,  $\epsilon_e$ 는 식 (4)로부터 구한 실효 유전율이다. 본 연구에서는 식 (5), (6)을 이용한 계산 값과 그림 3과 같이 CSP에 실장된 MMIC상의 마이크로스트립 라인에 대한 임피던스의 측정 값이 일치하도록 피팅에 의해 실효폭  $W_e$ 에 대한 모델링식을 구현하였으며, 그 결과는

$$W_e = \frac{(W+5)(1-e^{-W})}{1+e^{-W}} \quad (7)$$

와 같다. 그림 6은 그림 3과 같이 CSP에 실장된 MMIC 상의 마이크로스트립 라인에 대한 임피던스의 측정 값과 계산 값을 비교한 결과이다.

### 2-3 소형화된 DC 바이어스 소자와 정전파괴 보호회로의 MMIC상의 내장

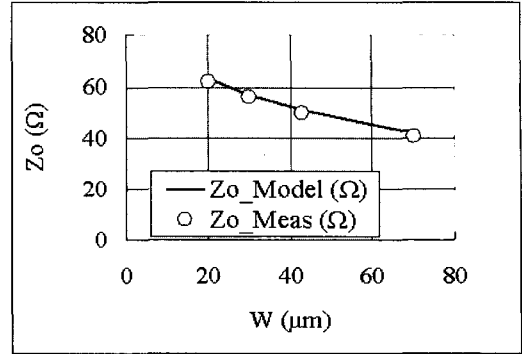


그림 6. CSP용 마이크로스트립 라인의 특성임피던스에 대한 측정치와 계산치

Fig. 6. Measured and calculated characteristic impedances of CSP microstrip line.

#### 2-3-1 DC 바이패스용 STO 용량성 소자의 내장

그림 7과 8은 각각 본 논문에서 제작된 광대역 MMIC 중간출력 증폭기(medium power amplifier, MPA)의 회로도와 사진을 보여준다. 일반적으로 FET의 드레인과 게이트의 바이어스 회로의 바이패스를 위해서는 100 pF 이상의 고용량이 요구되며, 비유전을 7인 종래의 SiN 박막 커패시터를 이용할 경우 MMIC

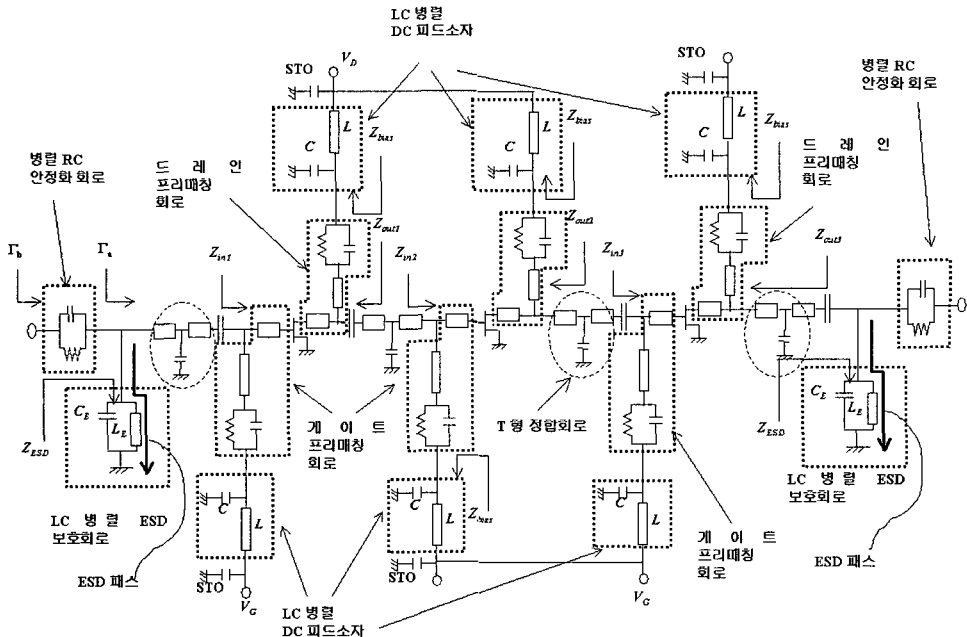


그림 7. 중간출력 증폭기 MMIC 회로도

Fig. 7. A schematic diagram of medium power amplifier(MPA) MMIC.

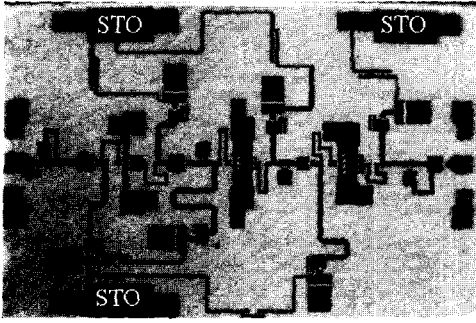


그림 8. 중간출력 증폭기 MMIC 사진  
Fig. 8. A photograph of medium power amplifier(MPA) MMIC.

상에  $800 \times 800 \mu\text{m}^2$  면적을 점유하게 된다. 따라서 MMIC 내부에의 집적이 불가능하게 되며, 종래의 MMIC<sup>[11]~[14]</sup>에 대해서는 외부의 DC 바이어스 용량소자가 MMIC 실장 기판상에 별도로 요구되었다. 본 논문에서는 그림 7, 8과 같이 STO 박막필름 커패시터가 이용되었다. STO의 비유전율은 SiN의 20배 이상이며, MMIC상에 100 pF의 STO 용량성 소자가 제작될 경우 그 면적은  $160 \times 160 \mu\text{m}^2$  밖에 되지 않는다. 본 논문에서는 100 pF의 STO 용량성 소자가 스퍼터링법(sputtering method)에 의해 제작되었으며, 비유전율은 150이었다.

### 2-3-2 소형화된 DC 피드소자의 내장

DC에서는 전원과 RF 회로 사이에 전원 공급 패스를 제공하며, 동작 주파수에서는 전원을 RF 회로와 분리시키는 것이 DC 피드 소자(또는 DC 피드 인덕터)의 기능이며, 동작 주파수에서 임피던스가 무한대가 되는 1/4 파장선로가 주로 DC 피드 소자로서 널리 이용된다. 그러나, 1/4 파장 선로는 큰 점유면적 때문에 MMIC상에는 집적되지 못하고, 보통은 프린트 기판상에 제작된다. 예를 들면, GaAs 기판 상에서 동작주파수 25 GHz에 대한 1/4 파장선로는 그 길이가 1 mm가 되며, 2.5 GHz에서는 10 mm가 된다. 본 논문에서는 MMIC상에 DC 피드소자를 집적하기 위해서 소형의 DC 피드 소자를 제안한다, 그림 7에서 보는 바와 같이 DC 피드 소자로서 LC 병렬공진 회로가 이용되었다. 병렬공진 회로의 인덕터로서는 마이크로 스트립 선로 인덕터가 이용되었으며, 커패시터로서는 metal-insulator-metal(MIM) 커패시터가

이용되었다. 큰 용량의 STO 커패시터에 의해 선로 끝은 단락되므로, 마이크로 스트립 선로 인덕터의 인덕턴스 값을  $L$ , MIM 커패시터의 커패시턴스 값을  $C$ 라고 할 때, 그림 7의 병렬공진회로의 입력임피던스  $Z_{bias}$ 는 다음과 같이 표현되며,

$$Z_{bias} = \frac{1}{j\omega C} \parallel j\omega L = \frac{j2\pi fL}{1 - (2\pi f)^2 LC} \quad (8)$$

식 (8)에서  $f$ 는 동작주파수이다. 그리고, 식 (8)에서 알 수 있는 바와 같이, 아래의 식 (9)를 만족하도록  $L, C$  값을 설정하면 동작주파수에서  $Z_{bias}$ 가 무한대가 되며, 결국 1/4 파장 마이크로 스트립 라인과 동일한 기능을 하게 된다.

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (9)$$

즉, 동작 주파수에서는  $Z_{bias}$ 가 무한대가 되므로, 그림의 DC 피드 소자를 포함한 전원부 회로는 정합 회로로부터 분리된다. 본 논문에서는 바이어스 회로의  $L, C$  값이 식 (9)를 만족하도록 결정되었으며, 동작주파수 20~40 GHz에서 인덕턴스  $L$ 과 커패시턴스  $C$ 의 범위는 각각 0.1~0.4 nH, 0.1~0.4 pF의 범위이며,  $L$ 은 GaAs MMIC 상에서 길이 150~300  $\mu\text{m}$  마이크로 스트립라인으로, 그리고  $C$ 는 GaAs상의 면적  $20 \times 20 \mu\text{m}^2 \sim 40 \times 40 \mu\text{m}^2$ 의 MIM 커패시터로 구성되었다. 따라서, 종래의 1/4 파장 마이크로스트립 선로에 대한 점유면적의 25 % 이하로 된다.

### 2-3-3 LC 병렬공진 ESD(Electrostatic Discharge) 보호회로의 내장

FET로서는 0.2  $\mu\text{m}$ 의 GaAs MODFET(modulation doped FET)가 이용되었다. 따라서 게이트 입력부는 약 10~20 V 정도의 낮은 정전파괴전압특성을 가지며, 사람들의 몸에서 발생하는 혹은 측정장비의 on, off시에 발생하는 정전기(Electrostatic Discharge)에 의해 FET는 쉽게 파괴될 수 있다. 본 논문에서는 회로의 RF 특성에 영향을 주지 않으면서 정전파괴로부터 회로를 보호하기 위해, 그림 7에서 보는 바와 같이 MMIC 회로의 입출력부에 LC 병렬공진 ESD(Electrostatic Discharge) 보호회로를 내장하였다. LC 병렬공진회로가 이용되었고, 병렬공진 회로의 인덕터로서는 마이크로 스트립 선로 인덕터가 이용되었

으며, 커패시터로서는 MIM 커패시터가 이용되었다. 따라서, MMIC의 입력 또는 출력단자로부터 들어오는 정전 필드전원은 그림 7과 같이 LC 병렬공진 ESD 보호회로의 마이크로 스트립 라인을 통해 집지로 흐르게 되며, 따라서 FET의 게이트 입력부와 드레인 출력부는 정전파괴로부터 보호된다. 그리고, 마이크로 스트립 선로 인덕터의 인덕턴스 값을  $L_E$ , MIM 커패시터의 커패시턴스 값을  $C_E$ 라고 할 때, 그림 7의 LC 병렬공진 정전파괴 보호회로의 입력임피던스  $Z_{ESD}$ 는 식 (10)과 같이 표현되고,

$$Z_{bias} = \frac{1}{j\omega C_E} \parallel j\omega L_E = \frac{j2\pi f L_E}{1 - (2\pi f)^2 L_E C_E} \quad (10)$$

식 (11)을 만족하도록  $L_E$ ,  $C_E$  값을 설정하여 주면,  $Z_{ESD}$ 는 동작주파수에서 무한대가 된다.

$$f = \frac{1}{2\pi\sqrt{L_E C_E}} \quad (11)$$

따라서, LC 병렬공진 ESD 보호회로는 정전파괴로부터 FET를 보호함과 동시에, 동작주파수에 있어서 회로의 RF 특성에 영향을 주지 않게 된다. 표 1은 LC 병렬공진 정전파괴보호회로가 있을 때와 없을 때의 정전파괴전압과 RF 특성의 측정치이다. 정전파괴 보호회로에 의해 정전파괴전압은 10 V에서 300 V까지 개선되나, RF 특성에는 영향을 주지 않음을 알 수 있다. LC 병렬공진 정전파괴보호회로가 있는 경우와 없는 경우의 특성이 표 1에 요약되어 있다. LC 공진회로가 광대역 매칭회로에 사용되는 경우, 회로의 임피던스에 영향을 주며, 특히 중심주파수에서 멀어질수록 그 영향이 크다. 따라서, 본 논문의 회로의 경우는 중심주파수에서 1차 설계 후에 optimizing 작업이 다소 필요하였다.

## 2.4 광대역 증폭기 MMIC 회로설계

표 1. 중간출력 증폭기 MMIC에 대한 RF 특성  
Table 1. RF performances of medium power amplifier (MPA) MMIC.

LC 병렬공진 ESD 보호회로	정전파괴전압	이득	Pout
있는 경우	300 V	21.4 dB	22.3 dBm
없는 경우	10 V	21.5 dB	22.2 dBm

### 2.4-1 프리매칭 기술을 통한 광대역 증폭기 회로설계

K/Ka 밴드 전체에 걸쳐서의 광대역 임피던스 정합을 위해서, 본 연구에서는 그림 7에서 보는 바와 같은 프리매칭 회로를 제안한다. 일반적으로 FET의 기생용량과 기생인덕턴스에 의해 고주파에서 FET의 게이트 입력부와 드레인 출력부 임피던스는 주파수 의존성을 보이며, 이중 입출력부 임피던스의 허수부인 리액턴스 성분이 아주 큰 주파수 의존성을 보인다<sup>[9]</sup>. 본 논문에서는 주파수 의존성이 큰 FET의 입출력부 임피던스의 허수부를 제거하기 위해 FET의 게이트 입력부와 드레인 출력부에 마이크로스트립라인 정합소자와, 커패시터 등을 포함하는 프리매칭회로를 접속하였다. 그리하여, 프리매칭회로를 포함한 FET가 주로 실수부 입출력 임피던스를 가지도록 설계하였다. 이는 이하의 수식에 의하여 간단히 설명된다. 그림 7의 각 FET에 대한 입출력 임피던스를  $Z_{in\_FET}$ ,  $Z_{out\_FET}$ 라고 하면 입출력 임피던스는 다음과 같이 표현된다.

$$Z_{in\_FET} = R_{in\_FET} + j\omega X_{in\_FET} \quad (12)$$

$$Z_{out\_FET} = R_{out\_FET} + j\omega X_{out\_FET} \quad (13)$$

따라서, 게이트 입력부에  $-j\omega X_{in\_FET}$ 의 리액턴스 성분을 가지는 프리매칭회로를, 드레인 출력부에  $-j\omega X_{out\_FET}$ 의 리액턴스 성분을 가지는 프리매칭회로를 각각 접속하여 주면 프리매칭 회로를 포함한 FET의 입출력부의 임피던스(그림 7의  $Z_{in1}$ ,  $Z_{out1}$ ,  $Z_{in2}$ ,  $Z_{out2}$ ,  $Z_{in3}$ ,  $Z_{out3}$ )는 각기 실수부 임피던스만 보이게 되며, 입출력 임피던스의 주파수 의존성이 비교적 적어지게 된다. 그림 9(a)는 FET 게이트 입력부의 간단한 등가회로<sup>[9]</sup>와 FET의 게이트 입력부에 연결된 프리매칭회로를 보여준다. 그림 9(a)에서 알 수 있는 바와 같이 게이트 입력부 프리매칭회로는 마이크로스트립라인 인덕터와 R, C로 구성된다. 마이크로스트립라인의 인덕턴스 값을  $L_1$ ,  $L_2$ , 그리고 저항과 커패시턴스 값을  $R_1$ ,  $C_1$ 이라고 하면,  $Z_{in\_FET}$ 의 허수부  $j\omega X_{in\_FET}$ 를 제거하여, 프리매칭 회로를 포함한 입력부 임피던스, 즉, 그림 9(a)의  $Z_{in}$ (또는, 그림 7의  $Z_{in1}$ ,  $Z_{in2}$ ,  $Z_{in3}$ )가 실수부 저항 값  $R_{in\_FET}$ 만을 가지기 위해선 다음의 관계를 만족해야 한다.

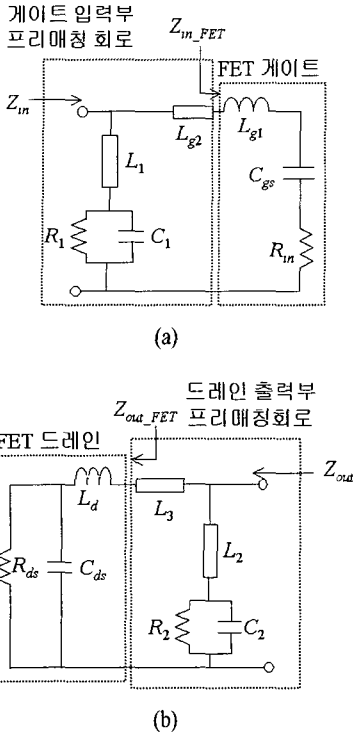


그림 9. (a) 게이트 입력 프리매칭 회로, (b) 게이트 입력 프리매칭 회로  
 Fig. 9. (a) Gate input prematching circuit, (b) Gate input prematching circuit.

$$L_1 = L_{g1} + L_{g2} \quad (14)$$

$$C_1 = 2C_{gs} \quad (15)$$

$$R_1 = \sqrt{\frac{L_{g1} + L_{g2}}{3C_{gs}}} \quad (16)$$

상기 식은 그림 9(a)의 입력 임피던스  $Z_{in}$ 에서 허수부를 0으로 둬므로써 쉽게 구할 수 있다. 그림 9(a)에서 알 수 있는 바와 같이 식 (14)~(16)에서  $L_{g1}$ 와  $C_{gs}$ 는 FET의 게이트 입력부 기생인덕턴스와 기생용량이다. 따라서 본 논문에서는 게이트 입력부 프리매칭 회로에 대해서 식 (14)~(16)을 만족하도록 프리매칭 회로를 구현하였다. 그림 9(b)는 FET 드레인 출력부의 간략한 등가회로<sup>[9]</sup>와 FET의 드레인 출력부에 연결된 프리매칭회로를 보여준다. 마찬가지로  $Z_{out\_FET}$ 의 허수부  $j\omega X_{out\_FET}$ 를 제거하여, 프리매칭 회로를 포함한 출력부 임피던스, 즉, 그림 9(b)의  $Z_{out}$ (또는, 그림 7의  $Z_{out1}$ ,  $Z_{out2}$ ,  $Z_{out3}$ )가 실수부 저항 값  $R_{out\_FET}$ 만 가지기 위해선 다음의 관계를 만족해야 한다.

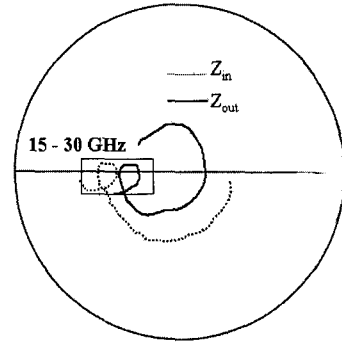


그림 10. 프리매칭 회로를 포함한 FET의 입출력 임피던스  
 Fig. 10. The input and output impedance of FET including the prematching circuits.

$$L_2 = \frac{C_2}{(1/R_2)^2 + (2\pi f C_2)^2} \quad (17)$$

$$L_3 = \frac{C_{ds}}{(1/R_{ds})^2 + (2\pi f C_{ds})^2} - L_d \quad (18)$$

이는 그림 9(b)의 출력 임피던스  $Z_{out}$ 에서 허수부를 0로 두므로써 쉽게 구할 수 있다. 그림 9(b)에서 알 수 있는 바와 같이 식 (17), (18)에서  $R_{ds}$ 와  $C_{ds}$ 는 FET의 드레인 출력부 기생저항과 기생용량이며,  $L_d$ 는 기생인덕턴스이며,  $f$ 는 동작주파수이다. 따라서 본 논문에서는 드레인 출력부 프리매칭회로에 대해서 식 (17), (18)을 만족하도록 프리매칭회로를 구현하였다. 그림 10은 각각 프리매칭회로가 접속된 FET의 입출력임피던스의 주파수 의존성에 대한 시뮬레이션 결과를 보여준다. 그림으로부터 알 수 있는 바와 같이 프리매칭회로가 접속된 FET의 입출력부 임피던스(그림 7의  $Z_{in}$ ,  $Z_{out}$ )는 15~30 GHz에 걸쳐서 20 Ω과 25 Ω 근방의 실수부 임피던스를 주로 보여주며, 주파수 의존성은 아주 적음을 알 수 있다. 프리매칭 후에 각 프리매칭 회로를 포함한 부분에 대해서는 본 논문의 그림 7에서 보는 바와 같이 두 개의 직렬 연결 전송선로와 커패시터로 이루어진 T형 회로를 이용하였다.

#### 2-4-2 광대역 안정화특성을 위한 RC 병렬 안정화 회로의 내장

일반적으로 FET는 고주파 영역보다 저주파에서



불안정 특성을 보이므로, 이에 의해 저주파수에서의 MMIC 회로에 대한 안정도는 떨어지며, 이러한 점 때문에 MMIC로부터 광대역에 걸친 안정도 특성을 얻는 것이 어렵다<sup>[1]-[4]</sup>. 본 논문에서는 저주파수 대역에서의 회로의 안정화를 피함과 동시에, 동작주파수에 있어서는 회로의 RF 특성에 영향을 주지 않는 RC 병렬 안정화 회로를 제안하며, 이를 통해 동작주파수는 물론 저주파 영역에서도 높은 안정도를 가지는 증폭기를 제작하였다. 그림 7에서는 MMIC 회로의 입출력부에 RC 병렬 안정화 회로가 접속되어 있으며, 이에 대해 적절한 저항, 커패시턴스 값을 선택하면 저주파에 있어서 RC 병렬회로의 저항의 영향이 커지며, 따라서 저항에 의해 입력부의 저주파 반사계수  $S_{11}$  특성은 개선되며, 그 결과 회로의 저주파 안정도는 개선된다. 그리고, 동작주파수에서는 커패시터의 바이패스 기능에 의해 RC 병렬회로의 저항은 무시되어, 동작주파수에서의 RF 특성은 RC 병렬 회로에 영향을 받지 않게 된다. 본 논문에서는  $C=1$  pF,  $R=20 \Omega$  값을 선택하였다. 그림 11은 RC 병렬 안정화 회로와 등가의  $R'$  직렬회로를 보여준다. 등가의 직렬저항  $R'$ 과 직렬커패시턴스  $C'$ 는 각각 다음의 식으로 표현된다.

$$R' = \frac{R}{1 + (2\pi fRC)^2} \quad (19)$$

$$C' = \left( \frac{1}{(2\pi f)^2 RC} + RC \right) \cdot \frac{1}{R} \quad (20)$$

따라서, RC 병렬 안정화 회로가 있는 경우의 MMIC 회로의 반사계수  $S_{11}$ (그림 7의  $v_b$ )은 RC 병렬 안정화 회로가 없는 경우(그림 7의  $v_a$ )에 비해서 스미스차트 상에서  $R'$ 만큼 고저항 영역(high resistive region)으로 그리고  $C'$ 만큼 용량성 영역(capacitive region)으로 이동한다. 그림 12는 RC 병렬 안정화 회로가 있는 경우의 MMIC 회로의 반사계수  $S_{11}$  특성(그림 7의  $v_b$ )

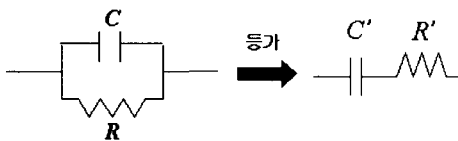


그림 11. RC 병렬안정화 회로와 등가회로  
Fig. 11. RC parallel stabilizing circuit and its equivalent circuit.

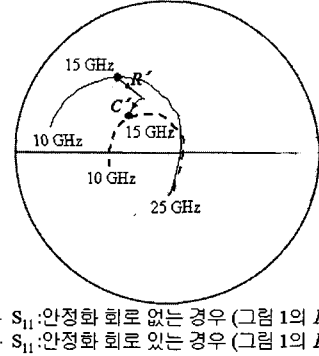


그림 12. 중간출력 증폭기 MMIC에 대한 입력측 반사손실  
Fig. 12. Input return loss of MPA MMIC.

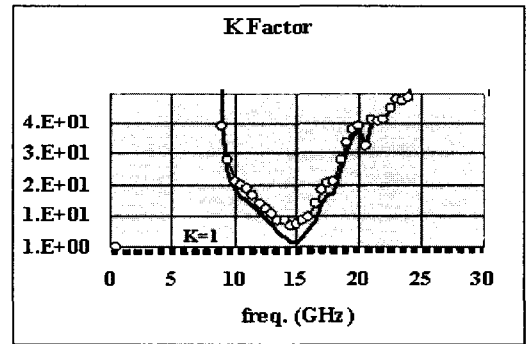


그림 13. 중간출력 증폭기 MMIC의 K 팩터 측정 값  
Fig. 13. Measured K factors of MPA MMIC.

과 RC 병렬 안정화 회로가 없는 경우의  $S_{11}$  특성(그림 7의  $v_a$ )을 보여준다. RC 병렬 안정화 회로에 의해 15 GHz 이하의 저주파 영역에서  $S_{11}$  특성이 매우 개선되었음을 알 수 있다. 그림 13은 RC 병렬 안정화 회로가 있는 경우의 MMIC의 안정화계수  $K$ 에 대한 측정 값과 RC 병렬 안정화 회로가 없는 경우의  $K$ 에 대한 측정 값을 보여준다. 흰 서클은 RC 병렬 안정화 회로가 있는 경우에 해당하고, 실선은 없는 경우에 해당한다. RC 병렬 안정화 회로에 의한 반사계수  $S_{11}$  특성개선에 의해, RC 병렬 안정화 회로가 있는 경우의 MMIC 회로의 안정도는 상당히 개선되었음을 알 수 있고, DC로부터 광대역에 걸쳐서 무조건안정(unconditional stability) 특성을 보여주고 있다.

### III. 측정결과

본 논문의 MMIC는 바이어스 소자 및 정전 파괴

소자, 그리고 정합회로를 모두 포함하고 있고, 따라서 MMIC의 동작을 위해서 어떤 외부소자(off-chip component)도 사용하지 않았다. 본 논문의 MMIC는 그림 1의 CSP에 패키징 되었다. 제작된 완전 집적화 CSP MMIC의 면적은 종래의 표면실장 패키지 MMIC에 비해 50 % 이하인  $2 \times 3 \text{ mm}^2$ 이었다. 그림 14는 패키징된 MMIC의 사진을 보여준다. 온 웨이퍼 측정을 위한 GSG 패드는 그림 14와 같이 패키지상에 직접 형성되어 있으며, 따라서, 본 논문의 CSP용 MMIC 측정을 위해서는 패키지상에 형성된 GSG 패드상에 직접 GSG 프로브를 갖다 대어서 측정하였다. 그림 15는 그림 8의 CSP용 중간출력 증폭기 MMIC의 이득에 대한 측정치와 계산치, 입출력 반사계수에 대한 측정치를 보여준다. 실선은 전력이득에 대한 측정치, 크로스는 전력이득에 대한 계산치, 그리고 흰 서클과 검은 삼각형은 입출력 반사계수에 대한 측정치에 해당한다. 그림 15에서 알 수 있는 바와 같이 측정된 이득치는 17~34 GHz의 주파수 대

역에서  $21 \pm 2 \text{ dB}$ 이며, K/Ka 밴드의 광대역에 걸쳐서 양호한 평탄도(flatness)를 보여준다. 그리고, 상기 대역에서의 입출력 반사계수에 대한 측정치는  $-6 \text{ dB}$  이하이다.

#### IV. 결 론

본 논문에서는 CSP를 이용하여, 정합소자 및 바이어스소자, ESD 보호소자를 모두 포함하고 있는 K/Ka 밴드용 MMIC 칩셋을 제작하였으며, MMIC의 동작을 위해서는 어떤 외부소자(off-chip component)도 사용하지 않았다. CSP에 대해서는 이방성 도전필름인 ACF(Anisotropic Conductive Film)를 이용하였으며, 그 결과 MMIC 패키지 프로세스가 간략화 되었고, CSP MMIC의 저 가격화가 실현되었다. MMIC 상에 집적하기 위한 DC 바이어스 용량 소자로서는 고유전율의 STO( $\text{SrTiO}_3$ ) 필름 커패시터가 이용되었으며, DC 피드소자와 ESD 보호소자로서는 LC 병렬회로가 사용되었다. 그리고, K/Ka 밴드 광대역에 걸친 MMIC의 정합과 안정도를 위해서는 프리매칭회로와 RC 병렬회로가 이용되었으며, 제작된 CSP MMIC는 광대역(K/Ka) 밴드에서 양호한 RF 특성을 보였다. 본 논문은 K/Ka 밴드의 주파수 대역에 있어서의 완전집적화 CSP MMIC 칩셋에 관한 최초의 보고이다.

#### 참 고 문 헌

- [1] B. Matinpour, N. Lal, J. Laskar, R. E. Leoni, and C. S. Whelan, "K-band receiver front-ends in a GaAs metamorphic HEMT process", *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 2459-2463, Dec. 2001.
- [2] J. Williams, S. Peak, "Ku-band MMIC's in low-cost SMT compatible packages", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 27-30, 2002.
- [3] S. Koriyama, K. Kitazawa, N. Shino, and H. Minamiue, "Millimeter-wave ceramic package for a surface mount", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 61-64, 2000.
- [4] T. Satoh, et al., "A compact PA MMIC module for K-band high-speed wireless systems", *IEEE MTT-S*

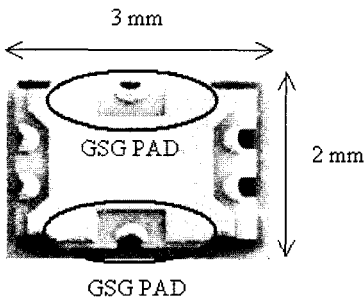


그림 14. 패키징된 MMIC 사진  
Fig. 14. A photograph of packaged MMIC.

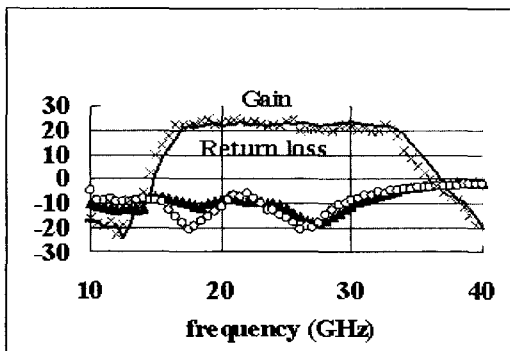


그림 15. 중간출력 증폭기 MMIC의 RF 성능 측정결과  
Fig. 15. Measured RF characteristics of MPA MMIC.

*Int. Microwave Symp. Dig.*, pp. 1333-1336, 2000.

[5] I. Bahl, P. Bhartia, *Microwave Solid State Circuit Design.*, John Wiley&Sons, 1988.

[6] K. B. Niclas, "On design and performance of lossy match GaAs MESFET amplifiers", *IEEE Trans. Microwave Theory Tech.*, vol. 30, pp. 1900-1906, Nov. 1982.

[7] H. Sakai, T. Yoshida, and M. Sagawa, "High frequency flip-chip bonding technologies and their application to microwave/millimeter-wave ICs", *IEICE Trans. Electron.*, vol. E81-C, no. 6, pp. 810-818, 1998.

[8] D. M. Pozar, *Microwave Engineering*, Addison-Wesley, 1990.

[9] Y. Itoh, T. Takagi, H. Masuno, M. Kohno, and T. Hashimoto, "Wideband high power amplifier design using novel band-pass filters with FET's parasitic reactances", *IEICE Trans. Electron.*, vol. E76-C, no. 6, pp. 938-943, 1993.

윤 영



1993년 2월: 연세대학교 전자공학과 (공학사)

1995년 2월: 포항공과대학 전자전기공학과 전파공학 전공 (공학석사)

1999년 3월: 오사카대학 전기공학과 고주파 반도체 전공 (공학박사)

1999년 4월~2003년 9월: 마쯔시타전기 반도체 디바이스 연구센터 MMIC/RFIC 연구그룹

2003년 9월~현재: 한국해양대학교 전파정보통신공학부 조교수

[주 관심분야] 무선통신용 MMIC