

PRAM 기술의 개요 및 개발 동향

강대환, 정중현, 정병기 (한국과학기술연구원 박막재료연구센터)

I. 서론

1970년 256bit의 Re-programmable Read - Mostly Memory 시제품으로 세상에 처음 모습을 드러낸, 칼코지나이드계 메모리 재료를 이용한 비휘발성 메모리는 약 35년이 지난 2004년 삼성전자의 64Mbit 상변화메모리 (PRAM) 시제품 개발로 이제 제품화의 새로운 전기를 맞고 있다.

PRAM 기술이 재부상하게 된 배경에는 고성능 비휘발성 메모리에 대한 대량수요가 예상되는 사회, 경제적 변화와 함께 기술적으로는 DVD-RAM 등 상변화 재료를 정보저장용 재료로 사용한 광디스크 기술의 연구개발 및 상용화를 통해 이룩된 재료기술의 발전 (1970년의 소자가 정보의 기록에 수ms 정도의 시간이 소요된 반면 최근의 소자는 100 ns 이하의 시간이 소요!), 그리고 재료의 격심한 상변화에 요구되는 전기에너지의 공급 및 안정적 메모리 동작을 가능하게 만든 반도체 소자 및 공정기술의 눈부신 발전에 있다.

현재 비휘발성 메모리는 플래쉬 메모리가 시장을 독점하며 고집적화를 성취하고 있는

가운데, 시장 진입이 지연되고 있는 차세대 비휘발성 메모리의 경우 집적화에 대한 요구와 함께 플래쉬 메모리의 단점 보완, system-on-chip 기술개발을 뒷받침할 넓은 범위의 기능특성을 가지는 메모리에 대한 요구 등 새로운 환경변화마저 수용해야하는 상황에 있다. 따라서, 상기한 기술의 발전을 통해 새로운 모습으로 단장한 PRAM의 전도가 탄탄대로가 아닌 것은 분명하며 시장진입을 위해 적어도 또 한 차례 애로기술이 극복되어야 할 것으로 전망되고 있다.

본 기고문에서는 차세대 비휘발성 메모리 중 최근 가장 각광을 받고 있는 PRAM 기술에 대해 그 개요와 함께 최근의 연구개발 동향을 살펴보기로 한다.

II. PRAM의 개요

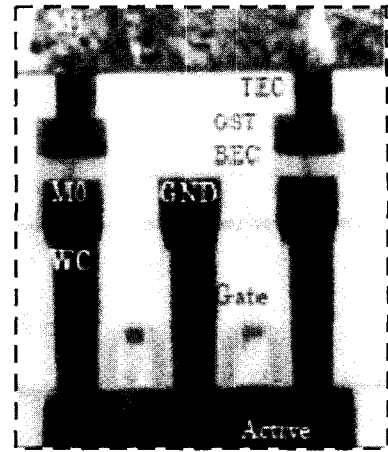
1. PRAM의 구조

커패시터형 메모리인 DRAM은 셀선택을 위한 1개의 트랜지스터와 데이터 저장을 위한 1개의 커패시터로 이루어진 셀구조를 갖

고 있는 반면, 저항형 메모리인 PRAM은 그림 1(a)에서 나타낸 바와 같이 커패시터 대신에 레지스터로서 상변화 재료를 사용하고 있다. 커패시터는 전원공급이 차단되었을 때 저장된 전하를 보존할 수 없으므로 휘발성 메모리 특성을 갖는 반면, 상변화재료는 서로 다른 전기저항을 갖는 2개의 안정한 재료 상태(결정상, 비정질상)를 갖기 때문에 비휘발성 메모리 특성을 구현할 수 있다.

상변화 재료로는 칼코지나이드(chalcogenide)라고 불리는 Se, Te 등의 6족원소 기반의 화합물이 이용되는데, 그 대표적 예로서는 Ge-Sb-Te (GST), In-Sb-Te, Ag-In-Sb-Te 계열 합금 등이 알려져 있다. 6족 원소들은 원자간 결합력이 작아서 상온에서도 쉽게 상변화를 일으키기 때문에, 4족 또는 5족 원소들을 첨가하여 원자 구조를 안정화함으로써 위의 예와 같이 실용적으로 이용할 수 있는 상변화재료들이 개발되어 왔다. 현재 실제로 PRAM 개발에 활용되고 있는 재료는 $Ge_2Sb_2Te_5$ 로 대표되는 Ge-Sb-Te 계열의 합금이다.

Ge-Sb-Te 합금은 결정(crystalline) 상태와



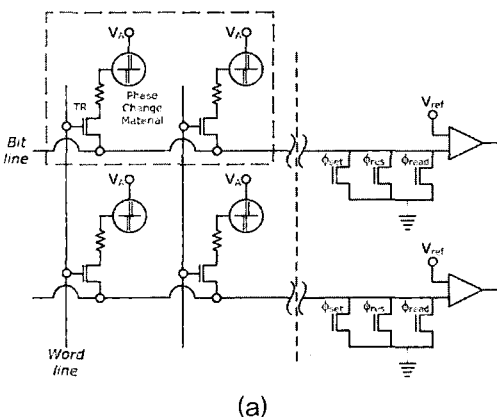
(b)

〈그림 1〉 (a) PRAM의 셀 아키텍처 (b) 메모리 셀 단면 (삼성전자, 2004)'''

비정질(amorphous) 상태 사이의 상변화가 가열에 의해 매우 빠르게 일어나는 반면, 상변화가 일어난 후에는 각 상을 안정적으로 유지할 수 있다. 이러한 결정 상태는 비정질 상태에 비해 전기 전도도가 10^4 - 10^6 배 높기 때문에, 저저항 상태인 결정상태를 SET (1)으로, 고저항 상태인 비정질상태를 RESET (0)으로 하는 메모리를 구현할 수 있다.

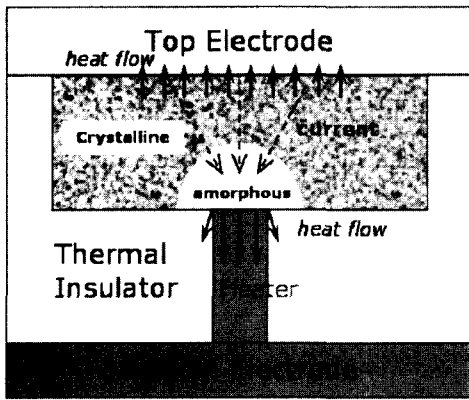
2. PRAM의 동작원리

PRAM에서 가장 보편적인 메모리 요소의 구조는 그림 2와 같은데, 상부전극과 하부전극 사이에 결정상태의 Ge-Sb-Te 계열의 합금을 위치시키고 전류를 흘리면, $10^{-3}\Omega\text{cm}$ 정도의 비저항을 갖는 칼코지나이드의 자체 저항 가열에 의해 상변화에 필요한 주울열을 얻을 수 있다. 이때, 하부전극의 크기를 감소시켜 Ge-Sb-Te/하부전극 접촉면적을 줄이면 하부전극 부위에서 전류밀도가 높아져서 주울열이 집중된다. 상변화에 의한 메모리효과를



(a)

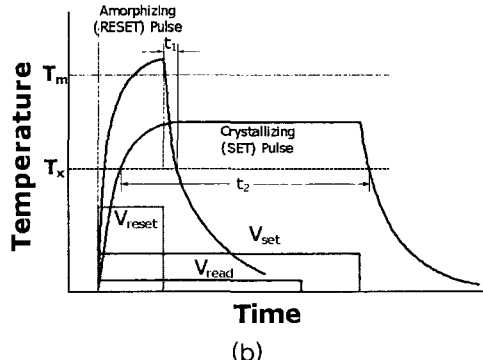
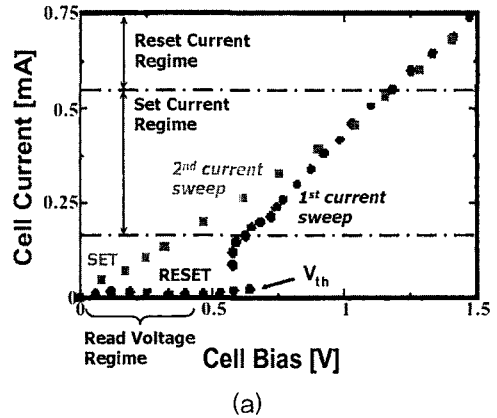
달성하는 데에는 그림 2에서 나타난 바와 같이 상변화영역의 크기가 전극전체를 포함할 수 있을 정도면 충분하기 때문에, 전극크기를 줄일수록 전류밀도를 높이고 상변화영역을 줄일 수 있어서 기록전류를 감소시킬 수 있다. 기록전류 저감을 위해서는, 인가 전류밀도의 증가뿐만 아니라 발생된 열의 방출을 최소화하기 위한 구조 및 재료의 선택이 필요하다.



〈그림 2〉 PRAM 메모리 요소 구조 단면도

PRAM의 동작성능을 좌우하는 핵심적 요소는 ‘얼마나 낮은 전류에서 리셋(비정질화)이 가능한가?’와 ‘얼마나 빨리 셋(결정화)이 가능한가?’로 요약된다. 〈그림 3(a)〉의 전류-전압 곡선을 통해 PRAM의 기본적인 소자특성을 파악하고 동작 조건으로서 셋과 리셋을 위한 인가전류(전압)와 인가시간을 결정하게 된다. 전류-전압 곡선은 비정질 상태의 Ge-Sb-Te 합금에 일정속도로 전류를 증가시키면서 전압을 측정하는 방식으로 얻어지는데, 비정질상태에서는 높은 저항을 보이다가 문턱전압(threshold voltage)에서 전압이 오히려 감소하는 부성저항(negative resistance) 특성을 보인 후 저저항 상태로 전압이 계속 증가

하는 거동을 보인다. 일반적으로 부성저항단계를 거치는 동안 비정질 영역의 결정화가 진행되는 것으로 알려져 있으며, 이와 같은 결정화가 진행된 이후에는 다시 전류를 인가하면 셀은 낮은 저항상태를 나타낸다. 따라서, 〈그림 3(a)〉에 도시된 바와 같이 결정화(셋)에 필요한 전류(전압)의 크기는 부성저항영역보다 큰 영역에서 결정될 수 있다. 리셋(비정질화)의 경우에는 칼코지나이드 합금을 액상으로 녹인 후 급랭시키는 방식으로 이루어지기 때문에, 셋(결정화)의 경우보다 높은 전류(전압)에서 이루어진다. 〈그림 3(b)〉에서는 셋과 리셋시의 인가전류(전압)의 크기 및 유지



〈그림 3〉 (a) Ge-Sb-Te 계열의 합금의 전형적인 I-V 특성 곡선 (b) 셋과 리셋 쓰기 그리고 읽기 펄스 동안의 온도 분포

시간을 결정하는 개념을 설명하고 있다. 결정화의 경우에는 핵생성과 결정의 성장이라는 시간 의존 과정이 포함되어 있기 때문에 액화가 일어나지 않는 낮은 온도에서 좀 더 긴 시간 동안 유지시키는 것이 필수적인 반면, 비정질화의 경우에는 순간적으로 액화시킬 수 있는 높은 온도의 공급과 이후 결정화가 진행되지 않도록 짧은 시간동안 급랭이 필요하므로 전류(전압) 유지시간을 훨씬 짧게 설정한다.

그림 3(b)와 같은 셋 및 리셋의 전류(전압) 펄스의 형태를 결정하기 위해서는 <그림 3(a)>의 자료가 유용한 정보이긴 하지만 보다 면밀한 동작조건을 결정하기 위해서 일반적으로 인가 전류(또는 전압)에 따른 저항의 변화를 평가한 후 메모리 읽기 마진과 데이터 산포를 고려해야 한다.

III. PRAM의 기술 개발 동향

PRAM의 상품화 성공 여부는 무엇보다 대표적 비휘발성 메모리 소자인 플래시 메모리에 상응하는 메모리 집적도를 갖는 데 있다. 따라서 현재의 PRAM 기술 개발은 주로 소자의 고집적화에 집중되어 있다. 이 장에서는 고집적 PRAM 소자 개발에 필요한 과제들과 이를 해결하기 위한 국내외의 여러 노력들을 기술별로 소개한다.

1. PRAM 개발 현황 및 고집적화를 위한 해결 과제들

1.1 PRAM 시제품 개발 현황

현재까지 보고된 선발 반도체 업체들의

PRAM 시제품들을 살펴보면, 메모리 집적도 향상을 위해 해결해야 할 과제들과 현재까지 적용된 state-of-the-art 기술들의 동향을 파악할 수 있다. 표 1은 대표적 반도체 제조 업체들이 개발한 PRAM 시제품들^[143]의 주요 사양을 비교하고 있다.

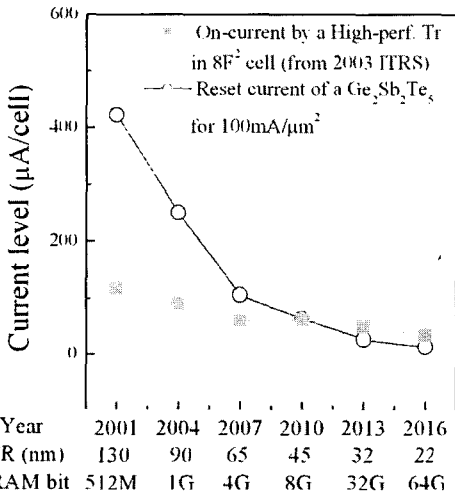
<표 1> 주요 PRAM 시제품 사양

Specification	Intel/Ovonyx	STM	Samsung
Memory bit	4Mb	8Mb	64Mb
Design rule	0.18 μ m	0.18 μ m	0.12 μ m
Supply voltage	3.3V	3.0V	3.0V
Active transistor	Bipolar	Bipolar	MOSFET
Gate stack	Single poly	Dual poly TiSi ₂	Dual poly CoSi ₂
Gate oxide	8nm	7nm	3nm
Cell size	-	10F ²	20F ²
*F: min. feature size		(0.32 μ m ²)	(0.29 μ m ²)
Metallization	single	Triple (2Al/Cu)	Triple (W/2Al)
Storage material	Ge ₂ Sb ₂ Te ₂	Ge ₂ Sb ₂ Te ₃	Ge ₂ Sb ₂ Te ₃
Set current	0.2mA	0.2mA	0.3mA
Reset current	0.8mA	0.6mA	0.6mA

1.2 고집적화를 위한 해결 과제들

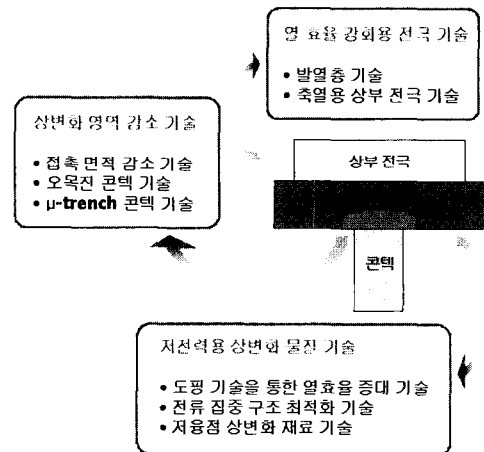
메모리 소자의 고집적화를 위해서는 단위 셀이 차지하는 면적(셀 크기)을 줄여야 한다는 것은 주지의 사실이다. 하지만 현재의 기술로는 DRAM이나 Flash 메모리 소자의 셀 크기로 줄이는 것은 힘들다. 예를 들면 <표 1>에서 소개한 삼성전자의 64Mb PRAM 소자에서 셀 크기는 20F²로 (여기서 F는 최소 디자인 룰로 적용된 리소그래피 기술로 구현할 수 있는 최소 크기를 말한다), 동일한 기술을 적용하여 만든 DRAM 셀 크기 (8F²) 혹은 NAND Flash 셀 크기 (4F²) 보다 2.5~5 배 정도로 크다. 셀 크기가 감소된 PRAM 소자의 구현을 위해 해결해야 할 최우선적 과제로서 소자 동작의 저전력화를 들 수 있다. 그 밖의

과제로서 Ge-Sb-Te 칼코지나이드 계열 반도체 물질의 전기적, 열적, 구조적 특성 규명을 통한 신뢰성 향상 기술 그리고 고집적화에 따르는 회로 설계 기술 및 공정 최적화 기술 개발 등이 있으나, 시장 선점을 노리는 반도체 업체들이 PRAM 소자에 대한 세부 기술 공개를 꺼리는 상황에서 그 현황을 파악하기란 쉽지 않다. 이 장에서는 PRAM 기술개발의 핵심적 과제인 저전력화 기술개발 현황에 대해서만 기술하고자 한다.



〈그림 4〉 8F² 셀 크기를 갖는 고집적 PRAM 소자에서 요구되는 셀당 리셋 전류와 고성능 트랜지스터를 통해 공급할 수 있는 전류의 비교

방법으로 전류 공급 능력이 뛰어난 트랜지스터를 개발하여 게이트 폭을 줄이는 것을 고려할 수가 있으나, 〈그림 4〉에서 보는 것처럼 최고 성능의 트랜지스터를 8F² 크기의 셀에 도입한다 해도 Ge₂Sb₂Te₅ 상변화 물질을 리셋 시키는데 요구되는 전류를 공급할 수 없으므로 DRAM 혹은 Flash의 집적도에 상응하는 PRAM 소자를 제작하기가 힘들다. 따라서 소자구조 및 소재를 변화시켜 필요한 리셋 전류를 줄임으로써 고집적 PRAM을 개발하려는 노력들이 진행되고 있는데, 그 개발 방향은 그림 5와 같이 메모리요소 내 각 기능 영역별로 크게 3가지로 나눌 수 있다.



〈그림 5〉 저전력화 기술 현황 도식도

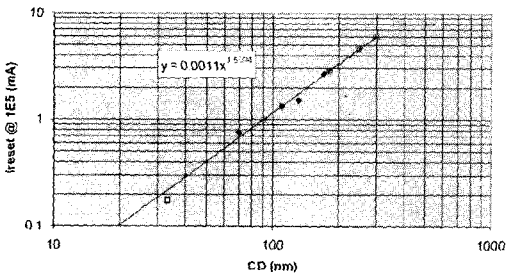
2. 저전력화 기술 현황

앞서 언급한 PRAM 소자의 셀 크기 감소 제한은 Ge₂Sb₂Te₅ 상변화 물질의 비정질화에 비교적 큰 전류 (리셋 전류)가 필요하고 이를 위해서는 전류를 공급하는 트랜지스터 게이트의 폭을 충분히 길게 해야 하는 데서 비롯된다. 이러한 문제를 해결하기 위한 하나의

2.1 상변화 영역 감소를 통한 저전력화

공정기술을 확보한 반도체 업체 주도로 가장 활발히 기술 개발이 이루어지고 있는 부문으로서, 비정질과 결정질간의 상변화가 일어나는 영역의 크기를 작게 만듦으로써 동일한 전류 밀도를 유지하면서도 요구되는 리셋 전류의 크기는 감소시키려는 노력들이 진행되고 있다. 단순히 상변화 물질과 콘택 전극

의 접촉 면적을 줄이는 기술^[4](그림 6)에서부터, 비교적 조절하기 쉬운 전극의 두께 부위를 접촉부로 활용하여 접촉 면적을 줄이는 기술^[5,6](그림 7와 8) 그리고 접촉 전극 형성 후 오목진 콘택(confined contact)을 만들어 상변화 영역을 감소시키는 기술^[6](그림 9) 등을 통해 리셋 전류를 낮추고 있다. 반도체 산업의 미세공정 기술 발전과 함께, 이러한 상변화 영역 감소를 통한 저전력화 연구는 향후에도 지속될 것으로 보인다.



〈그림 6〉 콘택 직경에 따른 리셋 전류^[4]

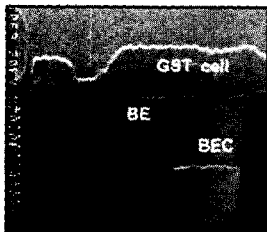
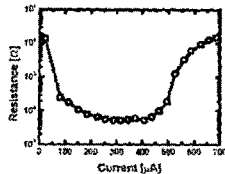
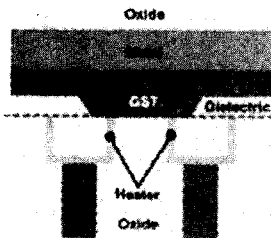
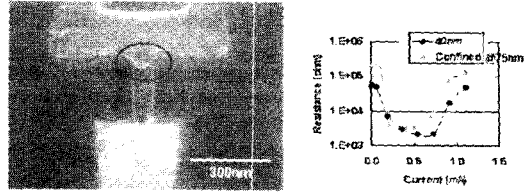


Table of the published RESET current		
	Contact size	RESET current
1st CD (nm)	0.09×0.09 μm ²	1mV
Core CD (nm)	0.12×0.12 μm ²	1.3mV
SEC CD (nm)	0.12×0.12 μm ²	20mV
1st work	0.13×0.08 μm ²	0.34mV

〈그림 7〉 Edge콘택에 의한 리셋전류감소^[5]



〈그림 8〉 μ-trench 형 메모리 셀에서 리셋 전류 감소 기술^[5]

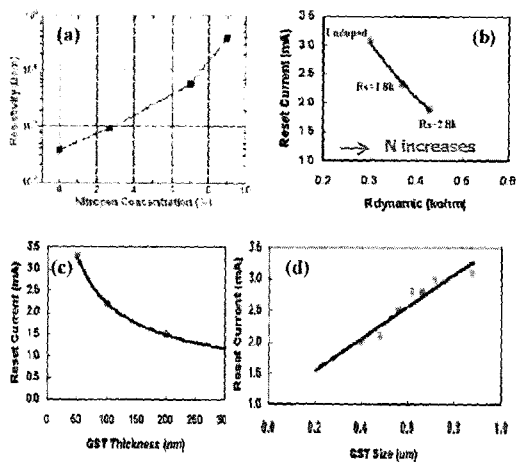


〈그림 9〉 오목진 콘택에 의한 리셋 전류 감소^[6]

2.2 저전력용 상변화 물질 개발

주열 발열체에 해당하는 상변화 물질의 조성 및 구조 최적화를 통한 저전력화 연구도 활발히 진행되고 있다.

우선 상변화에 필요한 주열열이 발열체의 저항에 비례한다는 점에 착안, Ge₂Sb₂Te₅ 합금에 침입형 불순물의 도핑을 통해 저전력화를 꾀하는 기술이 주목을 끌고 있다. 그림 10(a)와 10(b)는 nitrogen 도핑을 통해서 Ge₂Sb₂Te₅의 발열 저항을 높여 리셋전류를 낮춘 사례^[6]를 보여주고 있다. 또한 상변화 물질의 크기 조절을 통해 전류 집중을 유도하고 열 손실을 최소화하여 리셋 전류를 감소시킨 기술들도 보고되고 있다^[7](그림 10(c)와 10(d)).



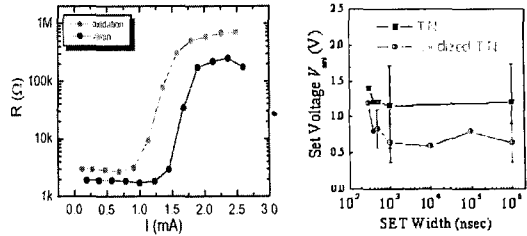
〈그림 10〉 N₂ 도핑을 통한 Ge₂Sb₂Te₅ (a) 비저항 및 (b) 리셋 전류 감소, Ge₂Sb₂Te₅ 박막의 (c) 두께와 (d) 크기 조절을 통한 리셋 전류 감소^[6,7]

다른 하나의 연구 동향으로는 현재 많이 사용되는 $Ge_2Sb_2Te_5$ 에 상응하는 재료 특성(빠른 결정화 속도, 비정질 안정성, 비정질과 결정질간의 큰 비저항 차이 등)을 만족하면서도 $Ge_2Sb_2Te_5$ 보다 낮은 용점을 갖는 새로운 상변화 물질을 찾아 리셋 전류를 낮추려는 것이다. 이와 관련해서 국내에서는 산업자원부가 지원하는 0.1 Tb급 비휘발성 메모리 소자 연구개발사업에서 본 저자들의 연구팀을 중심으로 새로운 상변화 재료의 연구개발이 활발히 진행 중이다. 최근 일본의 Kanazawa 대학에서 용점이 상대적으로 낮은 Se-Sb-Te 계열의 상변화 재료를 사용하여 리셋 전류를 낮추었다는 보고는 하고 있으나¹⁰, PRAM 소자의 속도를 결정하는 결정화 속도가 ms 이상으로 기존 물질인 $Ge_2Sb_2Te_5$ 보다 수십 배 느리므로 실용화되기는 어려워 보인다.

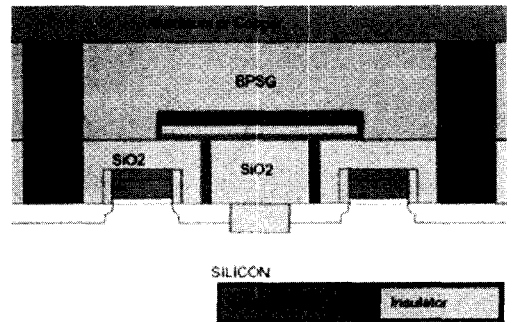
2.3 주울열 발생 및 단속 강화용 전극 개발

상변화 물질과 접촉하고 있는 상하부 전극 물질이 가져야 할 조건은 전기적으로 전도체 이면서 동시에 주울열 발생 효율이 높고 열 손실은 적어야 한다는 것이다. 정확한 전극 물질 조성의 공개를 꺼리고 있으나, 현재까지는 TiN ^{11,12} 혹은 $TiAlN$ ¹³ 같은 질화물 혹은 W ¹⁴같은 내열 금속 물질들이 주로 사용되고 있는 것으로 알려져 있다. 최근에는 TiN 표면을 산화시킨 후 상변화 물질과 접촉하게 하는 방법으로, 리셋 전류나 소자 동작 전압을 감소시키는 저전력화 기술들도 보고되고 있다^{15,16}(그림 11).

또한 상부 전극으로의 열 손실을 막아 저전력화를 꾀하는 연구도 진행 중이며, 그 한 예로서 Intel 사는 상변화 물질과 상부 전극 사이



(그림 11) TiN 전극 산화를 통한 (a) 리셋 전류 감소¹⁵ 및 (b) 셋 전압 감소¹⁶



(그림 12) 상부 전극을 응용한 열 효율 개선 셀 구조의 한 예¹⁶

의 일부 영역에 절연체를 삽입하여 열 효율을 높이려는 셀 구조를 제안한 바 있다¹⁶(그림 12).

IV. 향후 전망

2002년도에 Intel/Ovonyx가 4Mb 메모리 칩을 발표하면서 유망한 차세대 비휘발성 메모리로 떠오른지 2년만에 64Mb 메모리 칩이 발표됨으로써 PRAM 개발 및 실용화는 이제 본격적인 궤도에 들어섰다. 이러한 기세라면 2005년 말 또는 2006년 초 정도에는 256Mb PRAM의 출현을 조금스럽게 예상할 수 있게 되었다. 그러나 64Mb 메모리소자 개발에 적용된 기술내용을 보면 이미 개발된 $Ge_2Sb_2Te_5$ 재료가 도입되고 수십 nm 크기의 전극접촉부가 채용되는 등 핵심재료 및 소자구조에 있어 향후 256Mb의 개발은 기술의 난이도가 한층

심화될 것임이 예상되고 있다. 또한 Intel사에 따르면 65nm 설계 룰을 넘어 45nm 설계 룰에 이르면 셀간 열간섭 등의 제어를 위한 신 재료 도입이 필요할 것으로 예측되고 있어 실제적으로 PRAM의 시장진입 및 고집적화에는 험난한 기술개발의 과정이 놓여 있음을 전망할 수 있다. 그러나 기술개발의 역사는 오늘이 순간에도 '필요는 발명의 어머니' 임을 증명하고 있다.

참고문헌

[1] S. J. Ahn et al., Tech. Dig. of IEDM (2004).
 [2] M. Gill et al., *Digest of Tech. Papers of International Solid-State Circuits Conference* (2002) p. 202.
 [3] F. Pellizzer et al., *Proceedings of symposia on VLSI technologies and circuits*, (2004) p. 18.
 [4] S. Lai, Tech. Dig. of IEDM (2003) p. 255.
 [5] Y. H. Ha et al., *Proceedings of symposia on VLSI technologies and circuits*, (2003) p.175.
 [6] Y. N. Hwang et al., *Tech. Dig. of IEDM* (2003) p.37.1.1.
 [7] H. Horii et al., *Proceedings of symposia on VLSI technologies and circuits* (2003) p.177.
 [8] K. Nakayama et al., *Jpn. J. Appl. Phys.* vol. 42 (2003) p. 404.
 [9] S. Lee et al., *Mater. Res. Soc. Symp. Proc.*, vol. 830 (2004) p. D7.9.1.
 [10] N. Takaura et al., *Tech. Dig. of IEDM* (2003) p. 37.2.1.
 [11] D.-H. Kang et al., *Jpn. J. Appl. Phys.* vol. 43 (2004) p. 5243.

저자소개



정 병 기

1992년 9월 - 1994년 9월 미국 카네기멜론 대학 부설 정보저장시스템센터 (DSSC) 연구원
 1994년 9월 - 현재 한국과학기술연구원 선임 및 책임 연구원
 2004년 7월 - 현재 차세대 NVM 개발사업단 PRAM 중과제 책임자
 주관심 분야 상변화 전기 및 광 메모리



정 중 현

2004년 7월 - 현재 한국과학기술연구원 선임연구원
 2003년 1월 - 2004년 6월 미국 메사추세츠 공과대학 (MIT) 기계공학과 Postdoctoral Associate
 2001년 9월 - 2002년 12월 서울대학교 신소재공공연구소 연수연구원
 주관심 분야 상변화 전기메모리, micro energy harvesting device, cBN/nanotube 합성 및 응용



강 대 환

1997년 9월 - 2002년 2월 하이닉스 반도체 선임연구원
 2002년 3월 - 2004년 1월 서울대학교 신소재공공연구소 연구원
 2004년 2월 - 현재 한국과학기술연구원 연구원
 주관심 분야 상변화 전기 메모리, 박막형 투명 태양 전지, 플라즈마 진단