

고집적 MRAM 개발을 위한 기술적 현안

김태완, 김기원, 황인준 (삼성종합기술원 Devices Lab.)

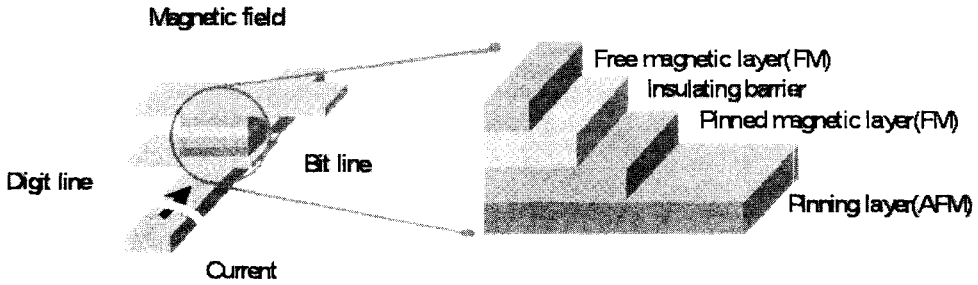
1. 서론

현재 메모리 시장구조는 Mobile 응용의 전자제품인, Portable computers, Wireless devices, Information appliances, Consumer electronics으로 바뀌어 가고 있으며, 이는 주요 민생기기의 메모리가 대용량화, 초고속, 비휘발성의 통합화된 메모리로 되는 것을 의미하며, CD, MD, SRAM 등과 같은 기본적인 오디오 기기가 비휘발성 대용량 메모리로의 전환을 의미한다. 또한 장래 유비쿼터스 시스템에서는 비휘발성 메모리의 성능이 시스템 성능에 큰 영향을 미칠 것으로 생각된다. 그 때문에 비휘발성 메모리의 고성능화를 목표로 실리콘 이외의 재료를 사용한 FeRAM, MRAM, PRAM, RRAM 등의 비휘발성 메모리가 수없이 제안되고 있다. 그들 중에서 MRAM은 원리적으로 고속, 저 전압 동작이 가능하고 동작 온도범위가 넓으며 수정 내성(Endurance)이 무한대라는 특징을 가지고 있다. 이러한 새로운 시장동향에 맞춘 새로운 메모리의 개발이 필요하다. 즉 기존의 1차 메모리, 2차메모리, 캐쉬메모리가 하나의 고

속, 고집적, 비휘발성 메모리로 대체되면서 새로운 시장이 창출될 것으로 기대가 된다.

MRAM은 공정적으로 고집적화 및 고속화가 가능하고, 소비전력이 작으며, 비휘발성으로 리부팅 및 데이터의 저장 안전성 면에서 기존 메모리에 비해 탁월한 특징이 기대된다. 또한 무한대의 기록 및 재생에 대해 열화가 없으며, 우주공간에서의 radiation 손상에 영향을 받지 않는 특징도 있다. 따라서 양산성이 확보된 후 일반 비휘발성 메모리를 이용하는 민생기기 분야에 광범위하게 도입될 수 있을 것으로 전망된다.

1995년부터 미국에서 본격적인 개발이 이루어져 항공, 우주분야의 응용을 시작으로 이미 Motorola에서 4 Mbit 시제품이 발표되었으며, 현재와 같은 추세로 개발이 가속화 되면 5년 이내에 기존 메모리와 비교하여 액세스 속도, 집적도, 소비전력 등에 있어 월등히 우수한 Gbit급 MRAM 개발이 예상되고 10년 이내에 디지털 정보기기, 모바일 컴퓨팅, 인터넷 등의 시대에 맞는 상용화 디바이스로 출현할 것이 예상되고 있다.



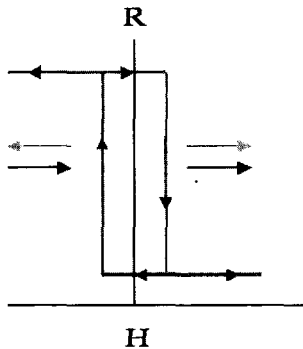
〈그림 1〉 MTJ MRAM 단위소자의 구조

본 고에서는 상기와 같은 이유로 전세계 모든 메모리 생산 회사들이 개발 경쟁에 참여하고 있는 차세대 통합메모리 MRAM 개발에 당면한 기술적 현안에 대해 고찰해 보고자 한다.

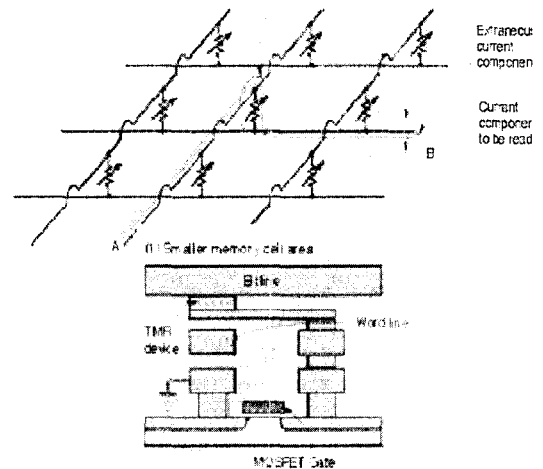
II. MRAM 개요

MRAM(Magnetic Random Access Memory)은 강자성체 간의 자화(Magnetization)방향에 따른 자기저항(Magnetoresistance) 변화를 이용하는 비휘발성 고체메모리이다. 현재 MRAM으로 가장 많이 채용되고 있는 셀(Cell)구조는 GMR(Giant Magnetoresistance) 및 MTJ(Magnetic Tunnel Junction)이 있으며 〈그림 1〉과 같이 MTJ소자에는 두 개의 자

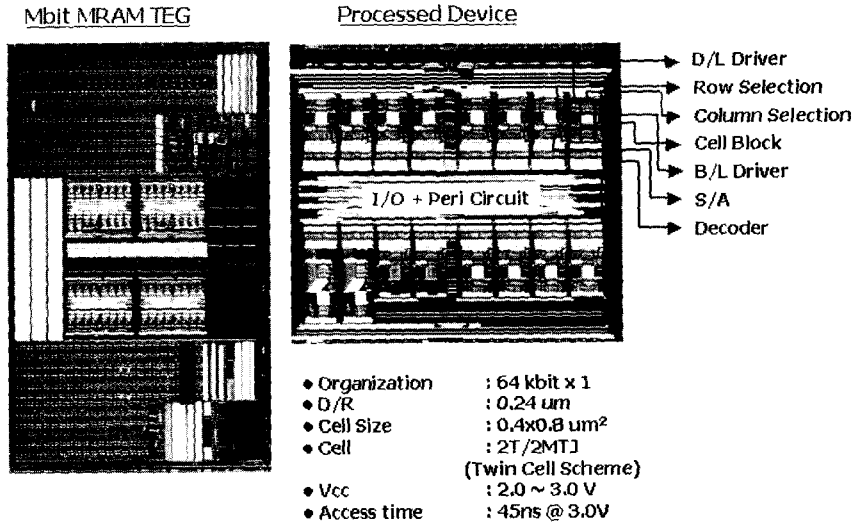
성체 사이에 1 nm 내외의 절연체를 만들어 그 사이에서 양자역학적 터널링 현상이 일어나게 되어있다. 이러한 MTJ 소자는 〈그림 2〉에서 보임과 같이 두 개의 자성체의 자화방향이 평행(Magnetization Parallel)일 때 보다 반평행(Magnetization Antiparallel)일 때 저항이 높은 현상을 나타나게 된다. 실제로 MRAM에서는 약한 자기장에서 Switching이 먼저 되는 Soft Layer의 자화방향만을 바꾸면서 Data를 저장하게 된다. 〈그림 1〉의 반강자성체 (Antiferromagnetic) 박막은 바로 위



〈그림 2〉 MTJ 소자의 저항변화



〈그림 3〉 위) Cross-point 구조
아래) MTJ 소자와 MOS Tr이 연결된 1Tr-1MTJ 구조



Semiconductor R&D div., Intermag 2003, Boston

〈그림 4〉 Mbit급 1 kbit MRAM full chip

층의 자성박막의 자화방향을 고정해주는 역할을 해주게 된다. 이러한 MTJ소자를 2차원적 Array를 만들어 〈그림 3〉과 같이 MTJ소자 위쪽에는 Bit Line을, 아래쪽으로는 Digit (or Word) Line(Write Line)을 만들어 연결시키고, 적절한 전자소자를 각 셀을 선택하여 주기 위한 스위치로 채택함으로써 MRAM의 Memory Cell을 구현한다. Write 기능은 Bit line과 Digit (or Word) line에 동시에 흐르는 전류가 만드는 자기장의 벡터합으로 유도된다. 한편 Read 기능은 읽고자 하는 Cell을 스위치로 작용하는 MOS Tr이나 다이오드를 통해 선택하고 통과하는 Bit Line을 통하여 Cell의 저항을 읽으면 된다. 이 때 저항 값의 차이가 저장된 Data의 값을 알려주게 된다. 특히, MRAM에 있어서 Read/Write 기능이 소자의 열화와 무관하기 때문에 소자의 신뢰성 측면에서 다른 반도체 메모리에 비해 우수하며, 전력 손실이 낮고 고속 동작이 가능해진다.

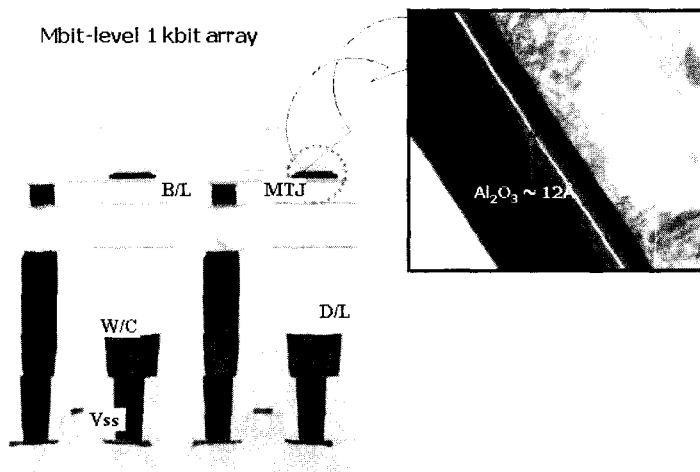
〈그림 4〉는 삼성에서 개발한 Mbit급 1 kbit full chip으로 Data 저장을 위한 Core array 및 이의 메모리 동작을 위한 구동회로 및 주변 회로들로 구성되어 있음을 보여주고 있으며, 〈그림 5〉는 Core array내 비휘발성으로 정보를 저장하는 MTJ cell과 읽기 시 스위치 동작을 하는 CMOS가 집적화 되어 있는 MRAM unit cell을 나타내고 있다.

III. MRAM 구조

앞에서 언급 하였듯이 MRAM에서의 메모리 셀은 자성층의 자화방향을 이용하여 정보를 저장한다. 0과 1의 정보는 MTJ의 터널자기저항값의 차이를 이용하여 구분하며, 정보를 저장하기 위해서는 각 셀마다 존재하는 서로 직교하는 두 개의 배선에 전류가 흘러 이때 발생하는 자기장을 이용하게 된다. 이전의 GMR을 이용하는 소자에 비해서 MTJ를

이용하는 MRAM의 큰 장점은 높은 자기저항비와 상대적으로 큰 저항에 있다. MTJ를 이용하는 MRAM으로 세가지의 다른 셀 구조가 제안되었다.¹¹⁾ 가장 단순한 형태의 구조는 cross-point 구조로 하나의 MTJ과 각각의 MTJ를 직교하는 bit line(B/L)과 word line(W/L)으로 구성되어 있다(그림 3 위). 정보를 읽고 쓰는 경우에 하나의 B/L과 하나의 W/L을 선택하면 된다. 이러한 단순 구조의 장점은 작은 셀 면적(~4F²)와 메모리 셀에 트랜지스터와 같은 실리콘 소자가 필요하지 않기 때문에 다층구조가 가능하다는 것이다. 반면, 모든 셀이 전기적으로 연결되어 있기 때문에 선택되지 않은 셀을 통해 흐르는 전류가 B/L과 W/L의 쓰기 전류와 읽기 전류에 영향을 미치게 된다. 이러한 이유로 MTJ 셀의 저항이 높아야만 하고, 이로 인해 메모리의 동작 속도를 늦추는 결과를 가져온다. 다른 구조로는 1Tr(트랜지스터)-1MTJ의 구조로 (그림 3아래) 개괄적인 1Tr-1MTJ의 구조

를 보여주고 있다. 정보를 쓰기 위해서는 B/L과 D/L(digit line)이 선택되고, 정보를 읽기 위해서는 B/L과 W/L이 선택되는 데, 이 때의 W/L은 MOS-transistor와 연결되어 있고 MTJ와 MOS-transistor는 서로 직렬로 연결되어 있다. Cross-point구조와 다르게 MOS-transistor때문에 선택된 셀이외에는 전류가 흐를 수 있는 길이 없다. 따라서 1Tr-1MTJ구조에서는 낮은 저항의 MTJ 셀을 사용할 수 있고, 이로 인해 고성능의 메모리 동작이 가능하게 된다. 하지만, cross-point 구조에 비해서 셀 면적이 크고 구조가 복잡하다는 단점이 있다. 두 구조에서는 터널 장벽의 두께, 대표적으로는 AlO_x 층의 두께 산포에서 기인하는 저항값의 산포가 매우 중요하다. 0과 1의 정보를 구분하는 저항값의 차이가 50%정도인데 반해, 저항값은 터널 장벽의 두께에 매우 민감하게 영향을 받기 때문이다. 이러한 문제점 때문에 2Tr-2MTJ 구조가 제안되었다. 2Tr-2MTJ 구조에서는 2개의 1Tr-1MTJ 셀

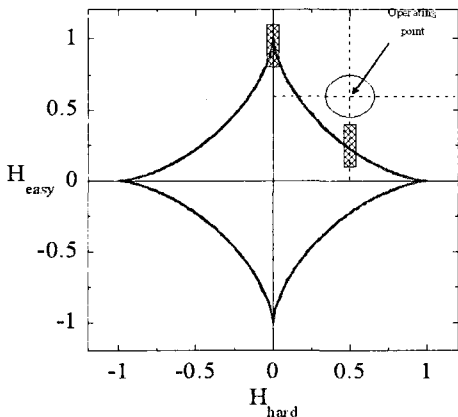


〈그림 5〉 Mbit급 1 kbit MRAM full chip core array, sub-micron MTJ cell이 밑의 CMOS와 연결되어 MRAM unit cell을 형성하고 있음.

이 각각의 메모리 비트에 존재하고, 읽기를 할 때 두 개의 셀이 서로를 참조하게 된다. 이 경우에 센스 마진(sense margin)이 크게 향상시킬 수 있다. 요약하자면, MTJ를 이용하는 MRAM으로 여러가지의 가능한 구조가 있다. 각각의 구조는 독특한 장점과 단점이 존재하며, 그 사이에서의 trade-off가 존재한다. 결국 만들고자 하는 메모리 소자의 목표 사양으로부터 특정한 구조를 선택하는 것이 가능할 것이다.

IV. MRAM 공정기술

MRAM이 가지는 우수한 특성들로 인해 universal memory의 강력한 후보일지라도, 설계와 공정기술에서의 근본적인, 실제적인 문제들을 해결해야만 한다. 첫째로 공정기술 측면에서는 MTJ의 증착과 에칭 기술이 무엇보다도 중요한 공정이다. 증착되는 박막 두께의 조절과 산포 문제는 센스마진(sense margin)과 직접적으로 관련지어진다. 박막의 표면거칠기는 astroid의 편이를 발생시킨다.



〈그림 6〉 MTJ cell의 스위칭 특성을 나타내는 이상 astroid 곡선

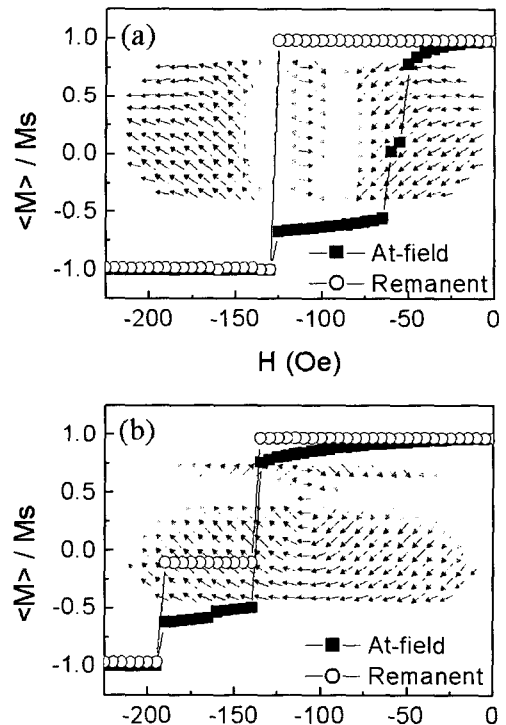
노광 공정의 패터닝 크기는 저항의 분포와 관련되며, 더구나 패터닝 된 MTJ 셀의 모양과 산포는 극히 중요한데, 이는 astroid의 분포에 영향을 미쳐서 쓰기전류의 margin에 직접적으로 관련되는 인자이다. 〈그림 6〉에서는 자화용이축과 자화곤란축으로 자기장을 가해 얻어지는 MTJ 셀의 스위칭 특성을 보여주는 astroid의 이상적인 한 예를 보여주고 있다. 기본적으로 높은 값의 자기저항비를 얻어야 하고, 에칭시의 데미지도 없어야 한다. 둘째로, D/L과 B/L을 형성하는 공정에서 스위칭 전류를 감소시키기 위해서는 MTJ와 두 라인과의 거리를 최소화 시켜야 하며, 쓰기 전류의 margin을 증가시키기 위해서는 거리의 산포가 적어야 한다. 더불어 두 라인은 electromigration에 내성이 강해야 하며, MTJ 증착 이후의 모든 공정은 MTJ의 열화를 막기 위해선 저온공정이어야만 한다. 셋째로 MTJ를 사용하는 MRAM은 scalability에 관한 이슈가 있을 수 있다. 성능과 집적도에 더해서 scalability는 메모리 소자의 매우 중요한 요소로, DRAM과 FLASH 메모리는 또한 scaling문제를 최근에 겪고 있으며, 곧 매우 심각한 문제도 대두될 것이다. 따라서 MRAM이 차세대 메모리로의 목표는 전통적인 메모리의 대체 가능성도 가져야 하지만 MTJ는 소자 크기가 작아질수록 스위칭에 필요한 자기장의 크기도 커지고, 모양과 두께의 산포를 줄이는 것이 어려워진다는 문제점이 있다. 또, 자구의 vortex의 형성이나 edge pinning으로 인한 MR 곡선의 변형 또한 작은 MTJ 소자에서 자주 발생하는 문제점이기도 하다.

V. 자화반전 이슈 (Writing margin)

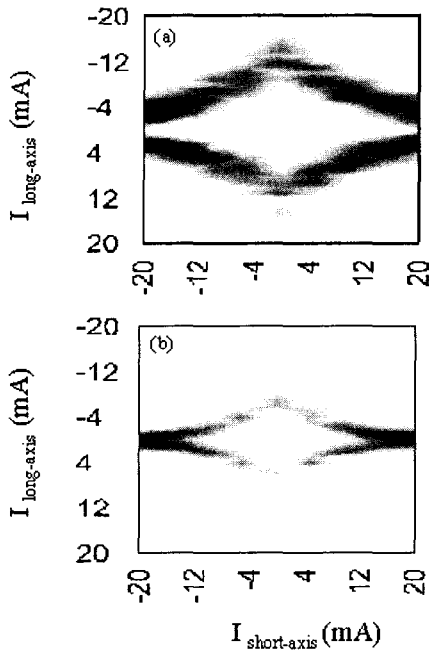
MRAM 개발에 있어서 집적도 향상은 가장 중요한 문제로 고집적 MRAM을 구현하기 위해 해결해야 할 중요한 사항으로 자화반전에 필요한 자기장을 낮추고, 산포를 낮춰야 한다. 이는 writing margin 증가를 의미하는 것이다. 자화반전에 필요한 자기장의 산포에 영향을 미치는 요소들은 하부 전극의 평탄도, 자유층의 자기 모멘트, 셀의 종횡비, 도포와 식각 공정에서 발생하는 편차 등이 있다. MRAM의 정보를 저장하는 기본 소자는 터널배리어에 의해 분리된 두 자화층으로 구성되어 있으며, 그 중 한 층은 자화 방향이 고정되어 있고, 다른 한 층은 자기장에 의해 자화 반전이 가능한 자유층으로 되어있다. 따라서, 자화 반전 특성은 자유층을 이루는 물질의 자기적 특성과 구조에 의해 크게 영향을 받는다.

앞에서 언급 하였듯이 MRAM의 쓰기 구동 방법은 두 개의 수직한 도선에 흐르는 전류에 의해 발생한 자기장을 이용하는 것으로 (half selection), 두 도선에 동시에 전류가 흐르는 경우 셀의 정보를 바꾸게 되며, 이 때 인접한 다른 셀은, 다시 말해 하나의 도선에 전류가 흐르는 경우, 저장된 정보가 영향을 받지 않아야 한다. <그림 7>은 kink라 불리는 자화반전 시 발생하는 이상현상들을 보여준다. 그림 7 (a)과 같이 자구벽의 꼬임 현상에 의한 것과, (b)의 vortex라 불리는 준안정상 상태에 의해 자화 반전 시 필요한 자기장의 산포가 커지게 되며, 이에 의해 특정 셀을 선택하여 정보를 저장하는 작업이 어려워진다. 이러한 이상현상들의 원인을 규명하고, 균일

한 자화 반전 특성을 얻기 위해 자유층의 두께와 종횡비에 따른 실험과 micromagnetic 시뮬레이션을 수행한다. 자구벽의 꼬임 현상은 자화용이축 방향의 자기장만을 사용한 자화반전 시 나타나며, 자화반전에 필요한 자기장을 크게 하지만, 두 축 방향의 자기장을 사용한 경우에 사라지기 때문에, 원하는 셀에 정보를 기록하는 작업에 영향을 미치지 않는다. 하지만, 준안정상 상태인 vortex를 경유하는 자화반전의 경우, 인접 셀에 정보를 저장할 때 준안정상 상태로 변이됨으로써 자신의 정보를 잃게 된다. 특히, 이러한 준안정상 상태로 변이되는 것은 무작위로 발생되며, 인위적인 조절이 불가능 하다.^[7]



<그림 7> 자화반전(Switching)시 발생하는 이상현상
(a) 자구벽의 꼬임 현상(Edge pinning)
(b) 준안정상 상태에 의해 자화 반전(Vortex)



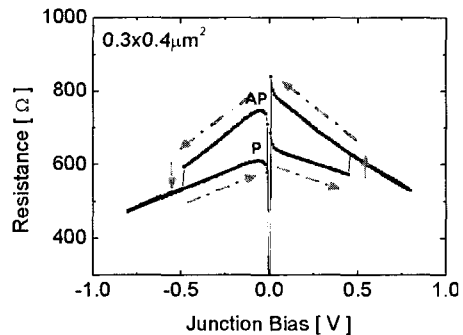
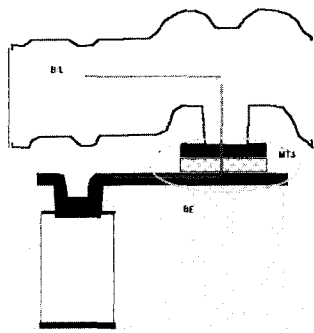
〈그림 8〉 자유층 두께에 따른 MTJ arrays 내 MTJ cell들의 자화반전에 필요한 자기장의 분포, (a) NiFe(3nm)/CoFe(1nm) and (b) NiFe(3nm)/CoFe(0.3nm)

〈그림 8〉은 NiFe 3 nm에 CoFe 0.3 nm와 1 nm가 삽입된 자유층을 갖는 두 종류의 MTJ의 자화반전에 필요한 자기장의 분포를 나타낸 것이다. 이때 사용된 MTJ는 $0.4 \times 0.8 \mu\text{m}^2$ 의 크기를 가지며 사각형 모양으로, 각 72개 셀

을 측정하였다. 측정은 수직으로 교차하는 두 개의 도선에 전류를 흘린 후 MTJ의 저항 변화를 관찰하는 방법으로 진행되었다. 예상대로, 두꺼운 CoFe를 갖는 MTJ는 자유층의 큰 자기모멘트를 갖는 이유로 넓은 분포의 자화반전에 필요한 자기장을 갖는다. 자유층의 두께를 줄이는 방법에 의해 자화반전 자기장의 분포를 줄일 수 있었으나, CoFe 0.3 nm의 MTJ 또한 vortex에서 완전히 자유롭지는 못했다. 게다가, 이 이상 자유층의 두께를 줄이는 경우 저장된 정보를 구별하기 위한 MR이 감소하는 한계가 있다. 따라서, MR을 유지하면서, 준안정상태를 억제하며 자화반전 자기장의 분포를 줄이는 것이 시급한데, 이를 위해 MTJ의 모양을 바꿔서 준안정상태를 억제하는 방법과, 구조적으로 자기모멘트를 낮추는 방법이 있다.

VI. 새로운 MRAM 스위칭 방법: 국소 자기장 스위칭

최근 들어 MRAM의 근본적인 자화반전 문제를 해결하기 위한 방법으로 전류유도 스위



〈그림 9〉 (a) 국소 자기장 스위칭(local field switching) 방법을 설명하는 개괄도: MTJ cell bottom electrode (b) 0.5V 전압을 가해 주었을 때 평형에서 반 평형 상태로 스위치 됨을 보여줌

칭 (current-driven switching)이 많이 연구되고 있으나, 이를 구현하기 위해서는 큰 전류 밀도를 필요로 하기 때문에 현 시점에서의 MRAM 응용 가능성은 희박해 보인다. 본고에서는 D/L을 통한 전류를 사용하지 않고, 하부전극(Bottom Electrode, BE)으로부터 MTJ로 흐르는 전류에 의해 직접적으로 형성되는 국소 자기장에 의한 스위칭 방법을 제시한다. <그림 9>(a)는 국소 자기장 스위칭 (local field switching) 방법을 설명하는 개괄도이다. BE를 통하는 전류가 B/L에 수직한 자기장을 형성하는 데, MTJ의 자유층과 BE와의 거리가 ~20nm로 가깝기 때문에 작은 전류로도 충분히 큰 자기장을 형성할 수 있게 된다. 전류에 의해 형성되는 자기장의 효율성을 증가시키기 위해서, MTJ 셀의 자화용이축을 BE 전류에 의한 자기장 방향과 평행하게끔 만든다. 이러한 국소 자기장 스위칭은 BE 전류에 의한 자기장을 이용하기 때문에 MTJ내 자유층에서의 spin transfer torque를 이용하는 current-driven switching과는 완전히 다른 방법이다.

0.24 μm 의 디자인 룰의 Si 공정기술을 이용하여 MTJ 소자(MRAM)을 제작하였으며, MTJ의 구조는 TiN (BE, 40 nm)/PtMn (15 nm)/CoFe (1.5 nm)/Ru (0.8 nm)/CoFe (1.5 nm)/AlO/NiFe (3 nm)/Ru (0.8 nm)/NiFe (1.5 nm)/Ta (10 nm)/TiN 이다. MTJ의 모양은 타원형이며 크기는 $0.3 \times 0.4 \mu\text{m}^2$ 이다. MTJ 셀은 $V_{\text{bias}}=0.1\text{V}$ 에서 23%의 자기저항비를 보이며, 저항과 넓이의 곱으로 표시되는 RnA값은 대략 $70 \Omega \mu\text{m}^2$ 이다. 그림 6은 bias voltage에 따른 국소 자기장 스위칭의 과정을 보여주고 있다. $0.3 \times 0.4 \mu\text{m}^2$ 크기의 MTJ셀이 0.5V

근처에서 효과적으로 스위칭되고 있으며, 스위칭과 전류의 방향은 서로 불변의 관계를 보이고 있다. 이러한 결과는 주변의 셀들에 대한 간섭이 없이, 높은 선택성을 지닌 MRAM 셀 어레이를 제작하는 데 있어 국소 자기장 스위칭이 적용될 수 있음을 보여준다.

Ⅶ. 맺음말

MRAM 분야는 향후 수년간 고집적을 위해 집적공정 개발, Low current writing, Chip architecture, 신뢰성과 관련된 기본 핵심기술의 개발을 바탕으로 지속적인 상용화 가능성을 테스트하며, 한편으로 낮은 수준의 집적도이나 고성능 메모리를 구현하여 고유시장의 개척을 시도할 것으로 예상된다. 2008년 이후 기존 반도체메모리 수준의 집적도를 갖는 통합메모리형태의 기술이 예측되며, 이후 본격적인 양산화를 통해 기존 반도체 메모리시장의 대체를 기대할 수 있다.

감사의 글

삼성종합기술원의 MRAM 프로젝트는 일부 테라급 나노소자 개발사업의 지원을 받아 수행되고 있음.



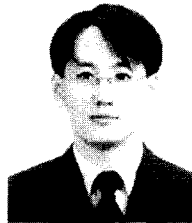
참고문헌

- [1] W. J. Gallagher et al., SSDM extended Abstracts, p.214 (2001)
- [2] S. Tehrani et al., IEEE Trans. Magn., vol. 36, p. 2752 (2000)
- [3] K. Tsuji et al., IEDM Tech. Dig., p. 799 (2001)
- [4] P. K. Naji et al., ISSCC Dig. of Tech. Papers, p. 122 (2001)
- [5] R. Scheuerlein et al., ISSCC Dig. of Tech. Papers, p. 128 (2000)
- [6] M. Durlam et al., ISSCC Dig. of Tech. Papers, p. 130 (2000)
- [7] K. Lee, et al, IEEE Transactions on Magnetics, Vol 39, No 5, p2842 (2003)

저자소개

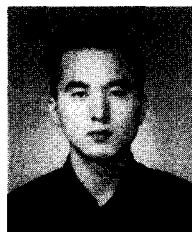
김 태 완

1998년 03월 - 1998년 09월 한국과학기술연구원 Post-doc.
 1998년 10월 - 1999년 03월 New York Univ. Post-doc.
 1999년 04월 - 1999년 10월 SUNY at Stony Brook Post-doc.
 1999년 11월 - 현재 삼성종합기술원 전문연구원
 2001년 03월 - 현재 테라급 나노소자 개발사업 Resistive RAM 증과제 연구책임자
 주관심 분야 MRAM full chip 개발, Universal Memory, 차세대 nano-spin devices



김 기 원

1997년 2월 포항공과대학교 신소재공학과(B.S)
 1999년 2월 포항공과대학교 신소재공학과(M.S)
 2005년 2월 포항공과대학교 신소재공학과(Ph.D)
 2000년 7월 - 2004년 02월 삼성종합기술원 연구원
 주관심 분야 MRAM, Spintronics, Half Metallic Ferromagnet



황 인 준

2001년 5월 - 2002년 4월 한국표준과학연구소 위촉 연구원
 2002년 5월 - 삼성종합기술원 연구원
 주관심 분야 MRAM, magnetic switching