

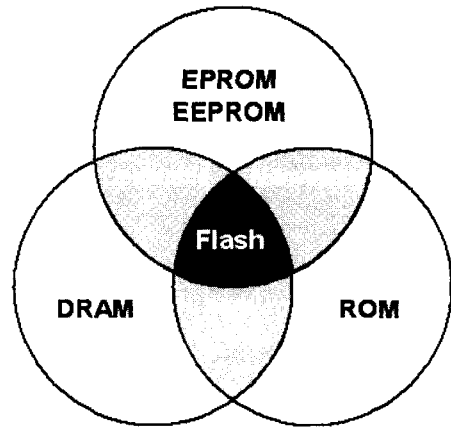
# NFGM (Nano-Floating Gate Memory) 기술 및 연구동향

이종호 (경북대학교 전자전기공학부)

## 1. 서론

플래시(flash) 메모리는 휴대폰, 카메라, 그리고 MP3와 같은 휴대기기의 출현으로 지난 몇 년간 폭발적인 성장을 하고 있다. IT 기술과 가전기술의 발달과 더불어서 플래시 메모리는 이들 분야의 저장매체로서 지속적인 각광을 받고 있다. 과거 DRAM에 국한되어 있던 메모리 시장이 휴대기기 및 IT 기술이 발달함에 점차 플래시 메모리 시장으로 대체되어 가고 있다. 특히, 플래시 메모리는 비휘발성 및 저 전력 소모 특성으로 이런 응용에 적합하여 각종 휴대기기의 주 기억 소자로 사용되기 시작 하였으며, 특히 DRAM 보다 우수한 집적도로 인해 비트(bit) density 증가 및 bit cost 감소에 유리하여 2세대, 2.5세대 그리고 3세대로 이어지는 휴대폰의 메모리 대용량화 및 디지털 가전제품 등의 대용량 저장 매체로써 그 수요가 급속히 신장되고 있다.

그림 1에 보여진 것과 같이 플래시 메모리 기술은 기술적으로 EPROM과 EEPROM의 장점 뿐 만아니라, DRAM과 ROM의 장점을 모



〈그림 1〉 플래시 메모리의 주요 특징.

두 갖춘 메모리임을 알 수 있다. DRAM과 ROM의 높은 집적도를 능가하는 집적도를 가지고, EEPROM이나 DRAM 같이 필요에 따라 저장내용을 update할 수 있으며, ROM과 EEPROM의 비휘발성을 동시에 갖고 있다.

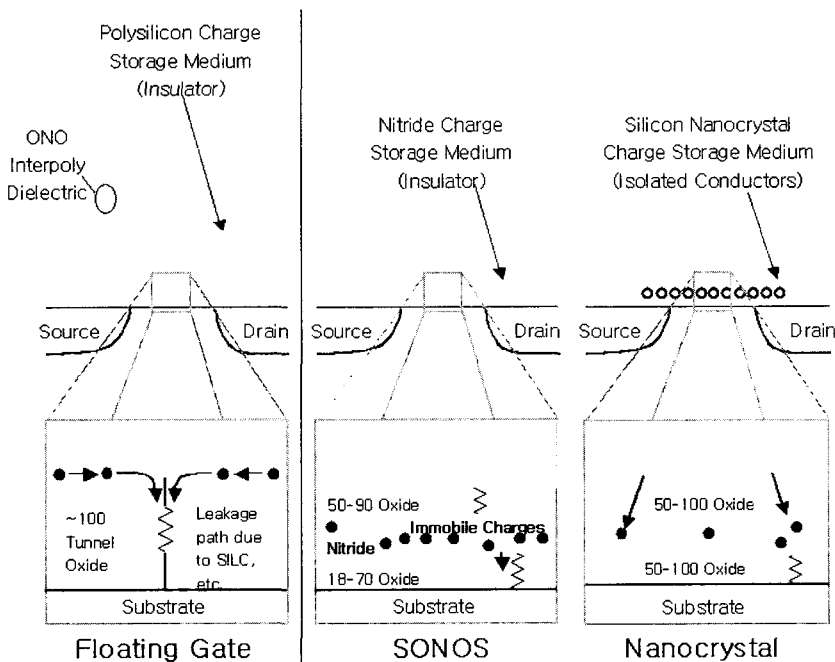
향후 플래시 메모리는 저장 용량의 증가 및 성능의 개선이 필수적이다. 현재 기존의 폴리실리콘 플로팅 게이트를 저장 전극으로 사용하는 메모리 소자는 이러한 추세를 반영하는데 있어 큰 어려움이 있다. 이를 대신할 새로운 형태의 메모리가 개발되어야 하며, 그중 하나가 폴리실리콘 저장 전극을 나노

크기의 dot으로 대신하는 메모리 소자 기술이 개발되어야 한다. 이러한 메모리 소자를 NFGM(Nano-Floating Gate Memory)이라 한다. 본 NFGM 기술동향에서는 NFGM의 특징 및 주요 형성방법, 그리고 메모리를 고집적화 하는데 필요한 소자 구조로서 이중/삼중 게이트 구조, 연구동향에 대해 살펴본다.

## II. NFGM과 기존 플래시 기술과의 비교

기존의 ETOX 플래시 메모리 셀은 지속적으로 세대를 거듭하면서 축소화되어 2007년 경에는 65nm 기술 노드 (셀 크기:  $0.039\mu\text{m}^2$ )에서 양산이 가능할 것으로 기대된다. 메모리 용량증가를 위해서는 MLC(Multi-Level Cell) 방법의 적용도 예상할 수 있으나 가장 좋은 방법은 메모리의 셀 크기를 줄이는 것

이다. 기존의 플래시 메모리 기술은 65nm 이하에서 공정이나 소자 그리고 성능 측면에서 어려운 사양이 요구되고 있고, 이를 극복하기 위한 연구를 수행하여 4nm까지 축소화하고자 하는 노력이 계속되고 있으며, 성공 여부는 미지수이다. ITRS 기술 로드맵<sup>[1]</sup>에 따르면, 기존의 플래시 EEPROM에서 터널링 산화막의 두께는 기술 노드의 발전에 따라 감소해야 하고, 더욱 감소되면 쓰기/지우기 전압을 낮출 수 있다. 그러나 큰 전계를 동반한 다수의 쓰기/지우기 과정을 거치면 얇은 터널링 절연막은 SILC(Stress Induced Leakage Current) 등의 문제로 열화되어 저장된 전하가 누설된다. 따라서 터널링 절연막의 두께를 약 6nm 이하로 낮추기가 매우 어렵다.<sup>[2]</sup> 이와 같이 기존의 EEPROM 플래시 메모리 기술의 축소화 문제나 성능개선을 위한 기술



<그림 2> 기존의 플로팅 게이트 플래시 메모리의 누설 문제 및 누설 문제 해결을 위한 SONOS 및 나노 크리스탈 메모리<sup>[3]</sup>

적 대안들이 등장하게 되었고, 그중에서도 터널링을 근간으로 하는 플래시 메모리 기술은 <그림 2>에 보인 것과 같이 SONOS과 NFGM이다.<sup>13)</sup> 이들의 제작공정은 기존의 플래시 기술에 비해 간단하다.

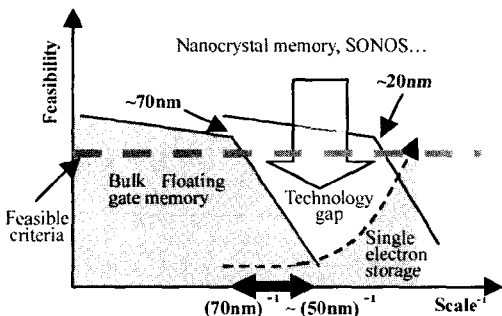
기존의 플래시 메모리는 셀을 지우고 쓰기 위해 9-12V 정도의 높은 전압을 사용하고 있으며, 셀의 신뢰성을 저하시키는 것 없이 이동전압을 줄이기는 매우 어려운 실정이다. 동작전압이 낮아져야 embedded 메모리의 응용이 가능할 수 있다.

<그림 3>은 현재의 플로팅 게이트 플래시 메모리가 대략 65nm 정도까지 가능하고 그 이하에서는 feasibility가 떨어짐을 보이고 있다.<sup>14)</sup> 이를 대신할 수 있는 것으로 SONOS와 Nanocrystal 메모리 또는 NFGM을 소개하고 있고, 이들 기술은 약 20nm 기술 노드까지 feasibility가 있는 것으로 예상하고 있다.

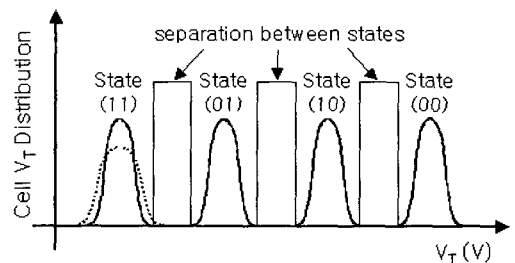
1980년대 후반 플래시 메모리 개념이 정립되고, ETOX cell을 중심으로 플래시 메모리 제품이 상용화 되면서 data access 방법 또는 array organization 등에 의해 다양한 종류의 셀 아키텍처가 제안 되어 왔다. 이렇게 다양한 셀 구조는 각 회사가 갖고 있는 특허 또는 공정, 설계 및 제품 기술력 그리고 시장 예측

및 기대 등에 의해서 다르게 제안 되었지만 현재는 셀 크기 축소화 및 공정 구현가능성 정도 등에 근거하여 구분되고 있다. 대표적인 방식으로는 random read가 가능한 NOR형과 page read로 수행하는 NAND형이며, 그대로 NFGM에도 적용된다.

플래시 메모리의 용량증가를 위해서는 셀 소자의 크기를 줄이는 것이 가장 일반적인 방법이다. 셀 소자의 크기를 줄이지 않고 현재의 lithography 기술을 이용하면서 용량을 늘릴 수 있는 방법이 다중-레벨(Multi-Level) 셀<sup>15)</sup> 및 다중-비트(Multi-Bit)셀의 도입이다. 물론 이들 기술의 도입을 위해서는 약간의 공정한 변화가 필요할 수도 있으며, 다중-비트나 다중-레벨 셀의 상태를 읽기 위한 주변회로의 변화는 필수적이다. 다중-비트 셀은 주로 SONOS와 같이 저장전극이 다른 메모리 소자에 적용되고, 다중-레벨 셀은 저장전극에 상관없이 기존의 플래시 EEPROM이나 SONOS 및 NFGM에도 적용이 가능하다. 또한 셀 당 문턱전압의 변화를 두어 2 비트 이상 3, 4 비트 또는 그 이상의 비트를 저장할 수 있는 특징이 있다. 예를 들어, <그림 4>에서는 4개의 상태를 갖는 다중-레벨 셀의 쓰기 시간(또는 전압)에 따른 문턱전압의 변



<그림 3> 플래시 기술 축소화에 따른 실현가능성<sup>14)</sup>



<그림 4> 4개의 상태를 갖는 MLC (Multi-Level Cell) 문턱전압 분포에 대한 개략도.

화를 보이고 있다. 하나의 상태와 다른 상태 사이에는 상태를 분리할 수 있는 전압 여유 (margin)이 반드시 필요하며, 이 여유는 클수록 좋다. 이 전압여유를 크게 하기 위해서는 주어진 쓰기 또는 지우기 조건에서 셀의  $V_T$  산포가 적어야 한다. <그림 8>에서 첫 번째  $V_T$  산포에서 점선으로 표시한 것은  $V_T$  산포가 나쁜 경우에 대한 예를 보이고 있다. SLC (Single-Level Cell)의 주요 특징은 속도, 내구성 및 신뢰성이 우수하고, MLC는 가격 및 집적도 측면에서 우수하다. 현재의 NOR나 NAND형 셀 모두 셀 크기를 줄이지 않고 용량을 증가시킬 수 있는 한 대안으로 신뢰성 있는 MLC 기술 개발이 계속 진행될 것으로 보여 진다.

### III. NFGM의 주요 특징 및 나노 dot의 형성

NFGM은 앞서 언급한 SONOS의 경우처럼 기존의 플로팅 게이트 플래시 메모리 셀의 축소화를 더욱 연장하여 집적도를 높일 수 있다. SONOS의 저장전극인 질화막내에서 전하 저장 트랩의 분포 제어는 아직 확실하지 않지만 NFGM의 경우는 질화막내의 트랩 대신 다수의 나노 크기 플로팅 게이트를 도입하고 크기 및 밀도를 제어하고 있다. 즉, SONOS에 비해 전하 저장소를 더 잘 제어할 수 있는 특징이 있다.

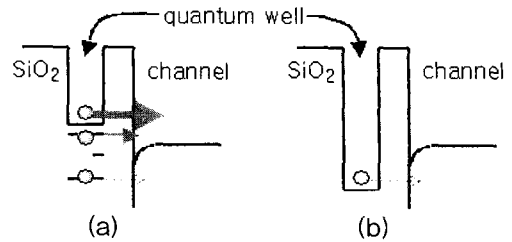
SONOS 형 메모리에서는 질화막 저장매체에 트랩이 3차원적으로 분포해 전하의 충전도 3차원적으로 이루어지는 반면, NFGM에서는 2 차원 dot 어레이에 전하가 저장된다. 원자 크기의 질화막 내 트랩에 비해, 전자나 정공의 에너지 상태는 나노 결정 dot의 퍼텐

셜 우물에서 더 깊은 에너지에 존재한다. 질화막내 트랩의 에너지 준위는 질화막 전도대로부터 대개 1-2 eV아래에 있는 반면, 나노 크기 dot 내에 있는 전자나 정공은 산화막 ( $\text{SiO}_2$ )의 전도대로부터 3 eV 보다 더 아래에 있다. 따라서 만약 나노 crystal 사이의 격리 (대략 ~5nm)가 잘 되어 있으면 나노 dot (또는 crystal) 사이의 전도는 거의 일어나지 않는다. 그러나 SONOS에서는 트랩 사이의 전도가 상황에 따라 가능할 수 있음을 추정할 수 있다. 즉, NFGM의 경우 저장된 전하의 국한(confinement)가 더 확실하고 이는 누설 전류의 감소를 의미한다. 결국 NFGM의 경우 터널링 절연막의 두께를 더 줄일 수 있는 가능성이 있고, 직접 (direct) 터널링을 통한 쓰기/지우기 시간을 개선할 수 있는 여지가 있다. Hot 캐리어 주입이나 FN 터널링 (10-12 V)에 비해, 직접 터널링은 통상 낮은 전계 (low-field, 3-4 V)를 동반하는 프로세서이다. 직접 터널링을 이용하면 낮은 전계에 의해 터널링 절연막의 스트레스를 줄이고 내구성을 증가시킬 수 있다.

NFGM의 동작에는 장점도 단점도 될 수 있는 Coulomb blockade가 효과가 있다. 이는 '단전자 사이의 정전기적 상호작용에 의해 작은 커패시터의 충전 에너지가 불연속적인 변화를 보인다'는 것이다. 나노 crystal 소자에서, 실리콘 채널에서 하나의 나노 dot에 들어가려는 전자는 이미 그 dot에 들어있는 전자에 의한 coulombic repulsion을 극복해야만 들어갈 수 있다. 전자를 나노 dot에 더 주입하려면 게이트 전압을 더 올려야 한다. 이 경우 잘 알려진 커패시터 충전 에너지 (capacitive charging energy)는  $\Delta E = e^2 / (2C)$ 이고, 여기서

$e$ 는 단위 전하이고  $C$ 는 나노 dot의 커패시턴스 ( $\sim 10^{-18}$  F)이다.  $\Delta E$ 를 계산하면 대략 수백 meV 정도이고 상온에서의  $k_B T$  ( $\sim 26$  meV)에 비해 크기 때문에 이 충전에 따른 변화를 관찰할 수 있게 되고, 이를 quantum multi-bit 메모리로 활용할 수 있는 장점이 있다. 나노 dot의 크기가 작아지면 소위 Coulomb blockade 현상이 두드러져 위의 특징을 이용할 수 있는 반면, 게이트 전압을 이용한 쓰기/지우기 사이의 큰 VT shift 만을 얻으려고 할 경우는 Coulomb blockade가 방해가 될 수 있어, 기술 정도나 응용에 따라 적절한 나노 dot 크기가 필요하다고 할 수 있다. 또한 나노 dot의 크기가 감소하면 dot의 밴드갭이 증가하여 dot과 dot 사이의 전도가 증가할 수 있고, dot과 실리콘 채널 사이의 전하 retention(보존) 특성이 저하할 수 있다.

기존의 폴리실리콘 플로팅 전극을 갖는 플래시 메모리의 경우 플로팅 전극이 dot이 아니기 때문에 밴드갭이 벌크 실리콘과 유사하지만, 대략 10nm 이하의 dot으로 형성되었을 경우 밴드갭이 증가한다. 이렇게 되면 양자 우물의 깊이가 낮아지게 되어 유지(retention) 시간이 저하된다. Si bulk의 경우 4.05eV의 전자친화도를 갖는데, 나노 크기의 dot으로 크기가 작아질 경우 전자친화도가 줄어들어 dot의 전도대가 올라가 주위의 SiO<sub>2</sub> 막과 낮은 양자우물 에너지 구조를 형성하여 유지 특성이 저하된다. 이 관계는 <그림 5>의 (a)에 설명되어 있다. CVD 방법에 의해 형성된 나노입자는 deep level, Si /SiO<sub>2</sub> 계면 등에 있는 다양한 에너지 준위의 트랩 등의 영향이 커져서 동작특성이 불분명 해지고 온도의 영향이 커질 수 있다는 보고도 있다.<sup>16)</sup>



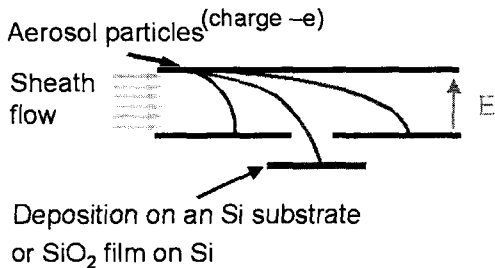
<그림 5> 절연막/양자우물/절연막 구조에서 양자우물의 구조에 따른 누설을 보이는 에너지 밴드다이아그램. 화살표 크기가 누설의 크기를 나타냄. (a) 얇은 양자우물. (b) 깊은 양자우물.

기존의 Si 나노 dot을 이용할 경우, 밀도를 높이기 위해 dot의 크기를 5nm 정도나 그 이하로 줄이게 되면 위에서 언급한 유지 특성이 크게 저하될 우려가 있다. 유지 특성을 개선할 수 있는 가장 쉬운 방법은 터널링 절연막의 두께를 증가시키면 되지만, 그 경우 쓰기/지우기 시간이 크게 저하되는 문제가 있다. 따라서 Si 나노 dot의 경우, 터널링 절연막과 컨트롤 게이트 아래 절연막의 구조에 따라 적절한 dot의 크기 및 밀도가 있을 것으로 기대된다.

이러한 Si 나노 dot의 문제점은 해결할 수 있는 하나의 방법은 dot 물질을 Si에서 다양한 일함수의 금속, 금속산화물, 화합물 반도체로 바꾸는 것이다. 이때 대체 물질의 전자친화도가 커야 <그림 5>의 (b)와 같은 깊은 양자우물을 가질 수 있고 유지시간을 크게 할 수 있다.

대개 나노 크기의 플로팅 게이트는 5-20nm 크기의 Si 나노 dot으로 구성되어 있고 다양한 방법으로 형성이 가능하다. 기존의 폴리실리콘 LPCVD를 이용하여 형성하는 것이 보편적이고, aerosol 방법을 이용하여 일정한 크기의 나노 dot을 형성하고 있다. <그림

6)은 aerosol 방법을 이용하여 균일한 크기의 Si 나노 입자를 웨이퍼에 형성하는 방법을 소개하고 있다. 균일한 크기의 dot을 형성하기 위해 radial differential mobility analysis라는 방법을 적용하고 있다. 균일한 나노 입자를 형성할 수 있는 하나의 방법으로서, 형성하고자 하는 입자에 thiol 형성하고 polymer를 이용하여 고밀도로 배열하는 습식 합성법도 이용되고 있다. 또한 금속 박막을 curing하여 금속산화물 dot을 형성하는 방법도 있다. 향후 나노 dot의 균일성 제어가 필요하고, dot 밀도는  $10^{12} \text{ cm}^{-2}$ 이 되도록 해야 하며, 일부의 발표된 Si dot 결과는 이 조건을 만족하기도 한다. 단순히 나노 dot의 밀도를 증가시키기 위해 dot 사이의 간격을 무시하고 형성할 경우 dot과 dot 사이의 누설전류가 증가하여 기존의 전도성 플로팅 게이트가 갖는 유지 시간 저하 문제를 가질 수 있어 dot 사이의 간격제어도 중요하다 할 수 있다.

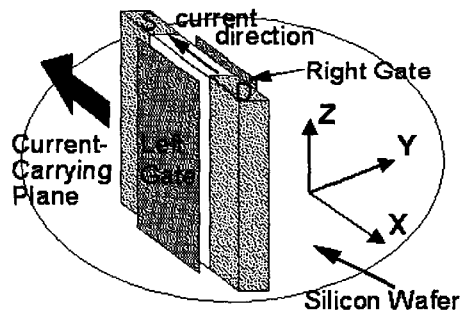


〈그림 6〉 Aerosol 방법을 이용한 Si 나노 dot 형성에서 Radial Differential Mobility Analysis (RDMA)를 적용한 dot의 크기 filtering<sup>17)</sup>.

#### IV. 고집적/고성능 NFGM을 위한 소자 구조

현재의 상품화되어 있는 플래시 메모리 소

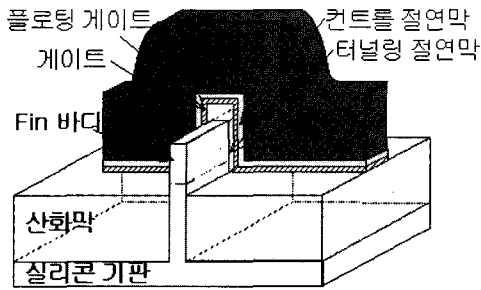
자는 폴리실리콘을 플로팅 게이트로 사용하고 있으며, 채널구조가 기존의 MOS 소자와 같은 평탄채널을 갖고 있다. 최근 CMOS 분야에서 기존의 평탄채널과 채널 구조가 다른 3 차원 구조의 트랜지스터가 다양하게 연구되고 있다. 그 중에서도 기존의 공정과 양립성이 있고 실용성이 있는 새로운 소자 구조는 이중/삼중-게이트 구조를 갖는 소자 구조로, FinFET이라 불려지기도 한다. 〈그림 7〉은 실리콘 웨이퍼에 형성된 FinFET 소자구조의 주요특징을 상징적으로 보여주고 있다. Fin 구조라는 채널의 양쪽 측벽에 게이트가 있어, 드레인에서 소스로의 전계 침투를 억제할 수 있기 때문에 소자 축소화 특성이 매우 우수하다.



〈그림 7〉 도식적으로 표시된 FinFET의 구조 및 전류 방향

이와 같이 소자 축소화 특성이 우수한 소자구조를 플래시 소자구조에 응용하면 플래시 메모리의 셀 크기를 줄일 수 있고 집적도를 개선할 수 있게 된다.

이와 같은 소자 구조의 주요 특징을 살펴본다. 〈그림 8〉은 세계 최초로 벌크 기판에 구현된 이중/삼중-게이트 플래시 메모리 구조를 보이고 있다<sup>18)</sup>. 〈그림 15〉의 축소화 특



〈그림 8〉 벌크 기판에 구현된 이중/삼중-게이트 구조의 플래시 메모리 소자 구조<sup>10)</sup>.

성이 우수한 구조가 여기에 그대로 반영되어 고안된 것이다. 여기서 플로팅 게이트는 다양한 구조나 물질로 구현될 수 있다. 플로팅 게이트의 물질로는 금속, 폴리실리콘, 폴리 SiGe, 질화막, high-k 절연막, 각종 나노 crystal 등이다.

통상 기존의 FinFET은 모두 SOI(Silicon on Insulator) 웨이퍼에 제작되었는데, 그림 9의 구조는 기존의 벌크 실리콘 기판에 구현되어 기판의 가격이 매우 저렴하고, 결함밀도가 아주 낮고, 기판으로의 열전도가 매우 뛰어나며, 현재의 벌크 CMOS 공정과 양립성이 매우 우수하다.

〈그림 8〉에 있는 구조를 SOI 기판에서 플래시 메모리로 구현하는 소자 구조 본 연구팀에 의해 세계 최초로 제안되었다.<sup>10)</sup> 소자 구조는 그림 9에서 실리콘 기판 위에 있는 산화막이 서로 연결되어 fin 바다가 기판과 떨어져 플로팅된 구조와 동일하다. SOI 웨이퍼에 제작되는 이중/삼중-게이트 플래시 메모리 소자는 벌크 웨이퍼에 제작되는 그림 9의 소자와 같이 우수한 축소화 능력 및 고성능의 장점을 지니지만, SOI 기판에 관련된 가격, 결함밀도, 열전도 등의 항목은 불리한 면이 있다. SOI 웨이퍼에 구현된 이중-게이트 플

래시 메모리의 기본적인 동작이 세계 최초로 우리 연구팀에 의해 발표된 후, 정확히 같은 소자구조에 SONOS형 메모리 소자 형태로 UC Berkely와 독일의 인피니언<sup>10a)</sup>에서 발표한 바 있다.

## V. 연구동향

세계 각국의 주요 반도체 기관에서 NFGM에 대한 연구를 수행해 오고 있으며, 특히 2003년경부터는 더 많은 기업이 연구에 참여하고 있고, 모토로라에서는 4Mb 나노 플로팅 게이트 플래시 메모리를 2003년 IEDM에서 발표하였다. 나노 크기의 dot을 형성하는데 있어 중요한 것은 나노 입자의 크기 제어와 밀도제어이며, 현재 많은 연구가 수행되었거나 수행되고 있다. 나노 dot의 밀도 및 제어를 더욱 정확히 하여 문턱전압의 산포를 줄이는 연구가 진행되고 있다. 표 1은 각 국가/기관별로 발표한 NFGM에 대한 주요 특징을 보이고 있다. 대체적인 나노 dot의 재료 측면에서 보면, 주류는 Si dot이며, 밀도는 아직  $10^{12} \text{cm}^{-2}$  보다 작은 수준이다. Au, Co, W과 같은 금속 나노 dot에 대한 연구가 진행되고 있으며, dot의 밀도 향상 및 균일도 제어가 필요한 상태이다. Si dot을 채용한 경우 문턱전압의 변화는 대체로 1~2.2V 정도이고, 금속 dot의 경우는 1.5~2.3V 수준이다. MLC에 대한 연구도 추진되고 있는데, 이것을 위해서는 문턱전압의 변화를 더욱 크게 할 필요가 있고 이를 연구하고 있다. 메모리의 생명인 유지(retention) 시간은 대체로  $10^5$  s를 초과하고 있고, endurance 역시  $10^5$  cycles을 초과하고 있다. 다만 문제는 느린 쓰기 시간

〈표 1〉 국가/기관별 NFGM의 주요 특징.

국가 / 기관	Dot density (cm <sup>-2</sup> ), Material, Diameter	Gate W/L or Cell area (um <sup>2</sup> )	W/E time	Retention Time (s)	Endurance (Cycles) / Vth shift
USA / IBM	6.5×10 <sup>10</sup> , Si, 20nm (+/- 10%)	-	50 us @ V <sub>w</sub> = - 6 V 50 us @ V <sub>E</sub> = +4 V	> 10 <sup>6</sup> s	> 10 <sup>9</sup> / 1 V
USA / U. of Cornell	- , Au, 6.8nm	W: 45 um L: 50 um	0.5 ms @ V <sub>w</sub> = 5 V 0.5 ms @ V <sub>E</sub> = -5 V	> 10 <sup>6</sup> s	> 10 <sup>7</sup> / 1.5 ~ 2 V
USA / Motorola	5×10 <sup>11</sup> ~ 1.1×10 <sup>12</sup> , Si, -	-	10 us @ V <sub>G</sub> = 6 V 100 us @ V <sub>G</sub> = -6 V	20 years @ 150°C	> 10 <sup>5</sup> / 2.2 V
USA / U. of Berkeley	-	W: 20nm L: 350nm	12 ms @ V <sub>w</sub> = 10 V 35 ms @ V <sub>E</sub> = - 5 V	10 years @ 85°C	> 10 <sup>5</sup> / 2 V
Japan / U. of Tohoku	2×10 <sup>13</sup> , Co,W 2 ~ 3nm	W: 90nm L: 0.45 um	V <sub>w</sub> = 5 V V <sub>E</sub> = - 5 V	> 10 <sup>5</sup> s	> 10 <sup>5</sup> / 2.3 V
Japan / U. of Tokyo	5×10 <sup>11</sup> , Si, ~ 6nm	W:0.15 um L: 0.13 um 0.0777	V <sub>GS</sub> = 6V, V <sub>OS</sub> = 5V V <sub>GS</sub> = 13 V	> 10 <sup>6</sup> s	> 10 <sup>5</sup> / 2 V
Japan / Hitachi	3×10 <sup>11</sup> , Si, 15nm	W: 1 um L: 0.6 um	10 us @ V <sub>w</sub> = 4.5 V 1 ms @ V <sub>E</sub> = 17 V	10 years @ 85°C	> 10 <sup>5</sup> / 1 V
Japan / Toshiba	10 <sup>12</sup> , Si, -	W: 4 um L: 1.5 um	10 us @ V <sub>w</sub> =10V 10 us @ V <sub>E</sub> = -10V	10 years	> 10 <sup>6</sup> / -
France / CEA-LETI	1×10 <sup>11</sup> ~ 2×10 <sup>12</sup> , Si, -	W:0.16 um L: 0.28 um	V <sub>w</sub> = 4 ~ 8 V V <sub>E</sub> = -7 ~ -2 V	10 years @ 250°C	> 10 <sup>5</sup> / 1 V
Italy & France / IFN-CNR	5×10 <sup>11</sup> , Si, 6nm	W: 10 um L: 10 um	V <sub>w</sub> = 6 V V <sub>E</sub> = - 6 V	-	- / 1 V
Taiwan / Chao Tung University	0.9 ~ 1.9×10 <sup>12</sup> , HfO <sub>2</sub> , -	-	1 us @ V <sub>G</sub> = 9 V 0.1 ms @ V <sub>G</sub> = - 5 V	> 10 <sup>8</sup> s	> 10 <sup>6</sup> / 2.5 V
Korea / SAMSUNG	- , Si, 9nm	W:0.15 um L:0.15 um 0.081	V <sub>OS</sub> = 4 V, V <sub>GS</sub> = 10 V V <sub>GS</sub> = 15 V	> 10 <sup>5</sup> s @ 150°C	> 10 <sup>5</sup> / -
Korea / SAMSUNG	3.4×10 <sup>11</sup> , Si, 10nm	-	10 us @ V <sub>w</sub> = 6~8 V 100 us @ V <sub>E</sub> = - 8 V	> 10 <sup>9</sup> s 10 years @ 85°C	> 10 <sup>6</sup> / 1.3 V
Korea / KAIST,KNU	5×10 <sup>11</sup> , Si, 4.5nm	W: 2.4 um L: 10 um	V <sub>w</sub> = 6 V	> 10 <sup>4</sup> s	- / 2.5 V

과 지우기 시간이다. 쓰기 전압은 4~10 V 정도이고, 쓰기 시간은 10 us~10 ms 수준이다. 지우기 전압은 -2 ~ -8 V 정도이고, 지우기 시간은 50 us~50 ms 정도이다. 향후 이들 시간을 대략 100배 정도 개선할 필요가 있고 연구를 진행 중에 있다.

## VI. 결론

ITRS roadmap에 의하면 2010년 경에 45nm 기술노드에서 20Gb 이상의 집적도가 가능해질 것으로 예상되고 있다. 기존의 도전성 플로팅 게이트를 갖는 플래시 메모리 셀 구조를 바탕으로 한 플래시 메모리는 65nm 이하에서 양산하는데 있어 많은 기술적 어려움



이 예상된다. 기존의 플래시 메모리가 갖는 기술적 어려움을 해결하기 위해 나노 플로팅 게이트 플래시 메모리 (NFGM)의 기술 개발이 이루어져 기존의 구조에 비해 높은 집적도의 구현이 가능하다. 소자 축소화 특성이 뛰어난 이중/삼중-게이트 구조를 도입하면 20nm 급 기술 노드까지 축소화 될 수 있을 것으로 예상된다. 고성능, 고집적 플래시 메모리를 위해서는 메모리 셀의 크기 축소, 저전압 동작, MLC 개념을 도입한 셀 당 저장 비트수의 증가가 필요하다. NFGM의 저장 노드를 위해 다양한 dot 물질 탐색 및 유망한 dot 형성 공정 개발이 필수적이며, 터널링 절연막 내구성 개선 및 구조 최적화가 필요하다. 현재 Si 기반의 나노 dot을 형성하는 기술이 대체로 많이 연구되고 있으나, 나노 dot의 밀도 및 제어를 더욱 정확히 하여 문턱전압의 산포를 줄이는 것이 필요하며, 아울러  $V_T$  산포에 내성을 갖는 회로 설계가 필요하다.

참고문헌

[1] ITRS roadmap, <http://public.itrs.net/>.  
 [2] S. Lai, "Tunnel oxide and ETOXtm flash scaling limitation," in Tech. Dig. of Int'l NonVolatile Memory Technology Conference, pp. 6-7, 1998.  
 [3] A. Thean and J.-P. Leburton, "Flash memory: towards single-electronics," IEEE Potentials, pp. 35-41, Oct./Nov., 2002.  
 [4] S. J. Baik, S. Choi, U.-I. Chung, and J. T. Moon, "High speed and nonvolatile Si nanocrystal memory for scaled flash technology using highly field-sensitive tunnel barrier," IEDM Tech. Dig., pp. 545-548, 2003.

[5] M Bauer et al., "A multilevel-cell 32Mb flash memory," IEEE ISSCC, pp. 132-133, 1995.  
 [6] Z. Liu, C. Lee, V. Narayanan, G. Pei and E.C. Kan, "Metal nanocrystal memories, Part II: device characteristics," IEEE Trans. Electron Devices, vol. 49, no. 9, pp.1614-1622, Sept. 2002.  
 [7] S. H. Zhang, Y. Akutsu, L. M. Russel, R. C. Flagan, and J. H. Seinfeld, "Radial differential mobility analyzer," Aerosol Science and Technology, vol. 23, pp. 357-372, 1995.  
 [8] I. H. Cho, T. Park, S.-Y. Choi, J. D. Lee, and J.-H. Lee, "Body-tied double-gate SONOS flash (Omega flash) memory device built on bulk Si wafer," Device Research Conference, pp. 133-134, 2003.  
 [9] 이종호, 극소 플래시 메모리 소자 구조, 한국특허 (등록: 0431489), 미국특허(등록: 6768158)  
 [10] M Specht et al., "Sub-40nm tri-gate charge trapping nonvolatile memory cells for high-density applications," Symposium on VLSI Technology, Honolulu, 2004, pp. 244-245.

저자소개



이종호

1994년 3월 ~ 2002년 2월 원광대 전기전자공학부  
 1994년 11월 ~ 1998년 5월 ETRI 초빙연구원  
 1998년 8월 ~ 1999년 7월 MIT MTL post-doc.  
 2002년 3월 ~ 현재 경북대 전자전기공학부 부교수  
 주관심 분야 나노 CMOS 소자 설계, 제작, 분석 및 DC/RF 모델링, 고집적/고성능 플래시 메모리, 미세 시스템을 위한 3차원 집적, 아날로그 회로 설계 및 스마트 센서