

# 특집

## PoRAM 최근 연구 동향

박재근 (한양대학교 전자전기공학부)

### 1. PoRAM 이란?

Polymer Random Access (PoRAM)은 그림 1에서 알 수 있듯이 상전극과 하전극이 교차하는 영역에 단분자, 저분자, 고분자 bistable 저항유기 소자가 존재하는 1 Resistance(1R) 구조로서 상하전극에 전압 변화를 가했을 때 동일 전압에서 Ion/Ioff 전류변화가 100배 이상 발생하는 bi-stable 전기적 소자특성을 메모리 소자로서 응용한 비휘발성 메모리 소자이다. 참고로 PoRAM소자는 고분자 소재 뿐만 아니라 모든 유기소재를 적용한 소자를 통틀어 말한다.

Table1의 ITRS 2004에서 알 수 있듯이 PoRAM은 단순한 1R 구조로서 제조 공정이 단순하고 기존 C-MOSFET 공정과 정합이 간단하여 다른 차세대 비휘발성 메모리 소자인 PRAM, NFGM, ReRAM에 비해 initial feature size가 45nm 정도로 가장 집적도가 높고 write/erase time이 10ns 이하 정도로 빠른 동작 속도를 나타내고 있다. 그러나 PoRAM소자의 bistable 저항 물질인 단,저,고분자 소재

가 수분(H<sub>2</sub>O)에 반응에 민감하여 retention-time이 1년 이하인 문제점을 가지고 있다.

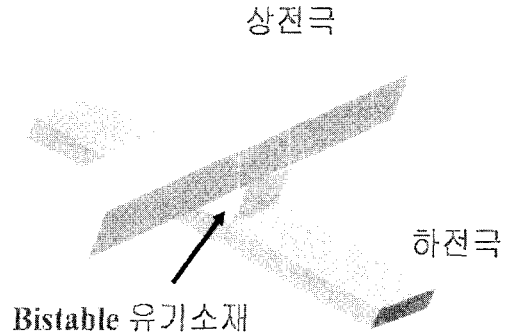


그림1. 1R 구조 PoRAM 소자 Table1.

	PoRAM	NFGM	PoPRAM	RePRAM
Storage Mechanism				
Device Types	1R1R	Engineered Tunnel Barrier or nanocrystal	Bistable Switch	1R1R
Availability	~2008	>2008	>2010	~2010
Cell Elements	1T1R	1T	1R	1T1R
F Value	100nm	80nm	45nm	85nm
Cell Size	~8F <sup>2</sup> 0.08 $\mu\text{m}^2$	8F <sup>2</sup> 0.038 $\mu\text{m}^2$	~0.008 $\mu\text{m}^2$	8F <sup>2</sup> 0.025 $\mu\text{m}^2$
Write/Erase Time	<100ns	10ns	<10ns	50ns/ <100ns
Retention Time	>10 years	>10 years	> 1 year	>1 year
EW Cycles	>1E13	>1E8	>1E15	>1E3

Table1. International Technology Roadmap of Semiconductor Device(ITRS) 2004

## II. PoRAM의 국, 내외 연구개발 현황

비휘발성 메모리 소자인 PoRAM 개발 연구는 최근 3~4년 사이에 연구개발이 시작된 분야로서 전 세계적으로 가능성을 시험하는 개념정립의 단계이며, 최근 학계를 비롯하여 INTEL, Infineon, IBM 및 AMD등의 반도체 기업에서 연구 보고가 활발히 되고 있다. 지금까지 보고 된 연구발표 내용을 토대로 정리해 보면 bi-stable 저항유기소재의 종류에 따라 단분자, 저분자 및 고분자 PoRAM 소자의 3가지 유형으로 분류 할 수 있다. 저분자 PoRAM 소자는 메모리 동작 방법에 따라 UCLA 타입, IBM타입, ion concentration 제어타입으로 분류되며, 고분자 PoRAM은 charge transfer complex타입과 강유전성 타입으로 분류된다.

### 1. 단분자 PoRAM

Infineon사에서는 그림2 에서 알 수 있듯이 cross-point형 1R 소자 구조로서 저항 물질로 사용되는 단분자 물질에 대해서는 언급을 하지 않았고  $I_{on}/I_{off}$  전류비는 102정도이고 retention time이 8개월 정도까지 안정된 것으로 보고하였으며, 250°C까지 열화특성이

없었다는 것을 보고하였다<sup>[1]</sup>. bi-stable 저항 단분자 재료로서 phospholipid counter ions 이 정합된 catenane를 적용한 경우 상온에서 read/write cycle의 메모리 동작이 가능하고<sup>[2]</sup>, 4-ethynylphenyl-4'-ethynylphenyl-2'-nitro-1-benzen-ethiolate를 적용한 경우 60K 에서 bistable 전기적 소자 특성이 보고 되었 으며<sup>[3]</sup>, Rose Bengal을 적용한 경우에는 상 온에서 multi-level의 write/erase cycle의 메모리 동작을 보고하였다<sup>[4]</sup>.

그러나 단분자 PoRAM 경우 단분자막이 열적으로 불안정하고 스위칭 동작속도가 느린 단점을 가지고 있어 다층 LB 필름 및 SAM 형성을 통한 분자막 고정화 기술 개발이 필요하고 multi-level 메모리 특성을 나타내는 donor- $\sigma$ -accepter형 단분자 설계 및 합성이 필요하다. 이 분야의 국내 연구로는 ETRI의 최성을 박사팀에서 주도하고 있다.

### 2. 저분자 PoRAM

#### 가. UCLA 타입

UCLA대학의 Yang 교수<sup>[5]</sup>에 의해 처음으로 보고된 UCLA형 저분자 PoRAM은 그림 3에서 알 수 있듯이 하부 금속전극(Al)/저분자

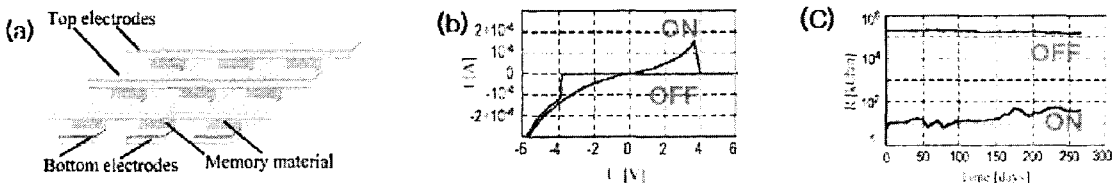


그림 2. Infineon에서 발표(IEDM 2003)한 단분자 PoRAM (a)소자구조 (b) I-V 특성 (c) bistable 저항 특성

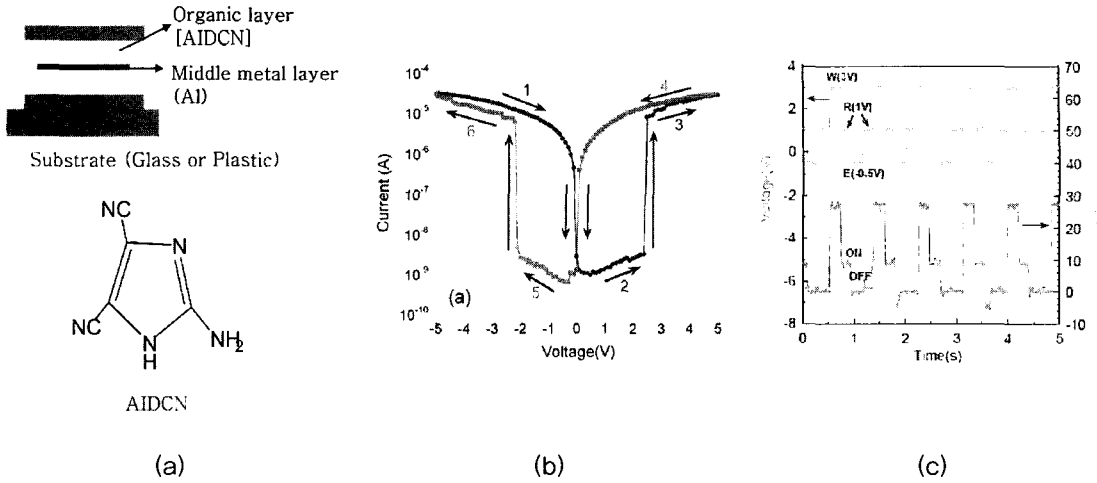


그림 3. UCLA Yang 교수에 의해 보고된 저분자 PoRAM의 (a) 소자구조 (b) bistable 전기적 소자 특성 (c) read/write 동작

(AIDCN)/중간 금속층(Al)/ 저분자(AIDCN)/상부 금속전극(Al)의 cross-point 적층 구조로 이루어져 있다. 상온에서 동작하고  $I_{on}/I_{off}$  전류비가  $10^3 \sim 10^4$  정도의 bistable한 전기적 소자 특성이 나타내며, 수십 나노 초의 메모리 동작 속도와 수개월의 retention-time을

보였다.

Yang교수는 이 소자의 메모리 소자 동작 mechanism을 중간(Al)금속층을 저분자 AIDCN 위에 evaporation 방식으로 증착 시 9.5nm 사이즈의 Al/AlO quantum dot들과 저분자 AIDCN층간의 charge tunneling과 charge accumulation현상에 의한 current conduction mechanism으로 해석하였다. 그러나 실제 중간 Al 금속층의 Al/AlO quantum dot이 관찰 되지 않아 이 소자의 동작 메커니즘이 여전히 불분명하다.

국내에서는 한양대학교 박재근 교수팀이 그림 4와 같이 문턱전압( $V_m$ )가 2.0V 이고  $I_{on}/I_{off}$  전류비가  $10^3$ 정도인 AIDCN을 적용한 저분자 PoRAM 소자를 구현하였다<sup>6)</sup>.

또한 박재근 교수팀은 AIDCN적용 PoRAM 소자의 경우 그림 5와 같이 AIDCN 두께가 30~40nm에서만 bistable 전기적 소자특성이 구현되는 저분자 PoRAM소자 메모리특성의 AIDCN 두께의존성을 보고하였다<sup>6)</sup>.

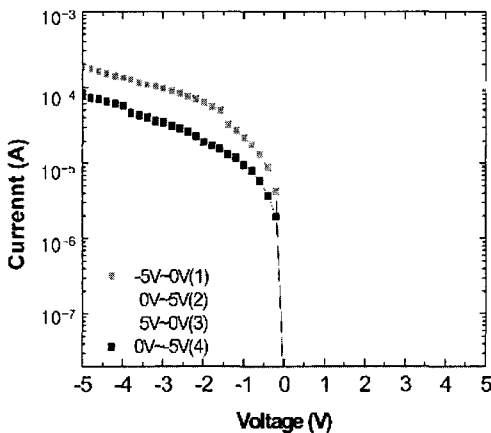
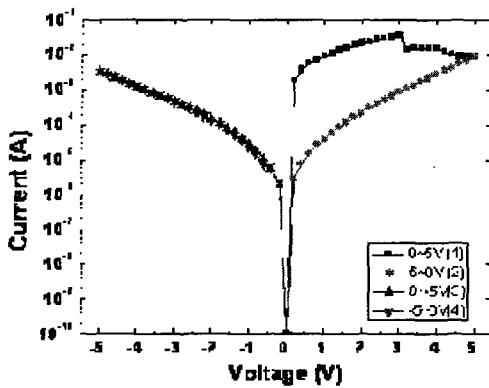
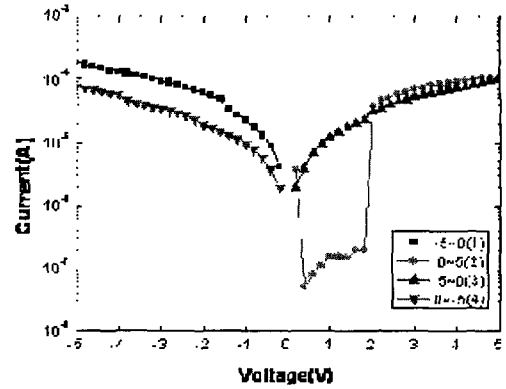


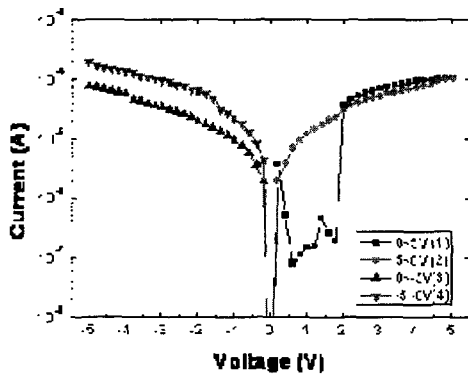
그림 4. 한양대학교 박재근 교수팀에 의해 보고된 저분자 (AIDCN) PoRAM의 bistable 전기적 소자 특성



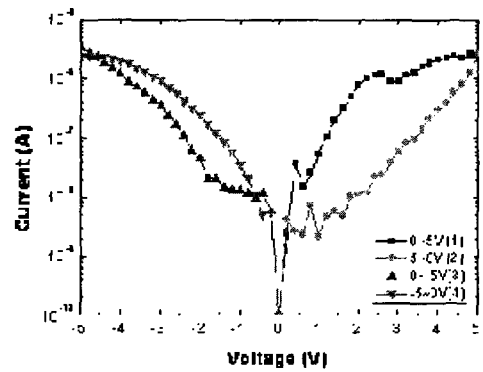
(a)



(b)



(c)



(d)

그림 5. AIDCN 적용 PoRAM소자 메모리특성의 AIDCN  
(a) 25nm (b) 30nm (c) 35nm (d) 40nm

아울러 AIDCN적용 PoRAM소자 경우 그림 6과 같이 중간 Al층의 두께가 20~30nm에서 bistable 구조적 소자특성이 구현되는 저분자 PoRAM소자 메모리특성의 중간 Al층 두께의존성을 보고하였다<sup>6)</sup>.

그림 7과 같이 FIB/TEM 과 Auger 분석을 통해 AIDCN 적용 PoRAM 소자의 중간 Al층이 Al/AIO의 quantum dot들로 형성된 것이 아니라 38nm Al층과 13nm tunneling AIO층이 이루어져 있으며 이 소자의 메모리 소자

동작 메커니즘이 middle metal layer층들인 Al과 AIO의 tunneling과 AIDCN의 capacitor에 의한 새로운 conduction mechanism을 제시 하였다<sup>6)</sup>.

AIDCN PoRAM 소자는 write/erase cycle의 재현성 특성이 나쁘고 retention time이 200분 정도 밖에 되지 않아 금속 전극과 AIDCN간 계면 특성 최적화(한양대 전형탁교수), 나노 스케일의 중간 tunneling 금속 산화층 공정기술개발(한양대 박재근교수) 및

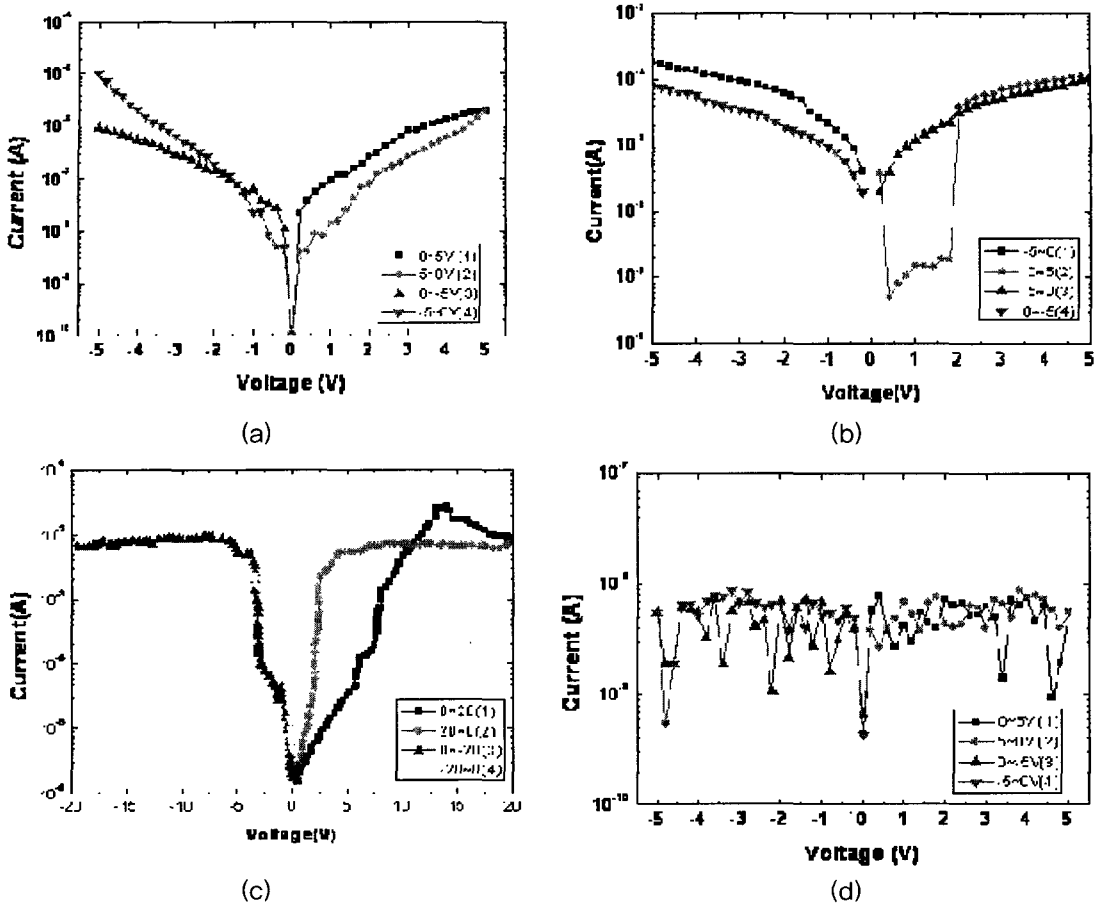
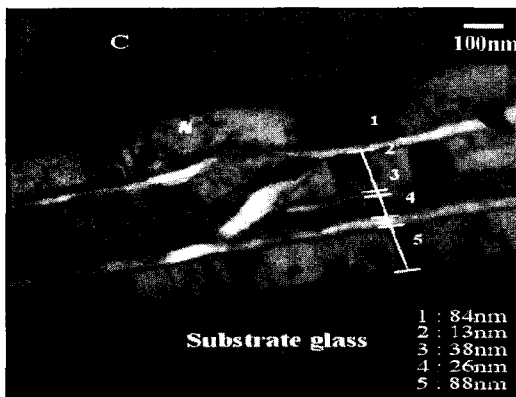
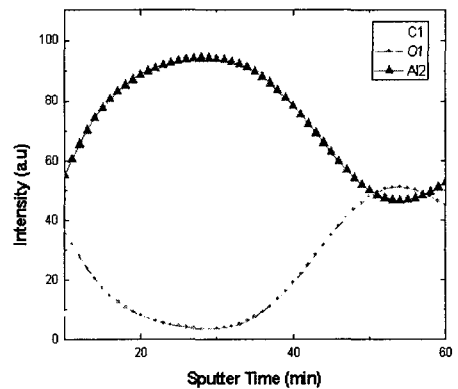


그림 6. AIDCN 적용 PoRAM소자 메모리특성의 중간 Si층 두께 의존성  
 (a) 10nm (b) 20nm (c) 30nm (d) 50nm



(a)



(b)

그림 7. AIDCN 적용 PoRAM 소자  
 (a) X-TEM image (b) Auger 분석에 의한 composition profile

상온 보호막 공정기술개발(한양대 박종완교수 및 K.C.Tech사)에 대한 연구가 활발히 진행되고 있다. 또한 저분자소자 동작 mechanism 규명(한양대 김태환 및 이인환교수) 및 PoRAM 집적회로설계(한양대 이상선교수)에 대한 연구도 진행되고 있다.

#### 나. IBM형

IBM<sup>[7]</sup>에 의해 보고된 IBM형 저분자 PoRAM은 그림8에서 알 수 있듯이 하부금속 전극(Al)/ 저분자(Alq3)/ 중간금속층(Al)/ 저분자(Alq3)/ 상부금속전극(Al)의 cross-section 적층구조로 이루어져 있다. 상온에서 동작하고  $I_{on}/I_{off}$  전류비가  $10^3$ 이고  $V_{th}$ 가 약 3V의 bistable 소자특성을 나타내고 있다. 특히 3V이상에서 negative resistance특성을 나타내고 있어 메모리 소자로서 동작 가능함을 제시하였다.

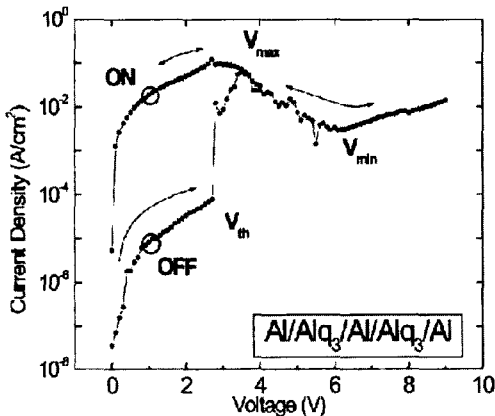


그림 8. Al/Alq3/Al/Alq3/Al소자의 bistable 전기적소자특성

국내에서는 서울대학교 김장주 교수팀이 그림 9와 같이 Alq3를 적용한 저분자 PoRAM 소자를 구현하였다[8]. 4volt 이하 전압영역에

서  $I_{on}/I_{off}$  전류비가  $10^2$  인 bistable 전기적 소자 특성이 나타나고 특히 6volt 이상 전압에서 negative resistance특성을 발견하여 20초의 read/write의 메모리 소자 특성을 확인하였다. 이 소자는 특정한 중간 금속 Al층 두께(5nm)와 특정 evaporation 압력 ( $\sim 10^{-6}$  Torr)에서만 메모리 소자 특성이 나타나고 1개월 후 메모리 특징이 사라짐을 보고하였다.

#### 다. Ion concentration control형 저분자 PoRAM 소자

UCLA Yang 교수에 의해 보고된 [9]의 ion concentration control형 저분자 PoRAM소자는 그림 10에서 알 수 있듯이 하부금속전극(Cu:70nm)/buffer layer(LiF: 4nm)/organic layer(AIDCN, Alq3, ZnPc: 100nm)/상부금속전극(Cu:70nm)의 cross-point 적층구조로 0.5V이하 2V이상에서 off 상태가 되면  $I_{on}/I_{off}$  전류비가 약  $10^5$  정도 나타내고 뛰어난 write/erase cycle동작 특성을 나타내고 있다. 이 소자 동작 mechanism은 on-state에서는 Cu ion이 organic layer로 migration하여 저항 특성을 나타내고 off-state는 Cu ion이 organic layer에 존재하지 않아 capacitance 특성을 나타내는 parallel-plate capacitor model을 제시 하였다.

### 3. 고분자 PoRAM

#### 가. Charge transfer complex형 고분자 PoRAM

UCLA Yang 교수에 의해 보고된 하부금속 전극(Al) / PVK / 중간 Al 금속층 / PVK / 하부금속전극(Al)의 cross-point 적층구조로 그림

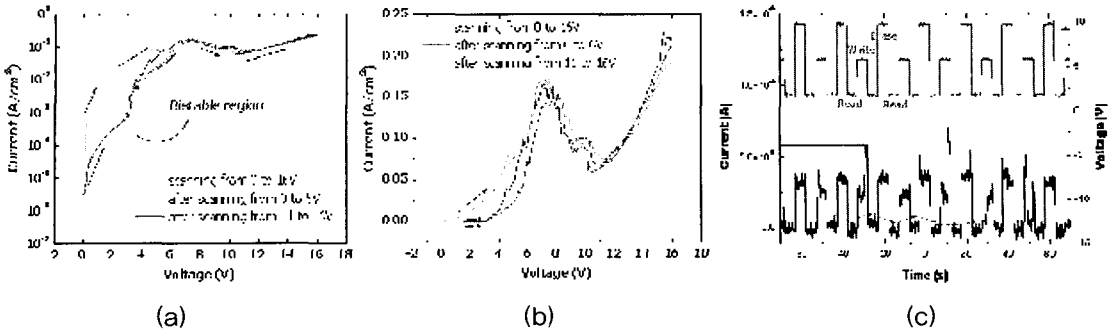


그림 9. 서울대학교 김장주 교수팀에 의해 보고 된 Alq3 적용 저분자 PoRAM 소자 (a)bistable 전기적소자특성 (b)negative resistance특성 (c)write/read cycle특성

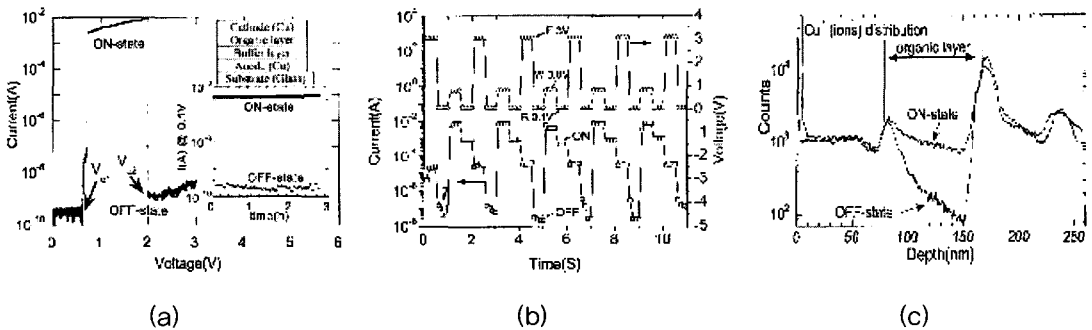


그림 10. UCLA Yang 교수팀에 의해 보고 된 copper-ion contraction control형 (a)i-V 특성 (b)write/erase cycle 특성 (c)SIMS Cu<sup>+</sup> profile

11과 같이  $I_{on}/I_{off}$  전류비율이 약  $10^5$ 인 bistable 전기적소자특성을 구현하였고 또한 charge transfer complex 고분자 물질로 polystyrene

도 bistable 전기적소자특성이 구현된다고 보고하였다. 메모리소자동작 mechanism은 정확히 보고 되지 않고 있다.

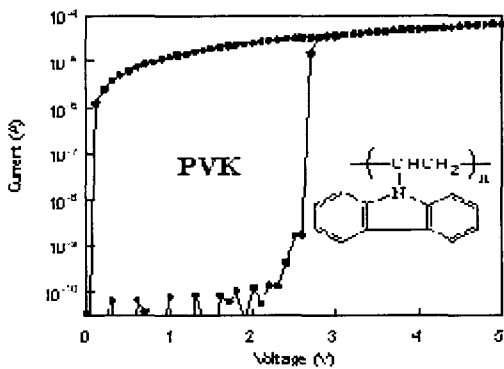


그림11. Yang 교수팀에 의해 보고 된 charge transfer Complex형 고분자 PoRAM의 bistable 전기적 소자특성

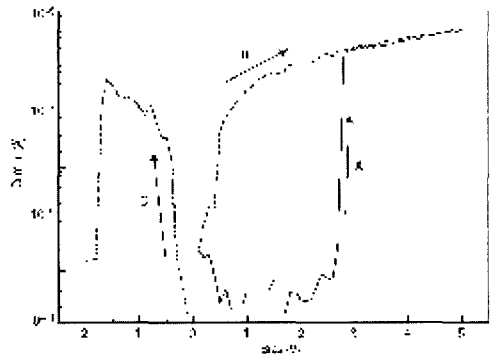


그림12. Polymer Film을 적용한 PoRAM 구조 및 I-V 전류 특성

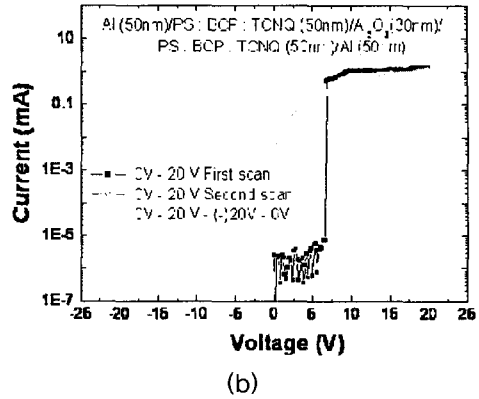
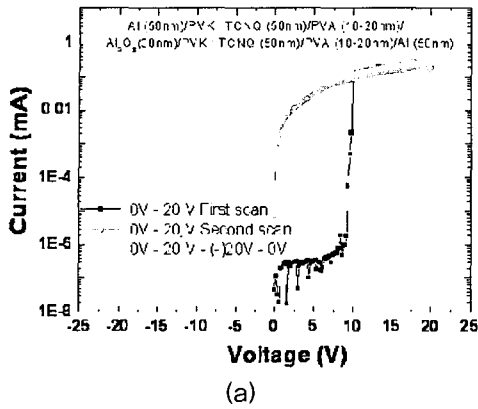


그림13. 서울대학교 김장주교수팀이 보고한 charge transfer complex형 고분자 PoRAM의 bistable 전기적소자특성 (a) PVK적용 (b) PS적용.

또한, 2005년에 Yang 교수는 그림 12에서 보이는 것과 같이 상. 하의 금속 전극층 사이에 50nm 두께의 polymer 필름을 spin coating 방식으로 형성 한 후 Au 나노 파티클을 형성 시켜 Al/Au-DT+8HQ+PS/Al 구조의 소자를 형성하여 메모리 스위칭 특성이 나타나는 것을 보고 하였으며, 이의 동작 메커니즘은 direct tunneling과 F-N tunneling의 복합 효과에 의한 것으로 보고하였다<sup>10)</sup>.

국내에서는 서울대학교 김장주교수팀이 Al(50nm)/ PVK: TCNQ(50nm)/ PVA (10~20nm)/ Al<sub>2</sub>O<sub>3</sub>(30nm)/ PVK: TCNQ(50nm)/ PVA(10-20nm)/ Al(50nm)의 cross-point 적층 구조로 그림 13(a)와 같이  $I_{on}/I_{off}$  전류비가 약  $10^5$ 인 bistable 전기적소자특성을 구현하였고, Al(50nm)/ PS: BCP: TCNQ(50nm)/ Al<sub>2</sub>O<sub>3</sub>(30nm)/ PS: BCP: TCNQ(50nm)/ Al(50nm) cross-point 적층 구조로 그림 13(b)과 같이  $I_{on}/I_{off}$  전류비가 약  $10^4$ 인 bistable 전기적소자특성을 구현하였다<sup>11)</sup>.

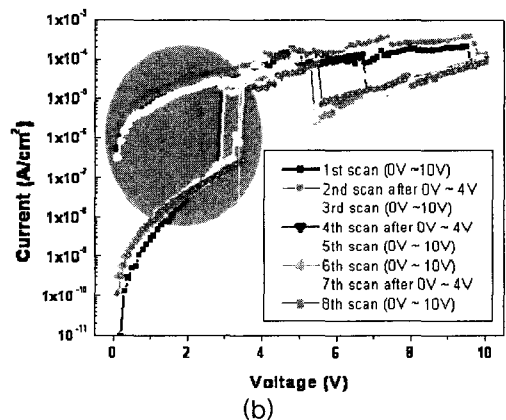
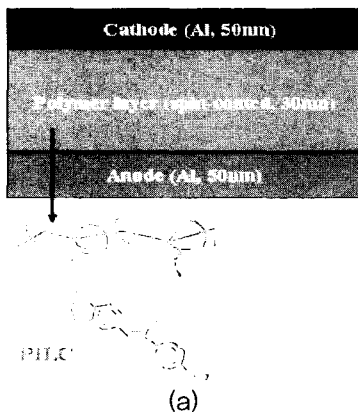


그림14. 서울대학교 박수영 교수팀이 보고한 PILC를 이용한 charge transfer complex형 PoRAM의 bistable 전기적소자특성 (a) 소자구조 (b) bistable 전기적소자특성.



서울대학교 박수영 교수팀은 그림14와 같이 Al(50nm)/AlO<sub>3</sub>/PILC(30nm)/Al(50nm) cross-point 적층구조로 I<sub>on</sub>/I<sub>off</sub> 전류비율이 약 10<sup>3</sup>인 bistable 전기적 소자특성을 구현하였다<sup>12)</sup>.

charge transfer complex형 고분자 PoRAM은 저분자 PoRAM소자에 비해 문턱전압(V<sub>th</sub>)은 높으나 후속 소자제조공정 온도가 400℃에서도 안정적인 소자특성을 유지할 수 있는 장점이 있어 열적안정성이 뛰어난 charge transfer complex 고분자 소자를 한양대학교 서동학교수팀과 백운규교수팀에서 연구를 활발히 진행하고 있다.

**나. 강유전성 고분자 PoRAM**

그림 15과 같이 Nebraska대학에 의하여 보고 된 P(VDF<sub>70</sub>-TrFE<sub>30</sub>)적용 capacitor 소자 구조에서 문턱전압(V<sub>th</sub>) shift가 2.8V 이고 capacitance dynamic range가 8:1인 메모리 소자특성을 구현하였다<sup>13)</sup>.

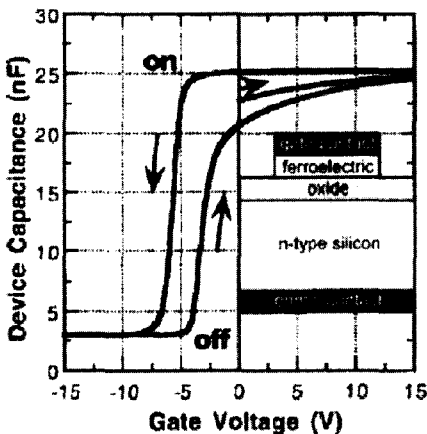


그림15. Nebraska대학이 보고한 PVDF-TrFE를 적용한 강유전성고분자 PoRAM소자의 I-V특성

P(VDF-TrFE)을 중합한 강유전성 polymer을 적용한 PoRAM소자는 write전압이 10V이상으로 크고, 소자 switching 속도가 수 MHz로서 느리고 retention-time이 약 1년 정도로 나쁘고, temperature stability 가 100℃ 이하인 문제점을 가지고 있다. 이러한 문제점을 해결하기 잔류분극의 극대화, Curie 온도개선, write전압감소, fatigue 성능 향상, switching 속도 향상시킨 P(VDF/TrFE)합성 기술 개발을 KAIST 심홍구교수, 화학연구소 박인준박사, 경희대학교 김갑진교수팀에서 활발히 연구되고 있으며, 강유전성 PoRAM 소자특성개선을 위해 KAIST 이희철교수와 연세대 박철민교수팀에서 활발히 연구가 진행되고 있다.

**III. 결론**

PoRAM 소자는 단순한 cross-point형 1R 구조를 가진 비휘발성 메모리소자로서 제조 공정이 단순하고 기본 C-MOSFET 공정과 정합이 쉽고 동작속도가 나노 second로서 빠른 장점이 있어 최근 2~3년간 전 세계적으로 연구가 시작되었다. bistable한 저항 유기소재로서 많은 단분자, 저분자, 고분자들이 발표되었으나 아직 PoRAM의 메모리동작 메커니즘이 명확히 밝혀지지 않고 있으며, 특히 PoRAM소자의 endurance특성(현재 write/ erase cycle 100회 이하) 와 retention-time( 현재 200분 이하) 특성이 매우 나쁘게 보고 되고 있다. 이러한 문제점을 해결하기 위해 write/erase cycle이 10<sup>6</sup> 이상이고 retention-time이 1년 이상인 PoRAM용 유기소재개발 연구가 절실히 필요하다. 또한 PoRAM 소자 구조는 cross-point 1R 구조로서 초기 feature size가 45nm가 되

기 위해서는 nano-imprint 와 ink-jet print와 같은 신공정기술의 연구가 반드시 필요하다.

### 참고 문헌

- [1] R. Sezi and C. Dehm, "Organic material for high-density non-volatile memory application" IEEE, IEDM 03, 259, 2003
- [2] Charles P. Collier, "A [2]catenane-based solid state electronically reconfigurable switch", Science, vol 289, 1173, 2000
- [3] M.A. Read and J.M. Tour, "Molecular random access memory cell" Appl. Phys. Lett. vol 78. 3735, 2001
- [4] A. Bandyopadhyay and J. Pal, "Multilevel conductivity and conductance switching in supramolecular structures of an organic molecule" Appl. Phys. Lett. vol 84, 999, 2004
- [5] L.P. Ma, J. Liu, and Y. Yang, "Organic electrical bistable devices and rewritable memory cells" Appl. Phys. Lett. vol 80. 2997, 2002
- [6] J.G. Park, 0.1Tb급 차세대 비휘발성 메모리 개발사업 총괄 워크샵, 266~277, Jan, 2005
- [7] L.D. Bozano and J.C. Scott, "Mechanism for bistability in organic memory elements" Appl. Phys. Lett. vol 84. 607, 2003
- [8] J.J. Kim and S.Y. Park, 0.1Tb급 차세대 비휘발성 메모리 개발사업 총괄 워크샵, 246~259, Jan, 2005
- [9] Fang-chung cheu and yang yang, "Organic thin-film transistors with nanocomposite dielectric gate insulator" Appl. Phys. Lett. vol 85. 3295, 2004
- [10] IANYONG OUYANG AND YANG YANG, "Programmable polymer thin film and non-volatile memory device", Nature, vol 3. 918, 2004
- [11] Timothy J. Reece and Matt Poulsen, "Nonvolatile memory element based on a ferroelectric polymer Langmuir-Blodgett film", Appl. Phys. Lett. vol 82. 142, 2003

### 저자소개



박재근

1985년 - 1998년 삼성전자, 반도체 기흥 소재기술 그룹 부장  
 1999년 - 2001년 삼성전자, 기술고문  
 1999년 - 현재 한양대학교 전자전기공학부 부교수, 산자부 차세대 0.1 Tb 비휘발성 메모리 개발사업단장, 과기부 국가지정 나노 SOI 연구실장, 한양대학교 첨단 반도체 소재/소자 개발 연구소장  
 주관심 분야 차세대 비휘발성 메모리소자 및 나노 전자소자