CMOS 0.18 μm 공정을 이용한 MB-OFDM UWB용 VGA 설계

Design of VGA for MB-OFDM UWB

이승식 · 박봉혁 · 김재영 · 최상성

Seung-Sik Lee · Bong-Hyuk Park · Jae-Young Kim · Sang-Sung Choi

요 약

본 논문은 CMOS 0.18 μm 고정을 이용한 MB-OFDM UWB용 VGA를 설계하였다. 제안된 VGA는 −6~45 dB의 가변이득 조정이 가능하고 3 dB Bandwidth는 필요 성능인 264 MHz를 만족하였다. 2단 연속 구조인 증폭부와 DC 성분을 제거하는 DC offset canceller로 구성되어 있고 1.8 V 바이어스에 4 mA 소비 전류를 만족하였다.

Abstract

In this paper, we have proposed VGA for MB-OFDM UWB application using CMOS 0.18 μm technique. The proposed VGA can vary power gain from 45 dB to −6 dB and 3 dB band width is more than 264 MHz. It has 3-stage cascade structure and DC offset cancellation. It consumes less than 4 mA for 1.8 V bias voltage.

Key words : UWB, CMOS, VGA, MB-OFDM, DC Offset Canceller

Ⅰ. 서 론

2002년 2월 FCC는 UWB의 상업용 사용에 대해 승인을 하였다[1]. 승인된 내용 중 FCC가 규정한 실내 환경에서의 주파수 마스크는 그림 1[2]과 같다. 통과 대역의 주파수는 3.1~10.6 GHz를 우선 사용하는 것으로 정의하고 있지만 5~6 GHz에서 사용 중인 무선 LAN 때문에 대부분의 나라에서 하위 밴드와 상위 밴드 즉 3.1~5 GHz 그리고 6~10.6 GHz를 목표로 하여 개발이 진행 중이다. CMOS의 공정 특성 때문에 하위밴드(3.1~5 GHz)에 중점을 두고 있다. 특히 UWB 시스템의 두 가지 큰 축은 DS-CDMA UWB와 MB-OFDM UWB로 나눌 수 있다. MB-OFDM UWB의 아날로그 주파수는 512 MHz로써 QPSK modulation을 사용하므로 IQ 각각에 264 MHz씩 사용한다.

현 이동 통신 시스템에서 AGC 기능은 중요 요소로서 시스템 dynamic range를 모두 만족시키기 위해

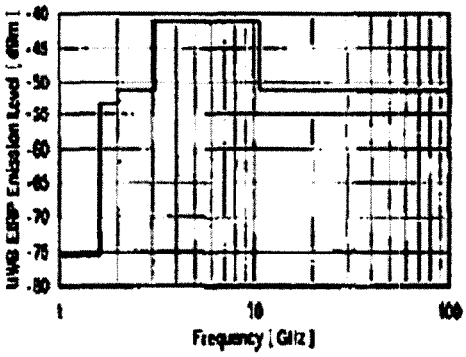


그림 1. FCC가 제안한 주파수 특성
Fig. 1. FCC spectrum mask for indoor.

VGA를 이용하고 있다[3]. VGA에서 이득 조정을 하는 방법은 크게 디지털 조정 신호로 discrete gain step gain 조정[3],[4]과 아날로그 신호를 이용한 continuous gain 조정[5],[6]으로 나눌 수 있다. 본 논문에서는 analog 신호를 이용한 continuous gain 조정 방법을 사용한다. Dynamic range를 고려하여 gain은 45~−6 dB

한국전자통신연구원 무선홈네트워크연구팀(Wireless Home Network Research Team, ETRI)
· 논 문 번 호 : 20041105-06S
· 수정완료일자 : 2004년 12월 13일

를 목표로 하였고 Current bleeding 기술을 사용하여 저 전력, Maximum Gain을 만족하도록 설계하였다. 입출력 임피던스는 down-mixer 출력과 LPF(Low Path Filter) 입력을 고려하여 1 K로 하였다.

Ⅱ. MB-OFDM UWB 시스템

그림 2는 MB-OFDM UWB 통신 시스템의 block diagram이다. UWB 시스템은 크게 송신부, 수신부 그리고 주파수 천이를 위한 신호 발생부로 크게 나눌 수 있다. 본 논문의 VGA는 송신부 및 수신부에 공통적으로 사용이 되지만 특히 수신 Dynamic Range 때문에 수신부의 성능을 만족시키도록 설계하였다.

표 1은 제안된 VGA의 성능을 정리한 것이다.

Link budget을 고려하여 이득 가변은 46 dB 이상이 가능하여야 하고 3 dB Band width는 264 MHz 이상이 되어야 한다. 최대 이득인 경우와 최소 이득인 경우 모든 경우에 IIP3를 만족하여야 한다.

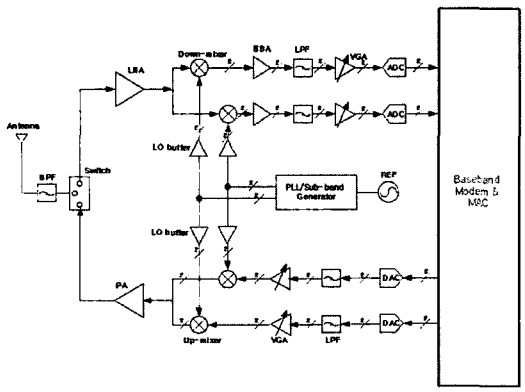


그림 2. MB-OFDM UWB 시스템 블록도
Fig. 2. Block diagram of MB-OFDM UWB communication system.

표 1. VGA 특성 표
Table 1. VGA specification.

Specification	Value
Input Impedance	1 K ohm
Output Impedance	1 K ohm
Maximum Gain	>40 dB
Minimum Gain	< -6 dB
IIP3 at Max. gain	> -56.5 dBm
IIP3 at Min. gain	> -10.5 dBm
3 dB Bandwidth	> 264 MHz

Ⅲ. VGA 설계

본 논문의 VGA는 크게 Gain Cell과 differential Mode DC를 없애기 위한 DC Offset Canceller로 나눌 수 있다.

그림 3은 3-stage로 구성된 Gain Cell이다. Gain Cell은 VGA의 기본 기능인 신호를 증폭하고 또는 감소시키는 역할을 하는 부분으로 입출력 신호의 isolation과 maximum Gain을 40 dB 이상으로 유지하기 위하여 3단으로 구성하였다. 각 stage를 연결할 때 직접 연결을 사용하여 AC coupling용 커패시터 사용을 없앴다. 주파수 특성을 수백 MHz까지 증가시키기 위하여 Cascode 구조를 이용하고, 디지털 회로 부분의 Common mode noise를 감소시키기 위하여 differential 회로 구조를 채택하였다. 고주파 영역에서 이득 및 주파수 특성 보상이 가능한 능동 부하를 사용하였다. 1-stage의 Gain은 식 (1)과 같이 주어진다.

$$Gain = -g_m R_0 \tag{1}$$

단 g_m는 입력 NMOS의 transconductance를 의미하며 바이어스 전류의 양에 비례한다. R_0는 Output Impedance이고 고주파에서 식 (2)와 같다.

$$R_0 = 1/g_{m_p} \tag{2}$$

g_{m_p}는 능동 출력 임피던스에 사용된 PMOS의 transconductance로써 바이어스 전류에 비례하게 되어 결과적으로 R_0는 바이어스 전류에 반비례하게 된다. 그러므로 전체 이득은 전류에 비례하는 항(g_m)과 반비례하는 항(R_0)의 곱으로 표현되므로 이득을 증가시키기 위하여 current bleeding technique를 사용하여 Output Impedance 증가를 이용하여 전체 이득을 향상시켜서 전체적인 이득을 증가시켰다.

VGA 이득을 변경하기 위하여 입력을 변경시키고 또한 바이어스 전류를 변경시키는 방법을 모두 사용하여 dynamic rang를 크게 하였다.

그림 4는 Differential mode DC offset을 없애기 위하여 사용되는 DC offset canceller이다. 그림 4를 Block diagram으로 표시하면 그림 5와 같이 표현된다. Gain cell의 출력 신호를 증폭하여 DC 성분만을 통과시키는 LPF를 통과 후 DC V-I converter를 통과

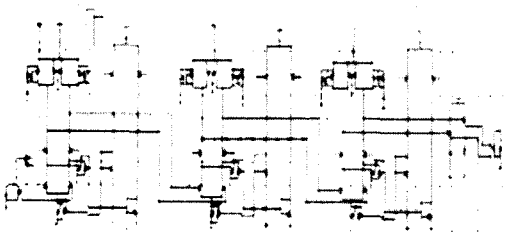


그림 3. 3단 게인 셀
Fig. 3. 3-stage gain cell.

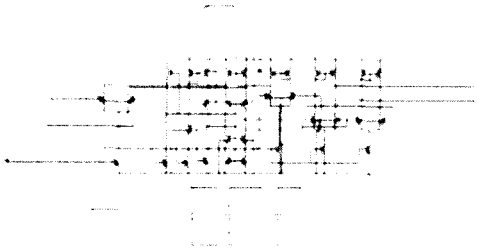


그림 4. DC 전압 제거기
Fig. 4. DC offset canceller.

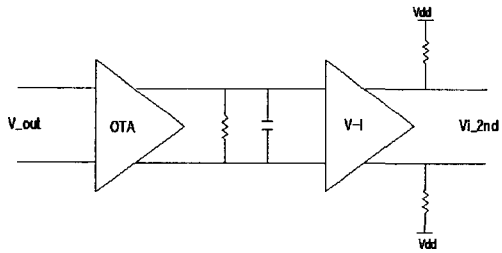


그림 5. DC offset canceller 블록도
Fig. 5. Block diagram of DC offset canceller (OTA: operational transconductance amplifier, V-I: Voltage to current converter).

후 Gain cell의 두 번째 단 입력으로 feed back한다.

Ⅳ. Simulation 결과

VGA는 Gain의 변동과 사용 가능한 주파수 범위가 중요한 요소이다. 또한 linearity 특성을 확인하기 위하여 보통 IIP3을 이용하여 검정하게 된다.

그림 6은 시스템의 dynamic range에 관계된 조정 전압에 의한 이득 변화를 보여주는 simulation 결과이다. 조정 전압이 0.9 V~1.7 V로 변할 때 Gain이 -30 dB에서 45 dB까지 변함을 알 수 있다. DC에서 1 MHz까지 주파수 범위에서 이득이 마이너스가 되

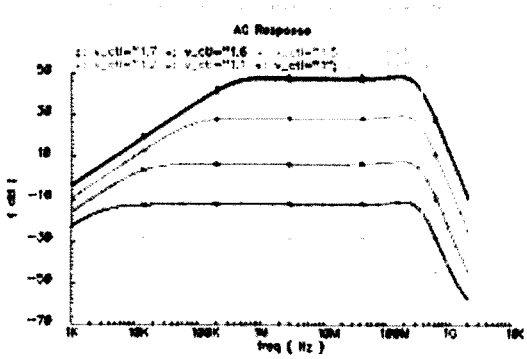


그림 6. 조정 전압에 의한 이득 변화 곡선
Fig. 6. Gain variation by control voltage.

는 이유는 DC offset canceller에 의해서 DC 부근의 신호가 negative feedback되기 때문이다.

MB-OFDM UWB의 Base-band 신호의 Bandwidth인 264 MHz 이상의 밴드를 본 논문에서 사용된 VGA가 만족함을 보여주는 simulation 결과는 그림 7과 같다. 3 dB Bandwidth는 약 312 MHz 이상으로 원하는 시스템 성능을 만족함을 알 수 있다. 200 MHz 부근에서 이득이 약간 커지는 현상은 Bandwidth를 증가시키기 위하여 피킹을 사용한 결과이다. VGA의 선형성을 표현하는 가장 일반적인 방법이 IIP3를 통한 방법이다. IIP3의 경우, 이득이 높은 경우보다 일반적으로 이득이 낮은 경우 특히 마이너스 이득을 가질 경우가 만족시키기가 더욱 어렵다. 그림 8은 Maximum 이득일 때와 Minimum 이득일 대의 IIP3를 보여 주고 있다. Maximum gain(45 dB)일 때 -53 dBm 그리고 Minimum gain(-6 dB)일 때 -3.2 dBm으로 표 1에서의 시스템의 성능을 만족함을 알 수

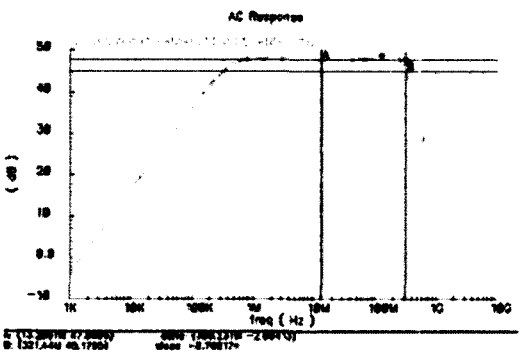


그림 7. 밴드 위더스 특성
Fig. 7. Bandwidth of VGA.

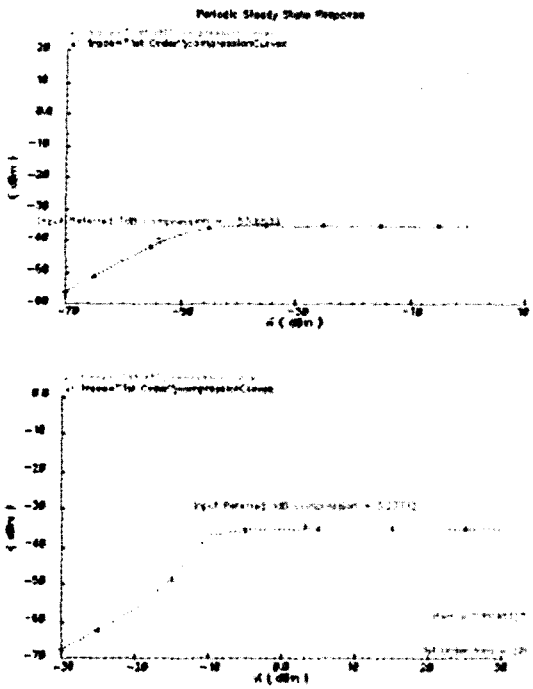


그림 8. IIP3 simulation 결과(위: 최대 이득 시, 아래: 최소 이득 시)
Fig. 8. Simulation result of IIP3(up: maximum gain, low: minimum gain).

있다.

VGA의 입력 임피던스는 입력 저항에 의해 결정되므로 문제가 되지 않지만 출력 임피던스를 1 K ohm으로 만족시키기 위해서는 임피던스 매칭 회로가 필요하게 된다. 본 논문에서는 source degeneration 회로를 이용하여 임피던스 매칭 회로가 구현된다. 시뮬레이션 결과는 그림 9와 같이 998~999 Ohm으

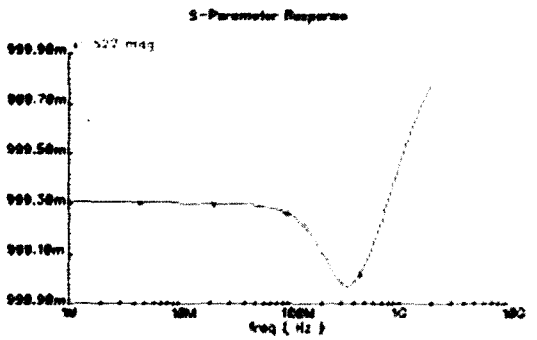


그림 9. 출력 임피던스 시뮬레이션 결과
Fig. 9. Simulation result of output impedance.

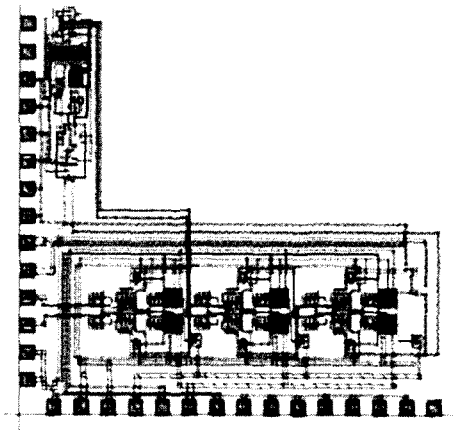


그림 10. VGA 레이아우트
Fig. 10. Layout of VGA.

로 역 2 %의 오차가 있음을 알 수 있다.

V. 결 론

본 논문에서는 MB-OFDM UWB용 VGA의 필요 성능과 설계 및 simulation 결과를 보였다. 사용 가능한 설계된 VGA의 Gain Range는 45 dB에서 -6 dB 이고 Bandwidth는 312 MHz 이상임을 simulation을 이용하여 확인하였다. 사용 가능한 선형 구간은 입력 전력이 -53 dBm(45 dB gain일 때)와 -3.2 dBm(-6 dB Gain일 때)였다. 입출력 임피던스는 2 % 오차 내에서 1 K ohm을 만족하였다.

본 논문의 VGA Layout는 그림 10과 같이 크기 1,715 μm×1,718 μm로 구현하였다.

참 고 문 헌

[1] Federal Communications Commission, "In the matter of revision of part 15 of the commission's rules reading", Sep. 2002.

[2] http://ftp.fcc.gov/oet/info/rules/part15.

[3] H. O. Elwan, M. Ismail, "Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications", *IEEE Trans. on Circuit and System-II*, vol. 47, no. 5, pp. 388-398, May 2000.

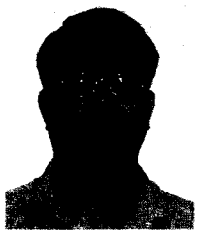
[4] F. Piazza, P. Tsivis, "A 2 mA/3 V 71 MHz IF amplifier in 0.4 μm CMOS programmable over range", *ISSCC 1997 Dig. Tech. Papers*, pp. 78-79, Feb.

1997.

[5] W. C. Song, C. J. Cho, "High frequency/high dynamic range CMOS VGA", *Electrical Letters*, vol. 35, pp. 1942-1948, Dec. 2000.

[6] J. K. Keon, D. D. Kim, "Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications", *Electrical Letters*, vol. 39, no. 10, pp. 759-760, May 2003.

이 승 식

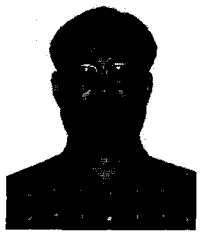


1996년 2월: 경북대학교 전자공학과 (공학사)
1998년 2월: 경북대학교 전자공학과 (공학석사)
1998년 3월~2000년 7월: LG전자 연구원
2000년 8월~현재: 한국전자통신연구원 선임연구원
[주 관심분야] RF Transceiver architecture, RFIC

박 봉 혁

1996년 2월: 경북대학교 전기공학과 (공학사)
1998년 8월: 광주과학기술원 기전공학과 (공학석사)
1998년 8월~1999년 6월: Ansoft Co. Application Engineer
1999년 6월~현재: 한국전자통신연구원 선임연구원
[주 관심분야] RF Transceiver architecture, RFIC

김 재 영



1990년 2월: 연세대학교 전자공학과 (공학사)
1992년 2월: 연세대학교 전자공학과 (공학석사)
1996년 8월: 연세대학교 전자공학과 (공학박사)
1996년 8월: 대우전자 선임연구원
1999년 3월~현재: 한국전자통신연구원 선임연구원
[주 관심분야] UWB 통신 시스템, RFIC 설계

최 상 성

1977년 2월: 한양대학교 무선통신공학과 (공학사)
1979년 2월: 고려대학교 전자공학과 (공학석사)
1991년 6월: Ohio University (이학석사)
2000년 5월: University of Wyoming (공학박사)
2000년 11월~현재: 한국전자통신연구원 무선홈네트워크 연구팀 팀장
[주 관심분야] UWB 통신 시스템, 신호처리, 스펙트럼공학, 전파간섭분석