

## PbO 완충층을 이용한 Pt/Pb<sub>1.1</sub>Zr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub>/PbO/Si (MFIS)의 미세구조와 전기적 특성

박철호 · 송경환 · 손영국<sup>†</sup>

부산대학교 재료공학부

(2004년 10월 4일 접수; 2004년 11월 18일 승인)

### Microstructure and Electrical Properties of the Pt/Pb<sub>1.1</sub>Zr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub>/PbO/Si (MFIS) Using the PbO Buffer Layer

Chul-Ho Park, Kyoung-Hwan Song, and Young-Guk Son<sup>†</sup>

School of Materials Science and Engineering, Pusan National University, Busan 609-735, Korea

(Received October 4, 2004; Accepted November 18, 2004)

#### 초 록

PbO 완충층의 역할을 확인하기 위해, r.f. magnetron sputtering법을 이용하여 p-type (100) Si 기판 위에 Pb<sub>1.1</sub>Zr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub>와 PbO target으로 Pt/PZT/PbO/Si의 MFIS 구조를 제조하였다. MFIS 구조에 완충층으로 PbO를 삽입함으로써 PZT 박막의 결정성이 크게 향상되었고, 박막의 공정온도도 상당히 낮출 수 있었다. 그리고 XPS depth profile 분석 결과, PbO 증착시 기판온도가 PbO와 Si의 계면에서 Pb의 확산에 미치는 영향을 확인하였다. PbO 완충층을 삽입한 MFIS는 높은 메모리 윈도우와 낮은 누설전류 밀도를 가지는 우수한 전기적 특성을 나타내었다. 특히, 기판온도 300°C에서 증착된 PbO를 삽입한 Pt/PZT(200 nm, 400°C)/PbO(80 nm)/Si는 9 V의 인가전압에서 2.0 V의 가장 높은 메모리 윈도우 값을 나타내었다.

#### ABSTRACT

To study the role of PbO as the buffer layer, Pt/PZT/PbO/Si with the MFIS structure was deposited on the p-type (100) Si substrate by the r.f. magnetron sputtering with Pb<sub>1.1</sub>Zr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub> and PbO targets. When PbO buffer layer was inserted between the PZT thin film and the Si substrate, the crystallization of the PZT thin films was considerably improved and the processing temperature was lowered. From the result of an X-ray Photoelectron Spectroscopy (XPS) depth profile result, we could confirm that the substrate temperature for the layer of PbO affects the chemical states of the interface between the PbO buffer layer and the Si substrate, which results in the inter-diffusion of Pb. The MFIS with the PbO buffer layer show the improved electric properties including the high memory window and low leakage current density. In particular, the maximum value of the memory window is 2.0V under the applied voltage of 9V for the Pt/PZT(200 nm, 400°C)/PbO(80 nm)/Si structures with the PbO buffer layer deposited at the substrate temperature of 300°C.

**Key words :** Pb<sub>1.1</sub>Zr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub> thin film, PbO buffer layer, MFIS structure, Ferroelectric properties, Ferroelectric random access memory

#### 1. 서 론

최근 PbZrTiO<sub>3</sub> (PZT), SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> (SBT), BaSrTiO<sub>3</sub> (BST)와 같은 perovskite 구조의 강유전체 재료를 sol-gel, laser ablation, MOCVD, sputtering 등의 방법을 사용하여 박막을 증착하여 박막기억소자로 이용하려는 연구가 활발히 진행되고 있다.<sup>1,2)</sup> 강유전체를 이용한 박막 기억소자에는 분극 특성을 이용해 정보를 저장하는 FRAM(Ferroelectric Random Access Memory), MFSFET(Metal Ferroelectric

Semiconductor Field Effect Transistor)과 고유전율을 이용해 높은 유효 전하량(effective charge density)으로 정보를 저장하는 DRAM(Dynamic Random Access Memory) 등이 사용되고 있다.<sup>3,4)</sup> 강유전체의 분극 반전과 그 이력 특성을 이용한 비휘발성 메모리 소자는 기존의 EEPROM, Flash 메모리 소자에 비해 동작 속도가 빠르고, 전력 소비가 적으며, 정보의 처리가 더 안정적이다. 또한 집적화와 동작면에서도 우수하여 기존의 DRAM이 차지하고 있는 영역을 대체 할 수 있으리라 기대된다.

현재 널리 연구되고 있는 제품화에 가까운 FRAM의 구조는 DRAM의 capacitor 부분을 강유전체 박막으로 대체한 메모리 소자이다. 이러한 구조의 FRAM은 기존의 DRAM 구조와 거의 같은 구조를 가지고 있기 때문에 사

<sup>†</sup>Corresponding author : Young-Guk Son  
E-mail : ykson@pusan.ac.kr  
Tel : +82-51-510-2445 Fax : +82-51-512-0528

용되고 있는 공정순서의 큰 변화 없이 소자를 제작할 수 있으나, 소자 면적의 증가, 공정상의 복잡성, 정보를 읽는 과정에서 기억된 정보가 파괴(DRO) 되는 근본적인 문제점을 안고 있다. 반면 금속-강유전체-반도체 구조의 전계 효과 트랜지스터(MFSFET)형 FRAM은 transistor의 gate insulator 물질을 강유전체 물질로 이용한 소자로 정보를 비파괴적(NDRO)으로 계속 읽을 수 있고, 빠른 구동 속도, 고집적화에 유리한 장점이 있다.<sup>5)</sup> 그러나 Ferroelectric/Si 구조의 제작과정에서 강유전체 물질과 Si과의 반응으로 인해 계면상태가 나빠지고, 강유전체 물질과 Si의 고유한 특성이 저하되는 문제점을 안고 있다.<sup>6)</sup> 특히 Pb 계열의 PZT와 같은 강유전체 박막은 Si와 쉽게 반응하며, 500°C 정도의 낮은 온도에서도 PZT/Si 계면에서 Pb와 Si의 상호 확산이 쉽게 일어나는 현상이 잘 알려져 있다. 따라서 이러한 문제를 해결하기 위해 강유전체 박막과 Si 사이에 절연층을 형성한 금속-강유전체-절연층-반도체 전계 효과 트랜지스터(MFISFET) 구조가 제안 되었다. MFISFET 구조를 위한 절연층으로 Y<sub>2</sub>O<sub>3</sub>, CeO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, STO, MgO 등의 물질을 이용한 연구가 활발히 진행되고 있다.<sup>7,8)</sup> 이러한 MFISFET 소자의 동작 전압 감소, 용이한 공정, 안정적인 동작을 위해선 절연층과 Si의 계면 특성이 우수해야 하고, 절연층의 유전을 또한 커야 한다. 특히 절연층은 강유전체 물질과 Si 간의 반응을 효과적으로 막아야 한다.

본 연구에서는 r.f. magnetron sputtering법<sup>9)</sup>을 이용하여 MFIS 구조에 절연층으로 PbO를 삽입함으로써 PZT 박막과 실리콘 기판 사이의 확산을 막고, PZT 박막에 핵 생성 사이트를 제공하여 PZT 박막의 공정온도를 낮추어 우수한 계면 특성과 전기적 특성을 갖는 고성능의 FRAM용 기억소자를 제작하고자 한다.

## 2. 실험 방법

본 실험에서는 p-type Si(100) 웨이퍼를 1.5×1 cm의 크기로 절단하고, RCA 세정법으로 시편의 불순물과 금속 오염물을 제거하였다. 그 다음 Si 웨이퍼 위에 SiO<sub>2</sub> 층을 제거하기 위해 HF(50%)와 DI-water를 1:50으로 혼합한 용액으로 세정하고, 알코올로 세척하였다. 준비한 Si 웨이

퍼 위에 r.f. magnetron sputtering 법으로 PbO, PZT, Pt를 차례로 증착하였다.

PbO 절연층은 Si(100) 기판위에 r.f. magnetron sputtering 법을 이용하여 두께를 80 nm으로 증착하였다. 이때 아르곤과 산소의 분압비를 9:1로, r.f. power는 80 W로 고정하였으며, 기판온도는 250, 300, 400, 500°C으로 변화를 주어 증착하였다.

PZT 박막은 기판온도 변화에 따라 증착된 PbO/Si 기판 위에 r.f. magnetron sputtering법을 이용하여 두께를 200 nm으로 증착하였다. 이때 아르곤과 산소의 분압비를 9:1로, r.f. power는 120 W, 기판온도는 400°C로 고정하여 증착하였다. 그리고 PZT 박막은 Pb의 휘발을 억제하고, 계면 확산을 막기 위해 열처리 과정을 행하지 않고 순수한 기판 온도만으로 박막을 결정화 하였다.

상부전극 Pt는 아르곤 분위기에서 전기적 단락을 방지하고, 박막에 손상을 주지 않기 위해 다른 박막의 증착조건 보다 낮은 40 W에서 60 nm의 두께로 증착하였다. Pt는 mask patterning법으로서 형태는 직경 750 μm의 원형이었다. 자세한 증착조건은 Table 1에 나타내었다.

증착한 시편의 결정화를 조사하기 위해 XRD(X-Ray Diffraction, Rigaku, Japan)분석을 행하였다. 이때 사용한 X-선은 32.5 kV, 25 mA, Ni 필터를 사용한 Cu Kα선 (λ=1.5405Å)이다.

표면에서의 미세 구조 변화 및 두께를 관찰하기 위해 주사전자현미경(Field Emission Scanning Electron Microscope, Hitachi S-4200, Japan)을 사용하였으며 Mechanical Stylus (Tenkor α-step, USA)를 이용하여 두께 관찰을 병행하였다.

박막의 조성을 확인하기 위해 시편 두께 5 μm를 Electron Probe Micro-Analysis(EPMA-1600, Japan)를 사용하여 분석하여 온도에 따른 Pb의 휘발량과 PbO 완충층에 의해 Pb의 휘발억제 효과 및 박막의 조성을 확인하였다.

PbO와 Si 및 PbO와 PZT의 계면에서의 화학적 결합상태를 관찰하기 위해서 XPS(X-ray Photoelectron Spectroscopy, ESCALAB 250 XPS Spectrometer, VG Scientific)를 사용하였다. X-ray source로는 단색화된 Al Kα를 사용했으며 15 kV, 55 W, 250 μm 크기의 X-ray beam을 사용하였다. 에칭을 위해서 3 kV의 argon ion gun으로 30초당 한

**Table 1.** Experimental Condition for the Deposition of PbO, PZT, and Pt Thin Films

Target	PbO	PZT	Pt
Base pressure	$1.5 \times 10^{-5}$ Torr	$1.5 \times 10^{-5}$ Torr	$1.5 \times 10^{-5}$ Torr
Working pressure	$1.2 \times 10^{-2}$ Torr	$1.2 \times 10^{-2}$ Torr	$1.2 \times 10^{-2}$ Torr
Gas ratio	Ar : O <sub>2</sub> = 9 : 1	Ar : O <sub>2</sub> = 9 : 1	Ar
R.F. power	80 W	120 W	40 W
Film thickness	80 nm	200 nm	60 nm
Substrate temperature	250~400°C	400°C	R. T.

번씩의 에칭을 하였으며 charge에 의한 에너지 오차를 막기 위해서 two flood gun을 이용하였다.

PbO의 기판온도에 따른 MFIS 구조의 C-V특성을 알아보기 위해서 1 MHz에서 Impedance analyzer HP 4192A를 사용하였다. 그리고 I-V 특성은 Keithley 237를 이용하여 측정하였다.

### 3. 결과 및 고찰

#### 3.1. PbO 완충층과 PZT 박막의 미세구조

Fig. 1은 Si기판온도에 따른 PbO 박막의 XRD 패턴을 나타낸 그림이다. 기판온도 300°C 이하의 온도에서는 PbO의 저온상인 α-PbO<sub>2</sub>와 PbO 상이 공존하다가 350°C 이상

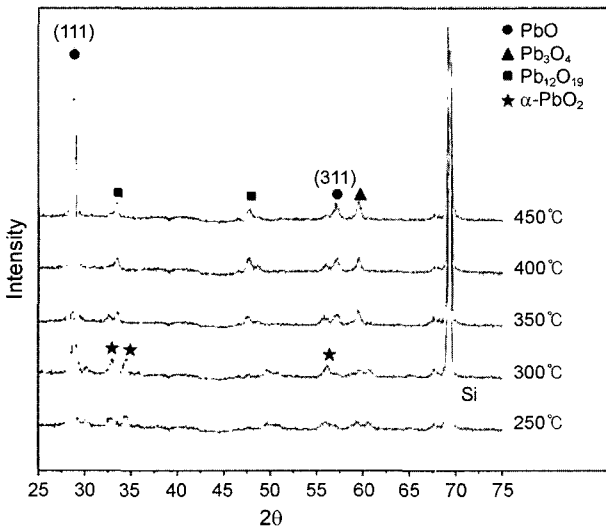


Fig. 1. The XRD patterns of PbO thin films deposited on the Si substrate at the various substrate temperatures.

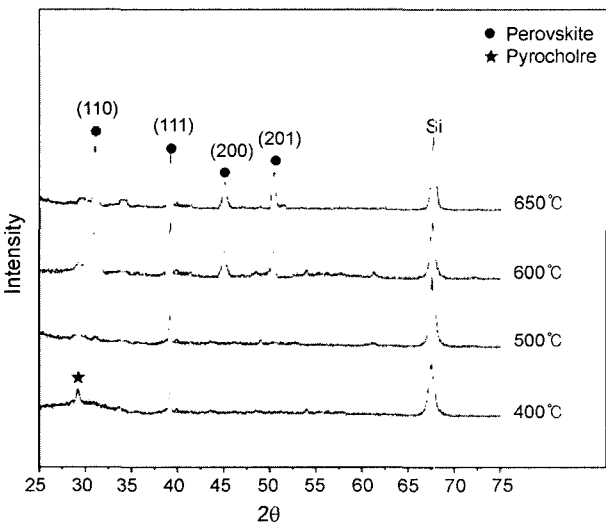


Fig. 2. The XRD patterns of PZT thin films deposited on the Si substrate at the various substrate temperatures.

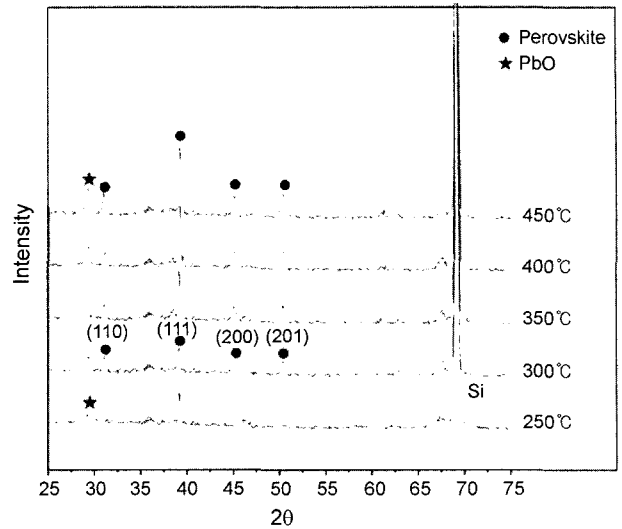


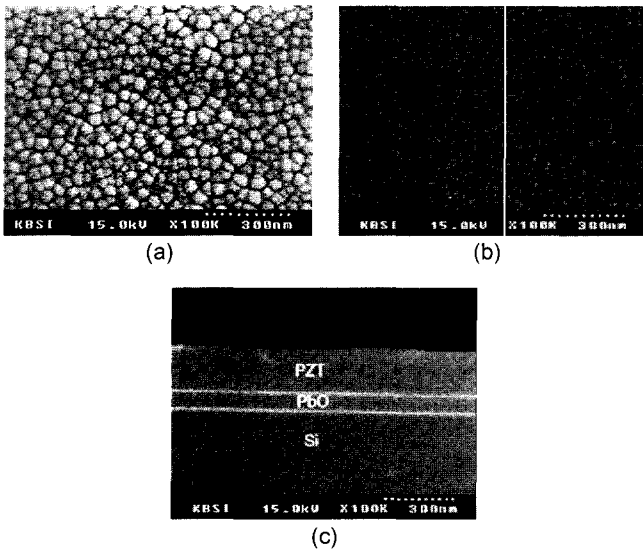
Fig. 3. The XRD patterns of the PZT(400°C)/PbO/Si structures with the different substrate temperatures of the PbO buffer layer.

의 기판온도에서는 비교적 높은 온도에서 안정한 Pb<sub>3</sub>O<sub>4</sub>, Pb<sub>12</sub>O<sub>19</sub>의 고온상과 PbO상이 공존하고 있음을 알 수 있다.

Fig. 2는 기판온도에 따른 PZT 박막의 XRD 패턴을 나타낸 그림이다. 기판온도 500°C 이하의 온도에서는 단지 pyrochlore상과 perovskite (111)면만 공존하고 있으며, 기판온도 600°C에서는 perovskite 결정면 (111) 이외에 (200), (201)면도 성장하여 있으나 아직까지 pyrochlore상이 공존하고 있다가 650°C의 기판온도에서는 pyrochlore상이 거의 완전한 perovskite상으로 상변태가 일어남을 알 수 있다.<sup>10)</sup>

Fig. 3은 각기 다른 Si 기판온도에서 얻어진 PbO 박막 위에 400°C에서 증착한 PZT 박막의 XRD 패턴을 나타낸 그림이다. 300°C 이상에서 증착한 PbO 박막에서 완전한 PZT 박막의 결정면이 성장하였음을 알 수 있다. 이는 Fig. 2과 비교할 때 PbO가 삽입된 PZT 박막은 결정화 온도가 상당히 낮아졌음을 알 수 있다. 이는 PbO층이 PZT perovskite 상의 핵 생성 자리의 제공 및 활성화 에너지를 낮추었기 때문으로 생각된다.<sup>11)</sup>

Fig. 4는 Si 기판에서 성장한 PZT 박막의 표면 및 300°C에서 증착한 PbO 위에 400°C에서 형성시킨 PZT 박막의 표면 및 횡단면을 나타낸 그림이다. Fig. 4(a)는 기판온도에 따른 PZT 박막의 미세구조를 나타내는 표면 사진이다. Fig. 1의 결과와 같이 650°C 이상의 온도에서 완전한 결정이 성장하였음을 알 수 있다. 이에 비해 PbO층이 들어간 PZT 박막은 기판온도 Fig. 3의 결과와 같이 400°C에서 결정화가 된 것을 보여주고 있다. 그리고 완충층이 삽입되지 않은 PZT와 비교할 때, PbO 완충층이 삽입된 PZT 박막의 결정립의 크기가 감소하였음을 알 수 있다. 이는 PbO 완충층이 PZT 박막의 핵생성 자리를 제공하는 seed 층으로 역할을 하였기 때문이다. Fig. 4(c)는 PZT(400°C)/



**Fig. 4.** The SEM micrographs of the PZT(650°C)/Si and PZT(400°C)/PbO(300°C)/Si structures. (a) the surface image of the PZT(650°C)/Si structure, (b) the surface image of the PZT(400°C)/PbO(300°C)/Si structures, and (c) the cross sectional image of the PZT(400°C)/PbO(300°C)/Si structures.

**Table 2.** EPMA of PZT/Si and PZT/PbO/Si Deposited at Substrate Temperature of 650°C

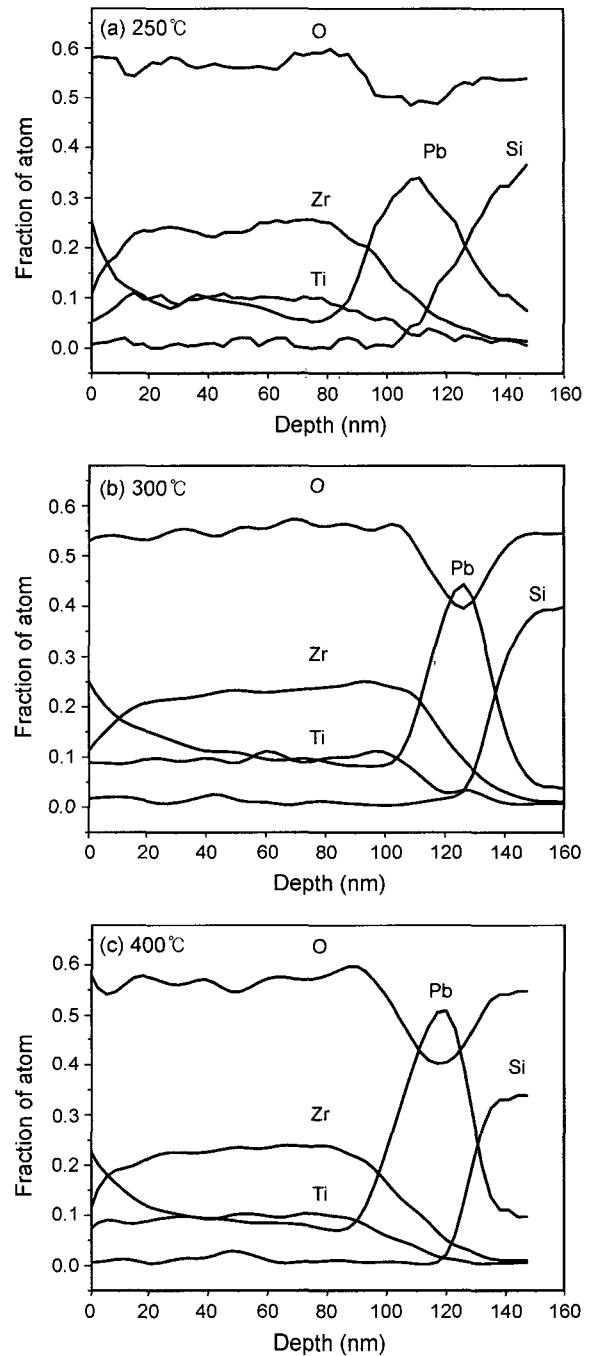
	PZT	PZT/PbO
Pb	16.433 mol%	18.864 mol%
Zr	10.863 mol%	10.542 mol%
Ti	10.794 mol%	10.443 mol%
O	61.910 mol%	60.151 mol%

PbO(300°C)/Si 구조의 횡단면을 나타낸 사진이다. Fig. 4(c)에서 PZT, PbO, Si 층은 각각 독립적으로 존재하고 있음을 알 수 있다.

Table 2는 기판온도 650°C에서 증착된 PZT 박막과 300°C에서 PbO 완충층을 삽입한 후 650°C에서 증착된 PZT 박막의 표면조성을 나타내는 EPMA 측정결과이다. PbO 완충층을 삽입한 경우 Pb의 휘발이 억제되는 것을 알 수 있다. Pb의 휘발은 PZT 표면 위보다 Si와 PZT 계면 사이에서 더욱 심하다고 보고된 바 있는데 치밀화된 완충층이 계면에서 발생하는 Pb의 휘발을 억제하고, 증착 초기에 스퍼터된 Pb 입자와 반응하여 Pb 밀도를 증가시켜 PZT perovskite 상의 핵 생성 자리를 증가시켰기 때문에 Pb의 휘발을 억제한 것으로 사료된다.<sup>11)</sup>

### 3.2. MFIS 구조의 계면상태 분석

PbO 증착시 기판온도가 PZT/PbO/Si 구조의 계면상태에 미치는 영향을 조사하기 XPS 분석을 하였다. Depth profiling



**Fig. 5.** The XPS depth profiles of PZT(400°C)/PbO(Ar : O<sub>2</sub>= 9 : 1)/Si structure with the PbO buffer layer deposited at the various substrate temperatures.

은 3 keV의 argon ion gun으로 에칭하여 분석하였다.

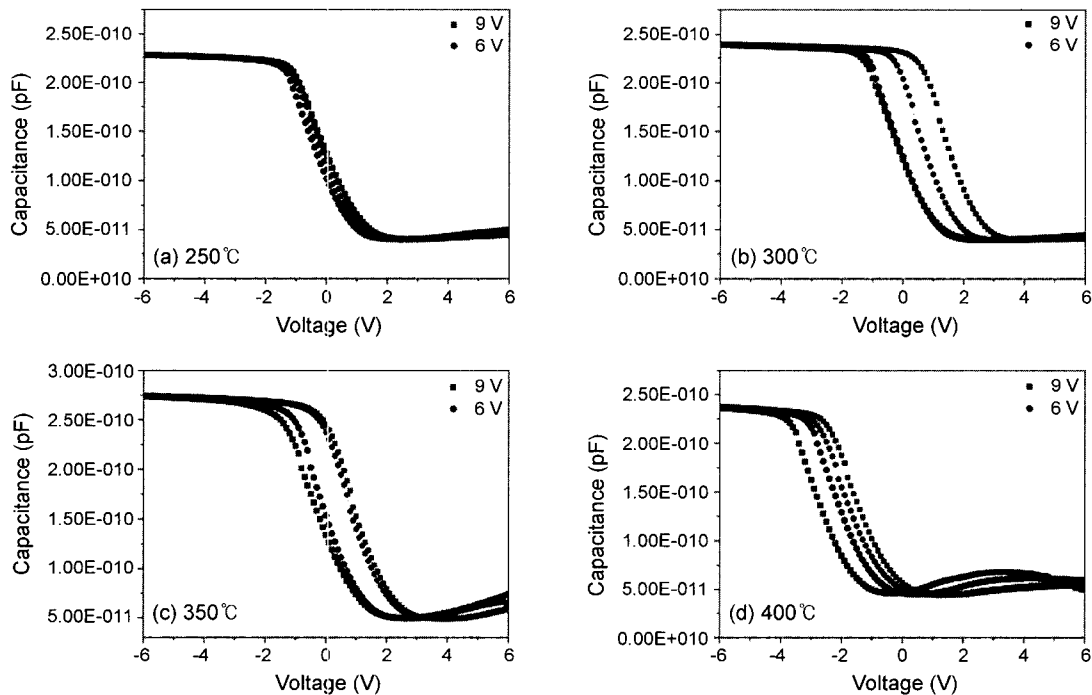
Fig. 5는 PbO의 다양한 기판온도에 따른 PZT(400°C)/PbO(Ar : O<sub>2</sub>=9 : 1)/Si 구조의 depth profile이다. 이때 PbO 완충층은 각각 기판온도 250°C(Film I, Fig. 5(a)), 300°C(Film II, Fig. 5(b)), 400°C(Film III, Fig. 5(c))에서 증착되었다. 모든 depth profile은 다음과 같이 PZT 박막의 표면, PZT

박막, PZT와 PbO 계면, PbO 완충층, PbO와 Si 기판의 계면, Si 기판의 표면 등 6가지 영역으로 나눌 수 있다. 모든 샘플에서 PZT 박막의 표면영역에 많은 Pb가 존재하고 있음을 알 수 있다. 이는 PZT 박막의 표면에 Pb가 석출되었기 때문이다. Fig. 5에서 보듯이 10–80 nm의 깊이 까지 PZT 박막을 구성하는 모든 원소들은 정상상태를 유지하고 있다. 이때 깊이는 3 kV와 10.5 mA의 조건하에서 Ar ion gun을 이용해 3 nm/min로 식각되는 Ta<sub>2</sub>O<sub>5</sub>의 식각물을 이용하여 보정하였다. 낮은 기판온도 250°C에서 증착된 Film I은 상대적으로 높은 300°C 이상의 기판온도에서 제조된 Film II와 Film III에 비해 다른 양상을 보인다. 특히, PbO층에 존재하는 Pb, Zr, Ti, O 원소가 큰 차이를 보인다. Film I에서 PZT의 두께는 약 80–100 nm로 Film II와 Film III에 비해 상대적으로 얇은 반면 PZT와 Si 사이의 PbO층의 두께는 약 70 nm로 상대적으로 두꺼운 것을 알 수 있다. 이는 Film I안의 PbO가 PZT와 Si 기판으로 확산되었음을 의미한다. 이것은 250°C에서 증착된 PbO는 비정질 상태로 존재하여 확산방지막으로 역할을 하지 못하였으며, 이에 반해 Fig. 1에서 알 수 있듯이 300°C에서 증착된 PbO는 결정질 상태로 존재하여 PZT 박막의 확산을 효과적으로 차단하였기 때문으로 사료된다. PZT 층 내부에 존재하는 각 원소의 상태는 PbO 기판온도에 관계없이 비슷한 양상을 보이나, Film II와 Film III에 존재하는 PbO의 두께는 40 nm로 Film I에 비해 상대적으로 얇은 층을 형성하고 있다. 그리고 Film I과 Film

III에서 10%의 Pb가 PbO/Si 계면 영역으로 침투함에 비해 Film II의 Pb는 상대적으로 작은 양인 5%가 침투됨을 알 수 있다. 이는 300°C에서 증착된 PbO층은 결정질 상태로 존재하지만 기판온도 250°C에서 증착된 PbO 층은 비결정질 상태로 존재하기 때문에 Si와 쉽게 반응하여 PbO/Si 계면영역으로 Pb가 침투하고, 400°C에서 증착된 PbO는 높은 기판온도로 인한 열확산 때문에 Film II 보다 많은 양의 Pb가 PbO/Si 계면으로 침투하는 것으로 사료된다.

### 3.3. PbO 박막의 기판온도에 따른 MFIS 구조의 전기적 특성

Fig. 6은 PbO 박막의 기판온도에 따른 Pt/PZT(400°C)/PbO/Si 구조의 C-V 특성을 나타낸 그림이다. 인가전압이 증가하면 PZT 박막의 분극값과 항진값이 증가하게 되어 이력곡선의 폭인 메모리 윈도우 값이 증가하는데, 기판온도 300°C에서 80 nm로 증착된 PbO 완충층 위에 증착된 PZT 박막은 메모리 윈도우 값이 2.0 V로 가장 높은 값을 나타내고 있다. 이는 Fig. 3에서 알 수 있듯이 250°C 이하의 기판온도에서 증착된 PbO 완충층 위에 형성시킨 PZT 박막은 기판온도 400°C에서 완전히 결정화가 일어나지 않았기 때문에 낮은 메모리 윈도우 값을 나타내며, 반면 PbO의 기판온도가 300°C 이상의 온도에서 증착된 PZT 박막은 완전히 결정화가 일어났기 때문에 250°C에 비해 높은 메모리 윈도우 값을 나타내게 된다. 그리고 Fig. 6 (b), (c), (d)에서 알 수 있듯이 PbO 박막의 기판온도가 증



**Fig. 6.** The C-V characteristics of the Pt/PZT(400°C)/PbO(80 nm)/Si structures with the different substrate temperatures of the PbO buffer layer.

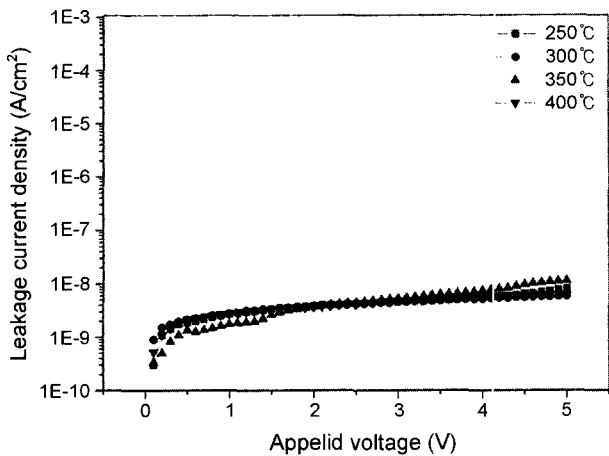


Fig. 7. The I-V characteristics of the Pt/PZT(400°C)/PbO(80 nm)/Si structures with the different substrate temperatures of the PbO buffer layer.

가할수록 메모리 윈도우 값이 감소함을 알 수 있다. 이는 PbO 기판온도가 증가할수록 상대적으로 많은 양의 Pb가 PbO/Si 계면영역으로 확산되기 때문이다.

Fig. 7은 PbO 박막의 기판온도에 따른 Pt/PZT/PbO/Si 구조의 I-V 특성을 나타낸 그림이다. PbO의 기판온도 증가에 따른 MFIS 구조의 누설 전류 밀도는 큰 변화가 없었다.

#### 4. 결 론

본 연구에서는 PZT 박막과 Si 기판 사이에 PbO 완충층을 삽입한 Pt/PZT/PbO/Si의 MFIS 구조를 제작하여 미세구조와 전기적인 특성에 관해 조사하여 다음과 같은 결론을 얻었다.

1. p-type (100) Si 기판 위에 r.f. magnetron sputtering 법을 이용하여 증착시킨 PZT 박막은 기판온도 650°C에 완전한 perovskite 구조를 갖는 반면, PbO 완충층 위에 형성시킨 PZT 박막은 보다 낮은 온도인 400°C에서도 결정화가 일어났다. 이는 PbO 완충층은 PZT 박막과 Si 기판 사이의 계면확산 방지막뿐만 아니라 PZT 박막의 핵 생성 사이트로서 역할을 하여 박막의 결정화 온도를 상당히 낮추었음을 알 수 있었다.

2. PZT와 Si 기판 사이에 PbO 완충층을 삽입함으로써 PZT 박막의 결정화 온도를 낮추었기 때문에 상대적으로 Pb의 휘발이 줄어들었다.

3. 300°C에서 증착된 PbO 완충층은 결정질 상태로 존

재하지만 기판온도 250°C에서 증착된 PbO 완충층은 비 결정질 상태로 존재하여 Si와 쉽게 반응하고, 400°C에서 증착된 PbO 완충층은 높은 기판온도로 인한 열확산 때문에 많은 양의 Pb가 PbO/Si 계면으로 침투하였다.

4. 300°C에서 증착한 PbO 완충층 위에 기판온도 400°C로 증착된 PZT 박막이 2V로 가장 높은 메모리 윈도우 값을 나타내었다.

#### REFERENCES

1. J. F. Scott and C. A. P. Araujo, "Ferroelectric Memories," *Science*, **246** 1400-05 (1989).
2. H. D. Chen, K. R. Udayakumar, C. J. Gaskey, and L. E. Cross, "Electrical Properties' Maxima in Thin Films of the Lead Zirconate-Lead Titanate Solid Solution System," *Appl. Phys. Lett.*, **67** 3411-13 (1995).
3. T. Hirai, K. Teramoto, T. Goto, and Y. Tarui, "Formation of Metal/Ferroelectric/Insulator/Semiconductor Structure with a CeO<sub>2</sub> Buffer Layer," *Jpn. J. Appl. Phys.*, **33** Part 1[9b] 5219-22 (1994).
4. E. Tokumitsu, K. Itani, B. K. Moon, and H. Ishiwara, "Crystalline Quality and Electrical Properties of PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub> Thin Films Prepared on SrTiO<sub>3</sub>-Covered Si Substrates," *Jpn. J. Appl. Phys.*, **34** 5202-06 (1995).
5. J. L. Moll and Y. Tarui, "A New Solid State Resistor," *IEEE Trans. Electron Devices*, **ED-10** 338-43 (1963).
6. D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinharoy, H. Buhay, P. Brabant, and Y. M. Liu, "Process Integration of the Ferroelectric Memory FETs for NDRO FERAM," *Ferroelectrics*, **133** 61-72 (1992).
7. N. A. Basit and H. K. Kim, "Growth of Highly Oriented Pb(Zr,Ti)O<sub>3</sub> Films on MgO-Buffered Oxidized Si Substrates and Its Application to Ferroelectric Nonvolatile Memory Field-Effect Transistors," *Appl. Phys. Lett.*, **73** 3941-43 (1998).
8. T. Hirai, K. Teramoto, K. Nagashima, H. Koike, and Y. Tarui, "Characterization of Metal/Ferroelectric/Insulator/Semiconductor Structure with CeO Buffer Layer," *Jpn. J. Appl. Phys.*, **34** 4163-66 (1995).
9. Y. G. Son, "Electrical Properties of Ba<sub>0.5</sub>Sr<sub>0.5</sub>TiO<sub>3</sub> Thin Film with Various Heat Treatment Conditions," *J. Kor. Ceram. Soc.*, **38** [5] 492-98 (2001).
10. W. Wang, Z. Chen, M. Adachi, and A. Kawabata, "Preparation of Zr-Rich PZT and La-Doped PbTiO<sub>3</sub> Thin Films by R. F. Magnetron Sputtering and Properties for Pyroelectric Application Vapor Deposition (MOCVD)," *Integrat. Ferroelectr.*, **12** 251-56 (1996).
11. T. Kim, J. M. Koo, H. S. Min, I. S. Lee, and J. Y. Kim, "Effects of PZT-Electrode Interface Layers on Capacitor Properties," *Kor. J. Mater. Res.*, **10** [10] 684-90 (2000).