

논문 2005-42SD-4-6

# PCB상 Single 및 Differential Via의 전기적 파라미터 추출

## (Extraction of Electrical Parameters for Single and Differential Vias on PCB)

채 지 은\*, 이 현 배\*, 박 홍 준\*\*

(Ji Eun Chae, Hyun Bae Lee, and Hong June Park)

### 요 약

본 논문은 인쇄 회로 기판에 있는 through hole vias를 시간 영역과 주파수 영역 측정을 통하여 characterization을 하였다. Via characterization은 Time Domain Reflectometry (TDR)를 이용하여 시간 영역에서 측정하고 HSPICE fitting 시뮬레이션으로 via 모델 파라미터를 추출하였다. 또한 2 port Vector Network Analyzer (VNA)로 주파수 영역에서 측정하고 Advanced Design System (ADS) fitting 시뮬레이션 하였다. VNA를 이용한 측정에서는 같은 평면에서 probing하기 위해 ABCD matrix를 이용하여 de-embedding 수식을 유도하였다. 그리고 single via characterization 결과를 바탕으로 differential signaling을 위한 differential via characterization을 TDR과 VNA 측정을 통하여 수행하였다. Differential via characterization은 TDR 모듈의 odd mode와 even mode 소스들을 이용하여 시간 영역에서 측정하고 HSPICE로 fitting 시뮬레이션으로 모델 파라미터를 추출하였다. 추출된 모든 data는 측정 및 simulation 결과를 비교한 결과 single via의 경우, 최대 14%, differential via의 경우 최대 17%의 오차를 나타내었다.

### Abstract

This paper presents the characterization of through hole vias on printed circuit board (PCB) through the time domain and frequency domain measurements. The time domain measurement was performed on a single via using the TDR, and the model parameters were extracted by the fitting simulation using HSPICE. The frequency domain measurement was also performed by using 2 port VNA, and the model parameters were extracted by fitting simulation with ADS. Using the ABCD matrices, the de-embedding equations were derived probing in the same plane in the VNA measurement. Based on the single via characterization, the differential via characterization was also performed by using TDR measurements. The time domain measurements were performed by using the odd mode and even mode sources in TDR module, and the parameter values were extracted by fitting with HSPICE. Comparing measurements with simulations, the maximum calculated differences were 14% for single vias and 17% for differential vias.

**Keywords** : through-hole via, de-embedding, S parameter, ABCD matrix, differential via

### I. 서 론

최근 시스템 동작 주파수가 수 GHz 이상으로 증가함에 따라 인쇄 회로 기판에 있는 칩들 간의 인터페이스에서 신호 보전성이 중요한 문제로 부각되고 있다. 신호 보전성을 결정하는 여러 가지 요인들 중에서 via는 인

쇄 회로 기판에서 서로 다른 두 층의 전송선을 연결할 때 쓰이는데 통상적인 경우 인쇄 회로 기판에서 가장 위층과 아래층에 존재하는 micro-strip 전송선을 연결하기 위해서 인쇄 회로 기판의 모든 층에 구멍을 뚫어서 연결하는 through hole via를 가장 많이 사용한다. Through hole via는 채널에서 마치 stub처럼 작용하여 고속 통신에서 문제가 된다. 따라서 고속 디지털 시스템 실현을 위해서는 정확한 via 모델이 요구된다. 기존에 사용되던 via modeling 방법의 경우, TDR (Time Domain Reflectometry)을 이용한 시간축 방법과 VNA

\* 학생회원, \*\* 정회원, 포항공과대학교 전자전기공학과 (Dept. of Electronic & Electrical Engineering, POSTECH)  
접수일자: 2005년1월12일, 수정완료일: 2005년3월28일

(Vector Network Analyzer)를 이용한 주파수측 방법으로 나눌 수 있다. 하지만 이 둘은 서로 독립적으로 행해지기 보다는 동시에 행해져야 한다. 따라서 본 논문에서는 through hole via characterization을 시간 영역과 주파수 영역 측정을 통하여 동시에 수행하였다. 측정에 앞서, characterization을 수행할 via dimension을 field solver 중 하나인 Ansoft HFSS 시뮬레이션을 통해 추출된 L, C 파라미터를 기준으로 결정한 후, 이를 바탕으로 같은 dimension의 PCB를 제작하고 결과를 비교하였다. 시간 영역에서 device under test (DUT)의 응답 특성을 보여주는 TDR을 이용하여 측정된 후 HSPICE fitting 시뮬레이션으로 모델 파라미터를 구하였고 주파수 영역 응답 특성을 확인하기 위해 VNA 측정을 병행하였다. VNA 측정을 위해서는 via의 구조 특성상 서로 다른 층에 probing할 수 있는 특수한 프로브 station을 필요로 한다. 본 논문에서는 동일한 층에서 probing하는 일반적인 2 port VNA을 이용하여 via를 characterization하는 de-embedding 방법을 제안하였다. 이를 위하여 먼저 전송선의 S-parameter를 VNA 측정으로 알 수 있다는 가정 하에 via - 전송선 - via 구조를 제안하였다. 그리고 각각의 단일 DUT의 S-parameter를 제안된 구조와 같은 직렬 구조에 적합한 ABCD matrix로 변환하여<sup>[2]</sup> 전송선을 de-embedding하는 수식을 유도하고 via만의 S-parameter를 구한 후 via를 characterization하였다. 또한 최근 single ended signaling 방식의 여러 문제들로 인하여 differential signaling 방식이 DRAM 시스템을 비롯한 고속 시스템에서 많이 제안되고 있다. Differential signaling 방식은 common mode 노이즈의 영향이 출력으로 나타나지 않고 single ended signaling 방식에 비해 약 2배 정도의 속도 증가를 기대 할 수 있다는 장점이 있다.<sup>[5]</sup> 따라서 differential signaling을 위한 정확한 differential via characterization의 중요성이 점점 부각되고 있다. 이에 본 논문에서는 single via characterization 결과를 바탕으로 differential via characterization을 수행하였다. Differential via characterization의 경우, single via의 self inductance  $L_{via}$  ( $L_v$ )와 self capacitance  $C_{via}$  ( $C_v$ ), 그리고 인접한 두 via 사이에서 발생하는 mutual inductance  $L_m$  (coupling coefficient  $K$ ), mutual capacitance  $C_m$ 을 TDR과 VNA를 이용하여 측정하고 fitting 시뮬레이션을 통하여 추출하였다.

## II. TDR 측정을 이용한 via characterization

### 1. 모델 dimension

본 논문에서는 맨 위층과 아래층을 신호층으로, 가운데 두 층을 vss, vdd로 하는 4 층 PCB에서 through hole via를 측정하였다. Through hole via의 구성을 살펴보면 가운데에 전기적 연결을 하는 drill hole, drill hole과 trace를 연결하는 패드, 원치 않는 층와 패드를 분리하는 clearance로 구성된다.<sup>[3]</sup> 그림 1 (a)는 실험에서 사용한 4층 PCB를 측면에서 바라본 층 구성과 dimension을 (b)는 실험에서 사용한 via dimension을 위에서 바라본 그림을 나타낸다. 이 때 전송선의 굵이는 그림 1 (a)의 인쇄 회로 기판 구조에서 약 50ohm이 되는 14mil로 하였다. Via 등가 회로 모델은 그림 2 (c)와 같이 하나의 series inductance와 양쪽의 shunt capacitance로 이루어진  $\pi$  모델<sup>[1]</sup>을 선택하였다.

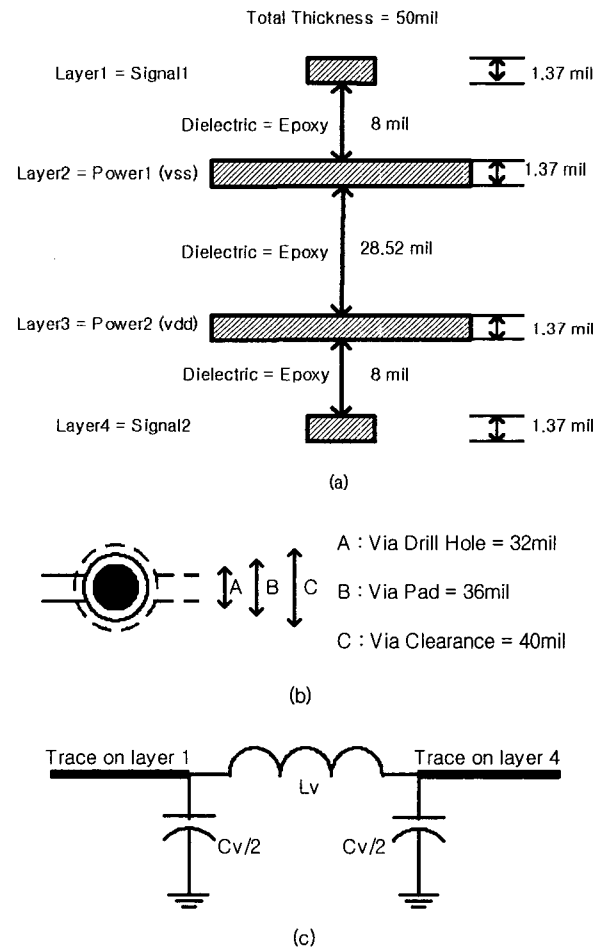


그림 1. (a). 4 층 인쇄 회로 기판 dimension (b). via hole dimension (c). via 등가 회로  
 Fig. 1. (a). 4 layer PCB dimension (b). via dimension (c). Equivalent circuit of via.

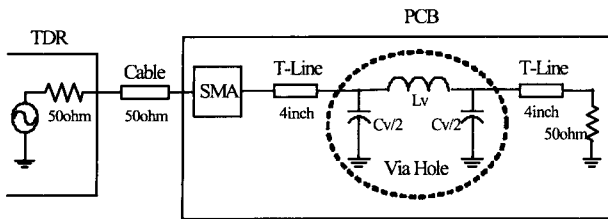


그림 2. TDR 측정 설치  
Fig. 2. TDR measurement setup.

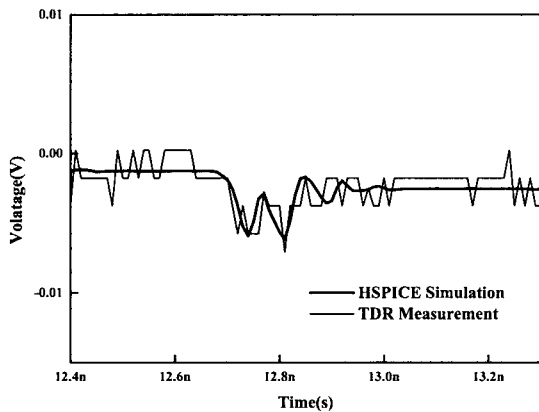


그림 3. TDR 측정 데이터와 fitting 시뮬레이션  
Fig. 3. TDR measurement data and fitting simulation.

2. TDR 측정

그림 2와 같이 DUT를 구성하고 Tektronix 11801B TDR로 측정하여 HSPICE fitting 시뮬레이션으로 모델 파라미터를 추출하였다.

그림 3는 TDR 측정 파형에 맞추어 via의  $\pi$  모델에서 Lv, Cv를 변화시키면서 HSPICE 시뮬레이션으로 fitting하여 최적화한 결과이다.

III. VNA 측정과 De-embedding 수식

1. VNA 측정을 위한 DUT

본 절에서는 위의 TDR 측정 결과를 검증하기 위해서 같은 평면에서 probing하는 2 port VNA 측정을 이용하여 via를 characterization하는 방법을 소개하고 이를 위해 de-embedding 수식을 전개한다. Agilent HP8753ES VNA에 50ohm 케이블을 연결한 후 그 끝을 GGB Industries 40A SG (GS) 650 DP pico 프로브로 연결하고 인쇄 회로 기판에 probing하여 주파수를 30KHz 에서 5GHz까지 30MHz 간격으로 스위핑하며 측정하였다. 그림 2는 de-embedding을 위해 제작한 몇 가지 DUT 패턴을 보여준다. 그림 2 (a)는 프로브를 인쇄 회로 기판에 대기 위해서 만든 프로브 패드 패턴,

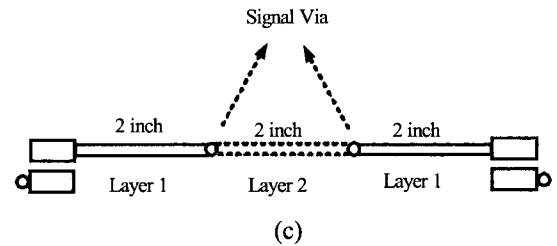
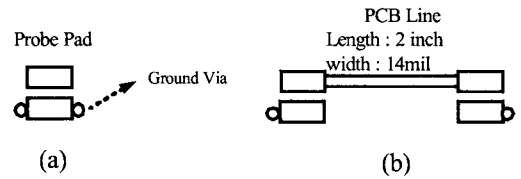


그림 4. (a) 프로브 패드 패턴, (b) 전송선 패턴, (c) via characterization을 위한 전체 패턴  
Fig. 4. (a) Probe pad pattern (b) Transmission line pattern (c) Whole pattern for via characterization.

(b)는 양 끝이 프로브 패드로 연결된 전송선 패턴, (c)는 via characterization을 위해 제작된 전체 DUT 패턴을 보여준다. 그림 2 (a)와 (b)는 (c)의 전체 패턴에서 프로브 패드, 전송선을 de-embedding 하기 위해 필요한 DUT이다.

2. De-embedding 수식

VNA로 측정한 데이터는 S parameter로 나타나는데 이는 그림 4 (c)와 같이 여러 가지 DUT가 직렬로 연결된 구조에서 어느 하나의 DUT를 해석하는데 적합하지 않다. 이에 본 논문에서는 de-embedding을 하기 위해 직렬 구조의 해석에 적합한 ABCD matrix<sup>[2]</sup>를 사용하였다. 그림 4의 측정에서 구한 S parameter를 직렬 구조에 적합한 ABCD matrix로 변환하여 패드와 전송선을 de-embedding하는 과정을 거쳐서 via만의 ABCD matrix를 구하였다. 아래 De-embedding 수식으로 via의 ABCD matrix를 구하여 다시 S parameter로 변환한<sup>[2]</sup> 후 이 S parameter를 ADS fitting 시뮬레이션을 통하여 최적화된 via 모델 데이터를 구할 수 있다.

그림 4 (a) 프로브 패드를 VNA로 측정하여 S parameter를 구하고 이것을 ABCD matrix로 바꾸어 P라고 한다. 같은 방법으로 그림 4 (b)에서 프로브 패드 - 전송선 - 프로브 패드 구조의 ABCD matrix를 M, 전송선의 ABCD matrix를 T라 하면

$$M = PTP, T = P^{-1}MP^{-1} \tag{1}$$

그림 4 (c) 전체의 ABCD matrix를  $W$ , via - 전송선 - via 구조의 ABCD matrix를  $F$  라 하자.

$$W = PTFTP, F = T^{-1}P^{-1}WP^{-1}T^{-1} \quad (2)$$

Via의 ABCD matrix가  $H$  라면,  $F$ 는 다음과 같다.

$$F = HTH \quad (3)$$

$$H = T^{-1}H^{-1}F \quad (4)$$

$$K \equiv T^{-1}H^{-1} = (HT)^{-1} \quad (5)$$

$$\therefore H = KF \quad (6)$$

(3)과 (6)으로부터

$$(K^{-1})^2 = FT \quad (7)$$

$F$ 와  $T$ 는 이미 알고 있는 matrix이므로 아래와 같이 정의하고

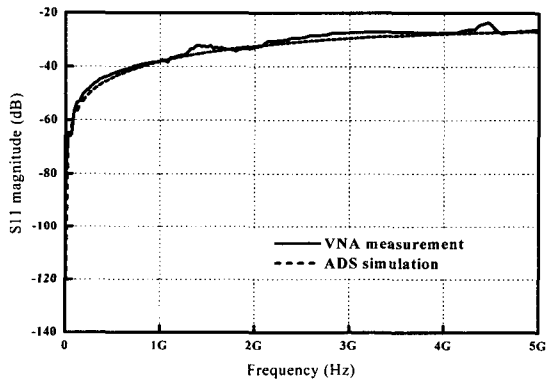


그림 5. Via S11 측정 데이터와 fitting 시뮬레이션  
Fig. 5. Via S11 measurement data and fitting simulation.

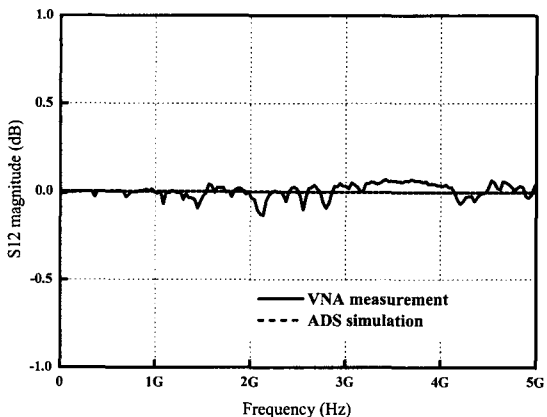


그림 6. Via S12 측정 데이터와 fitting 시뮬레이션  
Fig. 6. Via S12 measurement data and fitting simulation.

$$K^{-1} \equiv \begin{pmatrix} a & b \\ c & d \end{pmatrix}, FT \equiv \begin{pmatrix} \alpha & \beta \\ \gamma & \delta \end{pmatrix} \quad (8)$$

Reciprocal relation 에 의해

$$ad - bc = 1, \alpha\delta - \beta\gamma = 1 \quad (9)$$

(7), (9) 에 의해서

$$a = \frac{\alpha + 1}{\sqrt{\alpha + \delta + 2}}, b = \frac{\beta}{\sqrt{\alpha + \delta + 2}},$$

$$c = \frac{\gamma}{\sqrt{\alpha + \delta + 2}}, d = \frac{\delta + 1}{\sqrt{\alpha + \delta + 2}} \quad (10)$$

(5)에 의해서

$$H = K^{-1}T^{-1} \quad (11)$$

위와 같은 과정을 통하여 via의 ABCD matrix  $H$  를 구한다.

### 3. VNA 측정 결과

(11)에서 구한 via의 ABCD matrix를 S parameter로 바꾼 후, via의  $\pi$  모델에서  $L_V, C_V$ 를 변화시키면서 ADS fitting 시뮬레이션을 통하여 얻은 데이터를 그림 5, 6에 나타내었다. 그림 5는 via의 S11, 그림 6은 S21 fitting 시뮬레이션을 나타낸다. Via는 중심을 기준으로 대칭 구조이므로 S21은 S12와 같고 S22는 S11과 같다.

### 4. TDR과 VNA 측정 결과 비교

표 1에서는 HFSS의 full wave spice 기능을 이용하여 시뮬레이션해서 구한 via 모델 데이터와 TDR과 VNA로 측정한 via 모델 데이터 비교를 나타내었다. Via 임피던스는 식 12와 같다. 여기서  $C_V$ 는 그림 1 (c)에서 두 개의  $C_V/2$ 를 더한 via 전체 capacitance를 말한다.<sup>[3]</sup>

$$Z_V = \sqrt{\frac{L_V}{C_V}} (\Omega) \quad (12)$$

표 1. TDR과 VNA로 측정한 via 모델 비교  
Table 1. Via model comparison between TDR and VNA measurement.

	$L_V$ (nH)	$C_V$ (pF)	Via 임피던스 ( $\Omega$ )
HFSS 결과	0.67	0.35	43.8
TDR 측정	0.64	0.3	46.2
VNA 측정	0.64	0.33	44.0

표 1에서 알 수 있듯이 HFSS 시뮬레이션 결과와 측정 결과가 거의 일치하며 가장 큰 차이를 보이는 값은  $C_v$ 로 약 14%의 차이를 보인다. VNA 측정과 de-embedding 수식을 거쳐 얻은 데이터와 TDR 측정에 의한 characterization 데이터는 VNA 데이터를 기준으로  $C_v$ 에서 최대 9.1%의 차이를 보였다.

#### IV. Differential via characterization

##### 1. Differential via dimension과 모델

본 절에서는 single via characterization 결과를 바탕으로 differential via characterization을 수행하였다. 그림 7은 실험에서 사용한 differential via의 dimension을 위에서 본 그림이다. 이 때 각각의 via dimension은 그림 1 (b)에서 사용한 것과 같다. 인접한 두 전송선 사이의 간격은 dual inline memory module (DIMM) connector의 핀 간격을 기준으로 중심과 중심 사이를 50mil로 하였다. 이 때 전송선 간의 사이는 전송선 넓이인 14mil의 약 2.5배가 되는 36mil로 충분히 떨어져 있어서 인접한 전송선 사이의 coupling은 없고 두 via의 패드와 패드 사이의 가장 가까운 거리는 14mil로 인접한 via 사이의 coupling만 존재한다고 가정하였다.

Differential via characterization은 그림 8와 같이  $\pi$  모델

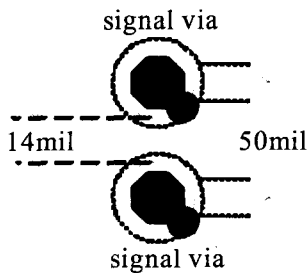


그림 7. Differential via dimension  
Fig. 7. Differential via dimension.

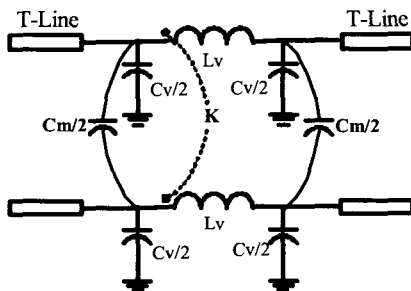


그림 8. Differential via 모델  
Fig. 8. Differential via model.

에서 self inductance  $L_v$ 와 self capacitance  $C_v$ , 그리고 인접한 via 사이에서 발생하는 mutual inductance  $L_m$  (coupling coefficient  $K$ ), mutual capacitance  $C_m$ 을 TDR과 VNA 측정으로 추출하였다.

##### 2. TDR odd mode 측정을 통한 differential via characterization

그림 9와 같은 odd mode TDR 측정 방법으로 differential via characterization을 수행하였다. 이 때 TDR 1에서는  $-500\text{mV} \sim 0\text{V}$  swing, TDR 2에서는  $0\text{V} \sim 500\text{mV}$  swing의 서로 반대 위상을 가진 펄스가 나오게 된다.

Odd mode에서 differential via의 전체 inductance와 capacitance, odd mode 임피던스는 coupled 전송선 이론<sup>[1]</sup>과 동일하므로 다음과 같이  $L_{\text{odd}} = L_v - L_m$

$$C_{\text{odd}} = C_v + 2C_m \quad Z_{\text{odd}} \sqrt{\frac{L_{\text{odd}}}{C_{\text{odd}}}} = \sqrt{\frac{L_v - L_m}{C_v + 2C_m}}$$

가 된다.

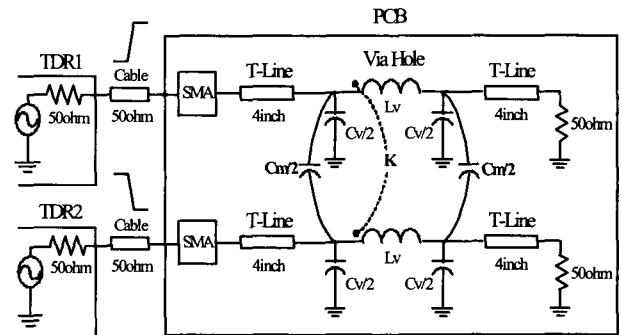


그림 9. Odd mode TDR 측정 설치  
Fig. 9. Odd mode TDR measurement setup.

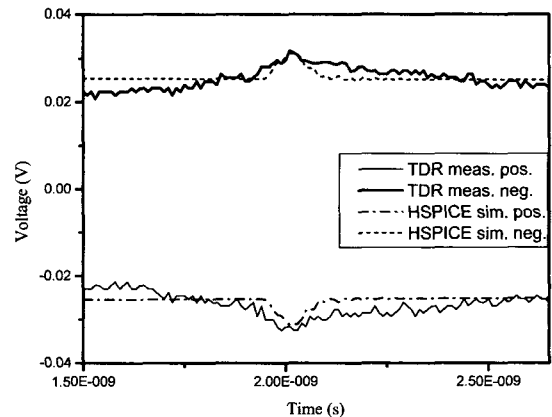


그림 10. Odd mode TDR 측정 데이터  
Fig. 10. Odd mode TDR measurement data.

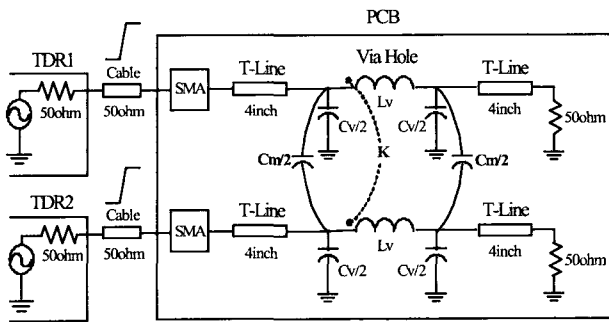


그림 11. Even mode TDR 측정 설치  
Fig. 11. Even mode TDR measurement setup.

그림 10의 측정 파형에 HSPICE fitting 시뮬레이션하여  $L_m$ 과  $C_m$ 을 추출하였다. 이 때 single via 모델에서 구한  $L_v$ 와  $C_v$ 는 고정시키고  $L_m$ 과  $C_m$  값을 바꾸면서 시뮬레이션 하였다.

그림 10에서 아래의 파형은 TDR1에서 나온 것이고 위의 파형은 위상이 반대인 TDR2의 측정 파형이다. 파형 중간부분의 differential via를 그림 3의 single via의 TDR 측정 결과와 비교해보면 differential via의 임피던스가 single via 임피던스보다 작아진 것을 알 수 있다.

### 3. TDR even mode 측정

그림 11는 위의 odd mode에서 differential via 측정 결과를 검증하기 위해 만든 even mode TDR 측정 방법을 보여준다. 그림 11과 같이 그림 9와 동일한 DUT를 사용하되 odd mode에서 서로 반대 위상을 갖는 펄스가 인가된 것과는 달리 even mode에서는 TDR 1과 TDR 2에서 모두 -500mV~0V swing의 동일한 펄스가 나온다.

그림 12에서는 even mode에서의 TDR 측정과 시뮬레이션 파형을 보여준다. Even mode에서는 TDR 1, 2에서 동일한 파형이 나오게 되므로 측정과 시뮬레이션 파형이 각각 하나로 겹쳐서 나온다. HSPICE 시뮬레이션에서는 Odd mode에서 구한 differential via 모델을 그대로 사용하여 시뮬레이션 하였다.

Even mode에서 via의 전체 inductance와 capacitance, even mode 임피던스는  $L_{even} = L_v + L_m, C_{even} = C_v,$

$$Z_{even} = \sqrt{\frac{L_{even}}{C_{even}}} = \sqrt{\frac{L_v + L_m}{C_v}} \quad (11)$$

가운데에서 급격하게 올라가는 부분이 coupled via를 나타낸다. 파형에서 알 수 있듯이 even mode에서 coupled via의 characteristic 임피던스는 single via 임피

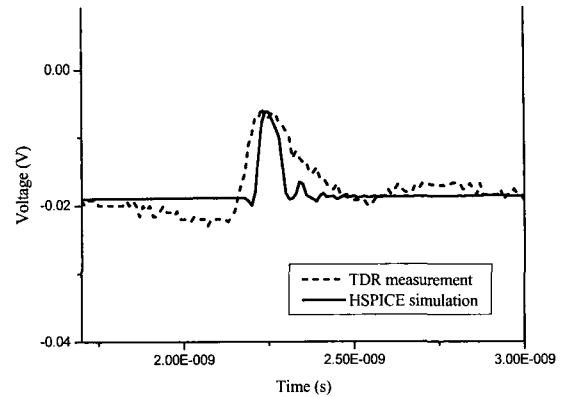


그림 12. Even mode TDR 측정 데이터  
Fig. 12. Even mode TDR measurement data.

표 2. Differential via 모델 데이터  
Table 2. Differential via Model Data.

	$L_m$ (nH)	$K$	$C_m$ (pF)	$Z_{odd}(\Omega)$	$Z_{even}(\Omega)$
HFSS결과	0.18	0.27	0.02	36.4	50.8
TDR 측정	0.15	0.23	0.02	38	51.4

던스보다 더 커진 것을 알 수 있다.

표 2에서는 HFSS 시뮬레이션과 TDR 측정을 통하여 구한 differential via characterization 데이터중 mutual 성분과 odd, even mode에서 via 임피던스를 정리하였다. HFSS 시뮬레이션 결과와 측정 결과가 가장 큰 차이를 보이는 값은  $L_m$ 으로 최대 16.7%의 차이를 보였다. Coupling coefficient는 식 13과 같다.

$$K = L_m / \sqrt{L_v L_v} = L_m / L_v \quad (13)$$

## V. 결론

본 논문에서는 고속 디지털 시스템 구현에서 신호 보전성 문제 중 하나인 through hole via의 characterization에 대하여 기술하였다.

모든 측정에 앞서, characterization을 수행할 via dimension은 field solver 중 하나인 Ansoft HFSS 시뮬레이션을 통해 추출된  $L, C$  parameter를 기준으로 결정 한 후, 이를 바탕으로 PCB를 제작하였다. TDR을 이용하여 시간 영역에서 측정을 한 후 HSPICE로 fitting 시뮬레이션을 통하여  $L_v, C_v$  값을 추출하였고 via의 주파수 응답을 보기 위하여 VNA를 이용한 주파수 영역 측정도 병행하였다. VNA 측정은 via의 구조적 특성상 주로 서로 다른 두 평면에서 probing을 하지만

본 논문에서는 via - 전송선 - via 직렬 구조의 DUT에서 ABCD matrix를 이용, 전송선을 de-embedding하는 수식을 유도하여 같은 평면에서 probing이 가능한 간단한 characterization 방법을 제안하였다. 이렇게 시간 영역과 주파수 영역에서 추출된 데이터는 약 9.1%의 차이를 보였다.

또한 본 논문에서는 최근 DRAM 시스템에서 많이 제안되고 있는 differential signaling 방식에 사용하기 위한 정확한 differential via 모델의 중요성이 점점 부각됨에 따라 single via characterization 결과를 바탕으로 differential via characterization을 수행하였다. Differential via characterization은 single via의  $L_v$ 와  $C_v$ , 그리고 인접한 via 사이에서 발생하는 mutual inductance  $L_m$  (coupling coefficient  $K$ ), mutual capacitance  $C_m$ 을 TDR로 측정하여 HSPICE를 이용한 fitting을 통하여 모델 데이터를 추출한 후 HFSS를 이용한 파라미터 추출도 병행 하였다. 두 모델 데이터의 최대 차이는 17%가 나왔다. 이로서 via hole의 characterization을 좀 더 정확히 하여 앞으로 DRAM I/O 시스템을 포함한 고속 시스템 설계에서 board 디자인에 많은 도움이 될 것으로 예상된다.

집, 제 23권, 제2호

## 참 고 문 헌

- [1] Stephan H. Hall, Barrett W. Hall and James A. McCall, *High Speed Digital System Design*, Wiley Inter Science, pp.51-128, 2000.
- [2] David M. Pozar, *Microwave Engineering*, Wiley, Jul. pp.206-213, 1998.
- [3] Johnson Howard, and Graham Martin, *High Speed Digital Design*, Prentice Hall, pp.249-262, 1993.
- [4] Brian Young, *Digital Signal Integrity*, Prentice Hall, 2001.
- [5] Eric Bogatin, *Signal Integrity Simplified*, Prentice Hall, pp.401-469, 2003.
- [6] Giulio Antonini, Antonio Ciccimancini Scogna, and Antonio Orlandi, "S-parameters characterization of through, blind, and buried via holes", *Mobile Computing, IEEE Transactions on*, Vol.2, No.2 pp.174-184, April-June 2003.
- [7] 김재원, 권대한, 김기혁, 심선일, 박정호, 황성우, "다층 인쇄 회로기판에서의 최적 via 구조의 구현", 2000년도 대한전자공학회 추계학술대회 논문

저 자 소 개



채 지 은(학생회원)  
 2003년 경북대학교  
 전자공학과 학사졸업  
 2005년 포항공과대학교 전자전기  
 공학과 석사졸업

<주관심분야 : 반도체, 신호보전성>



이 현 배(학생회원)  
 1999년 연세대학교 물리학과  
 학사졸업  
 2001년 포항공과대학교 전자전기  
 공학과 석사졸업  
 2001년~현재 포항공과대학교  
 전자전기공학과 박사과정

<주관심분야 : 반도체, 신호보전성>



박 홍 준(정회원)  
 1979년 서울대학교  
 전자공학과 학사졸업  
 1981년 한국과학기술원 전기 및  
 전자공학과 석사졸업  
 1981년~1984년 한국전자통신  
 연구소 CAD실 연구원

1989년 U.C. Berkeley, Dept of Electrical Eng. Ph.D.

1989년~1991년 Intel Corp. TCAD Senior Engineer

1991년~1995년 포항공과대학교 전자전기공학과 조교수

1995년~2001년 포항공과대학교 전자전기공학과 부교수

2001년~현재 포항공과대학교 전자전기공학과 교수

<주관심분야 : 반도체, 신호보전성, 집적 회로 설계>