
Digital Front-End Design에서의 반도체 특성 연구 및 방법론의 고찰

정 태 경 · 이 장 호

Semiconductor Characteristics and Design Methodology in Digital Front-End Design

Taikyeong Jeong · Jang Ho Lee

요 약

본 고에서는 디지털 회로의 저 전력소모의 설계와 구현에 관련된 디지털 전대역 회로 설계를 통해서 전반적인 전력소모의 방법론과 이의 특성을 고찰하고자 한다. 디지털 집적회로의 설계는 광대하고 복잡한 영역이기에 우리는 이를 저전력 소모의 전반적인 회로 설계에 한정할 필요가 있다. 여기에는 로직회로의 합성과, 디지털 전대역 회로설계에 포함되어있는 입력 clock, 버퍼, 레치, 전압 Regulator, 그리고 커패시턴스와 전압기가 0.12 마이크론의 기술로 0.9V의 전압과 함께 쓰여져서 동적 그리고 정적에너지 소모와 압력, 가속, Junction temperature 등을 모니터 할 수 있게 되어있다.

ABSTRACT

The aim of this paper is to describe the implementation of a low-power digital Front-End Design (FED) that will act as the core of a stand-alone power dissipation methodology. The design of digital integrated circuits is a large and diverse area, and we have chosen to focus on low power FED. Designs are made from synthesized logic, and we need to consider the low power digital FED including input clock, buffer, latches, voltage regulator, and capacitance-to-voltage counter which have been integrated onto high bandwidth communication chips and system. These single-chip micro instruments, implemented in a 0.12 um CMOS technology, operate with a single 0.9V supply voltage, and can be used to monitor dynamic and static power dissipation, pressure, acceleration, junction temperature (Tj), etc.

키워드

Digital Circuit, 저전력, 초고속 집적회로, 통신 모뎀 FPGA 설계 및 구현

I. 서 론

디지털회로의 전기시스템의 설계 및 구현에서의 전력 과 이의 최소 소모에 관한 연구는 이미 많은 연구와 업적을 기록해오고 있다. 이에 우리는 마이크로회로의 디지털

설계의 전반위 설계에서의 전력소모를 자세히 살펴볼 필요가 있기에 본 논문에서 다루기로 한다. 최근의 전력을 활용하는 디지털 전기시스템은 초고속화 되어가면서도 전력소모를 줄이는 과정에 있으며 이를 통한 무선통신과 반도체 설계에 새로운 기회를 열고 있다.

* T. Jeong was with Department of Electrical and Computer Engineering, the University of Texas at Austin, Austin, TX 78712.
He is now with the Myongji University as an assistant professor

디지털회로의 설계에서는 전력소모의 계층구조적 접근을 통해서 Dynamic power dissipation 과 Static power dissipation을 규명할 필요가 있는데 단순한 필요전압의 Scaling Techniques의 적용은 전체적인 성능의 저하를 가지고 온다 [1]. 그러나, Dynamic Power Dissipation의 필수 불가결한 요소인 전압과 캐패시턴스등을 고려하여 통신 모델등의 설계와 구현에 적용하여보면 디지털회로의 전반적인 설계는 다소 다른 방법론이 대두되어야만 한다.

디지털 회로의 시스템의 성능을 향상시키기 위해서 설계의 초기부터 각 로직의 합성에 이르기까지 고려되어야 할 기술적인 구현을 실현하고자 한다.

II. 회로 설계의 연구 동향

기본이 되는 Semiconductor Industry Association에 따르면 고성능 회로 설계기술의 전력소모는 년도가 증가함에 따라 더욱 수요가 증가하고 이에따른 회로당 트랜지스터 수 역시 증가됨을 알 수 있다. 각각의 회로 설계기술이 점차 최소화되면서 이에 따른 전력소모현황이 늘어나는 가운데 공급되는 전압은 더욱더 한계에 다다름을 알 수 있게 된다 [5].

표 1. 고성능회로 설계기술의 전력소모 현황 및 예측
Table 1. Power Consumption and Estimation of High-performance Circuit Design

Tech (nm)	Year	Lo. Freq (GHz)	T_{ox} (nm)	CVI (ps)	V_{DD} (V)	Ion (nA/ μ m)	Ioff (nA/ μ m)	Igate (nA/ μ m)	Power (W)	Trichip
180	1999	1.25	19.25	12.8	1.8	750/350	0.7	7	90	23.8
150	2000	1.62	15.49	11.4	1.8	750/350	0.8	8	108	33.7
130	2001	2.1	15.49	10.3	1.5	750/350	1	10	130	47.6
115	2002	2.49	15.49	9.7	1.5	750/350	1	10	140	67.3
100	2003	2.95	15.49	9.1	1.2	750/350	1.3	13	150	95.2
90	2004	3.5	12.15	8.1	1.2	750/350	1.6	16	160	135
80	2005	4.15	10.45	7.5	1.1	750/350	2	20	170	190

다음의 표 1. 은 SIA로드맵에 명시된 예상되어지는 고성능회로 설계기술에서의 전력소모현황을 보여주고 있다.

이와 함께, 총 전력소모는 년도별로 증가 함에따라 Static power dissipation 일지라도 이의 한계점에서 점차 멀어지면서 지속적인 증가추세를 보이고 있다.

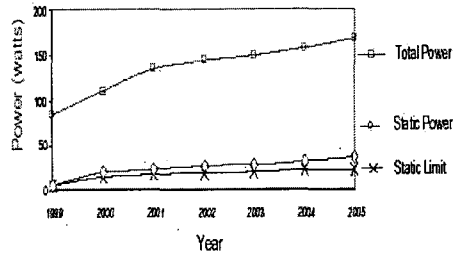


그림 1. 전력소모 년도별 예상 흐름도

특이한 설계 방법중 Dynamic Voltage Scaling(DVS) 방법의 적용이 휴대용컴퓨터에서 적용되고 있고, 이를 통해서 현저한 속도의 저하를 가지고 오지않고 전력소모를 줄이려고 하고 있다. 이에따라, DVS와 함께, 속도와 전압을 동시에 만족시키는 회로설계의 방법론이 대두 될 수 있으며, 이를 최종 에너지인식의 회로 시스템의 설계를 통한 계층 구조적 연구로 성능의 향상을 유도할 수 있다.

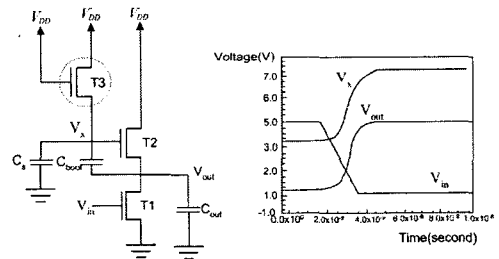


그림 2. NMOS 부트스트랩핑 로직의 전압특성분석
Fig. 2. Voltage Characteristics with NMOS Bootstrapping Logic

동시에 다른 한 가지 관심은 Threshold voltage(V_t ; 문턱 전압)의 한계성을 고찰할 필요가 있다. NMOS 부트스트랩핑의 회로에서 보여지는 바와 같이 Threshold voltage의 저하를 극복하는 회로의 예를 찾아서 성능 저하를 방지할 수 있기 때문이다 [6]. 이는 전기적 특성을 그림에서 보는바와 같이 V_{in} 이 low 이고, V_x 가 V_{DD} 와 작거나 적어도 같은 값을 가질때, T2는 saturation mode 이며, V_{out} 은 $V_x - V_{t2}$ 의 값을 가지므로, V_{DD} 의 전격적인 스위치때, V_x 는 증가하게 된다.

전압특성을 분석되어진 그림 2를 통하여 살펴볼 경우, $t=0$ 값을 가질때 입력값이 low로 변화되고 V_{out} 이 증가하기 시작한다. 동시에 V_{out} 값이 V_x 와 연결되므로, V_x 의 최

대값은 $V_x(max) = 2V_{DD} - V_{I3} - V_{OL}$ 을 가지게 된다. 이는 System-On-a-Chip (SOC) 설계에 있어서 기본이 되는 접근 방식이기도 하며, 반도체 회로의 입,출력 값을 고정한 채 Slew rate 을 변화시키며, Mixed supply voltages를 포함하는 전기 회로와 시스템의 설계의 가장 근간이 되는 개념이기 때문에 구체적인 설계와 방법론을 이용한 최적화 구현을 다음 장에서 자세히 설명하기로 하겠다.

III. 구현 방법

디지털 회로와 시스템의 구체적인 구현의 방법은 이동통신 모뎀의 FPGA 설계 및 구현에서부터 찾아볼 수 있다. 구체적인 회로의 예가 제시되며, 각 단계별 구현의 현상이 고찰되어졌다.

3.1. 구현방법의 개요

각기 다른 공급전압을 가지는 회로의 두 가지 입력값을 충족하기 위해서 mixed supply voltage를 상쇄할 수 있는 전형적인 레벨슈프터의 구성을 기본으로 하며, 이를 통한 최적화된 성능을 가진 모뎀의 FPGA 단계에서부터 응용의 구현이 이루어져야한다. 그림 3은 기본형 레벨슈프터의 회로도이며 고전압과 저전압사이의 접합부에 적용되어 낮게는 0.9V에서부터 높게는 1.2V에 이르는 범위에서 low-to-high와 high-to-low 경우에 적용된다.

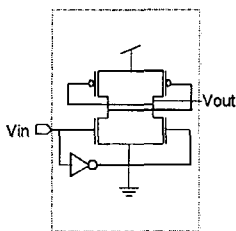


그림 3. 기본형 레벨 슈프터의 회로도
Fig. 3. Traditional Level-Shifter Circuit

아울러, 이동통신모뎀의 RTL level에서의 구현을 위하여 FPGA 단계에서 성능검증이 앞서야 이동통신모뎀으로서의 기능을 구현할 수 있다.

3.2. 구현의 단계

최적화를 위한 새로운 설계방법론의 제시와 공급 전압

에 따른 상관관계는 구현의 단계에서 예시되어진다. 전압과 전력소모의 관계는 첫 번째 단계에서 단순히 DVS를 통해서 전력을 줄이지만, 두 번째 단계에서 보다 낮은 공급전압을 가지고 전력소모와 속도를 만족하는 단계를 이루게 된다.

그러나 이는 시스템의 성능을 개선하기에 부족하기에 마지막 단계에서 디지털 회로와 시스템의 통합과 재구성을 통하여 전력소모는 가장 적으면서 동시에 속도의 저하 없는 디지털 회로와 시스템이 구현되는 단계에 이르게 된다.

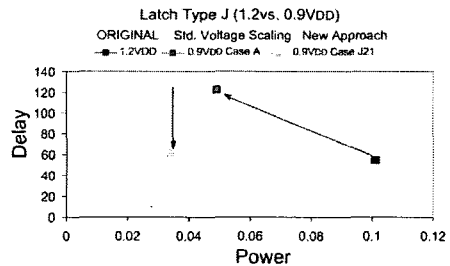


그림 4. 전압과 전력소모의 상관관계 및 구현의 각 단계별 예시도
Fig. 4. Diagram of Voltage and Power Consumption

전압-속도 (Power-Delay) 함수를 살펴보면, 시스템의 성능과 CMOS 공정상에서 발생하는 질적 향상을 피할 수 있으며, 이로 인해 반도체의 전기적 특성을 분석할 수 있고, 전력소모를 줄일 수 있는 설계방법론이 나오게 된다. 그렇다면 전압-속도 (Power-Delay) 함수와는 별도로 에너지-속도 (Energy-Delay) 함수에 적용되는 디지털회로와 시스템의 전반위 설계에서는 과연 어떤 다른 계수의 값을 가지게 될지가 또 다른 문제인데, 이를 위해서는 각 설계의 단계마다 공통된 계측 공식이 제시되어야만 한다.

그러므로 전압-속도 (Power-Delay) 함수의 계측공식은 다음과 같이 표현된다.

$$PD = 2P(x)_{avg} \tau_p$$

이에 $P(x)_{avg}$ 는 최대 frequency를 가지는 평균 스위칭 전력소모를 뜻하며, τ_p 는 평균 전이 지연(Porpagation delay)값을 뜻한다. 앞의 계수 2는 출력값의 high-low 또는 low-high의 두 번의 전이를 지칭하며 이로서 스위칭전이는 최대 frequency 값을 지니게 된다.

그 외에 전력소모의 다른 현상으로서, 정적누설(static leakage)와 클럭분배(clock distribution)과 발생(generation)을 포함하여야 하며, 새롭게 대두되고 있는 SOI 기술로 인한 비용감소형, 그리고 초고성능 디지털 회로와 시스템의 설계가 가능하게 되었다 [4]. 새로운 반도체 공정의 기법인 SOI기술은 static power 문제와 현재의 CMOS 기법의 에러적용에 민감하여 초고성능 회로 설계의 한 방법으로 대두되고 있는 실정이다. 이러한 전전압소모형 디지털 전방위 회로 설계와 반도체의 전기적 특성이 공존하는 관계로 전력에 민감한 설계가 등장하게 되었고, 세부적으로 구현할 수 있는 새로운 방법론이 제시되는 바이다.

IV. 응용의 예

보다 구체적인 반도체 설계의 방법론을 검증할수있는 응용의 예로 디지털 회로와 시스템이 가지는 어플리케이션을 이 장에서 자세히 열거 한다.

4.1. 최적화의 예

회로의 설계에 있어서 가장 확실한 검증방법을 위하여 디지털 통신 모듈의 전형적인 설계방법과 새로이 변형된 설계방법을 비교 분석함으로써 실질적인 응용제품의 실험결과를 앞서 볼수 있다. 또한 각 단계별 설계에서 실험성을 검증하기 위해서도 필수불가결하다.

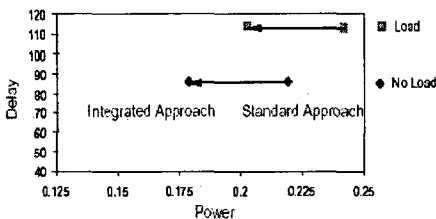


그림 5. LSSD 설계와 각 검증별 실험결과
Fig. 5. Experimental Results on LSSD Design and Verification

이에 앞서, Level-Sensitive Scan Design (LSSD)의 설계를 예로서 살펴보면, 각 셀의 부하를 가지고 검증하는 단계와 부하없이 검증하는 단계에서 기존의 방법론과 새로운 변형되고 통합된 LSSD의 방법론이 어떻게 다른가가 그림 5에서 도시되어졌다.

이는 시뮬레이션결과와 변형되고 통합형 LSSD를 통해서 보다 적은 전력소모를 했다는 것을 직접적으로 알수 있는 것이다.

전력소모의 최적화를 이루기위해서 디지털 회로의 설계를 향상시키고 다른 반도체의 특성을 보완하기 위한 응용의 가장 좋은 예는 이미 언급한 바와 같이 광대역 통신 모듈 회로와 시스템의 설계에서 살펴볼 수 있으며, 그림 6에서와 같이 2.5Gb/s 에서 3Gb/s 이상의 대역에서 가장 적은 전압만으로 에너지의 손실을 최소화 하는 조건으로 설계가 이루어져야 한다 [3].

이는 이동통신의 FPGA 단계의 구현을 이루고 나서 시스템을 최적화시키는 것이 아닌 디지털 회로 전방위 설계를 통해서 전기시스템의 최적화를 구현 하는 통합적인 설계의 새로운 방식인 것이다.

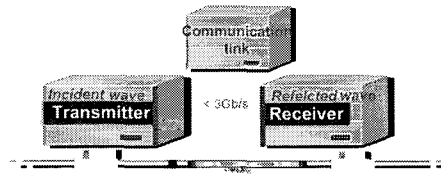


그림 6 광대역 통신 모듈 회로와 시스템
Fig. 6. Broadband Modem Circuit and System

여기에는 속도와 전력을 고려하여 0.12 마이크로 기술로 설계되었고 이에 전력손실을 줄이며 성능을 저항시키지 않는 것이 최종목적이다.

4.2. 응용의 한계성

최적화의 한 예로서 통합된 레벨슈프터의 실험결과가 그림 7에 도시되어 있다. 이는 레벨슈프터의 본래의 목적과 최적화 이후에 실험결과를 보여주는 것으로 각기 다른 부하를 통하여 나온 실험 결과를 보여주고 있다. 이로써, 전통적인 레벨슈프터가 가질수 있는 응용의 한계성을 우선 비교검토할 수 있는 예로 증명된다.

또한, 최적화된 레벨슈프터가 함께 비교됨으로서, 실험의 제한적 조건 (이를테면, 다른 온도, 설계시 조건의 불일치등)이 가져올 수 있는 최악의 상황까지 고려하고자 했으며, 이 실험을 통하여 향상되어지고 최적화된 회로 설계의 방법론을 도시하고자 한다.

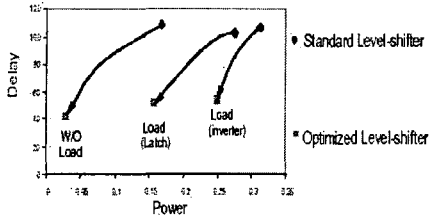


그림 7. 응용의 예로서 레벨 슈프터의 실험결과
Fig. 7. Level Shifter and Experimental Results

아울러, 통합된 저전력소모형 디지털설계회로의 예와 블록도가 그림 8에 도시되었으며 이는 입력값이 저전압(최대 0.9V)에서 고전압(최대 1.2V)으로 달라지는 가운데 회로의 손상과 시스템의 손실없이 설계되는 예를 보여주고 있다 [2].

전통적인 설계방법은 단순히 다른 회로를 연결하고 다른 입.출력값을 명시하는 것 이지만, 새로운 설계방식은 이에 그치지 않고 각기 다른 전압의 높고 낮음을 간헐적으로 간섭하여 디지털 회로의 통합을 이루며 재구성을 이루게 된 것이다. 이로써 저전력 소모형 접근방식이 도출되며, 전반위 설계에 있어서 전력의 최소화와 성능의 최대화가 이루어지는 것이다.

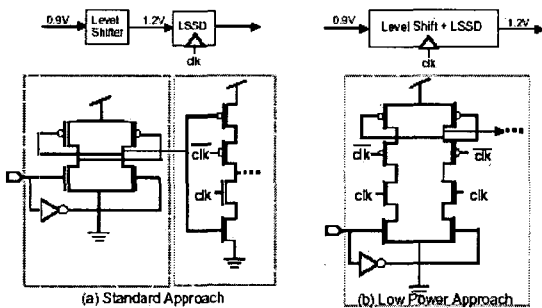


그림 8. 저 전력 소모형 디지털회로의 블록도
Fig. 8. Block Diagram of Low Power Digital Circuits

그러므로 고성능 회로와 시스템의 구현을 위해서 저전력소모형 디지털 회로의 사용이 강조되며 이를 통해서 광대역 통신 모뎀의 설계의 예를 볼수있다. 결과적으로 저전력 광대역 통신 회로와 시스템의 설계가 구현됨을 볼 수 있게된다.

일련의 검증결과와 실험의 기반을 반도체의 전기적 특성을 이용하여 광대역 통신 모뎀의 설계사야에 맞게 적용하기 위해서는 실제의 설계의 예를 증명할 필요가 있다.

이에 디지털 회로의 32-bit 가산기 (Adder) 설계를 예로 들면 그림 9와 같이 도식되어진다. 이는 4-bit 의 Lookahead 가 저전력 소모형 설계를 띠운채 4-bit Sum과 Carry Generator 부분으로 전이되는 것을 볼 수 있다.

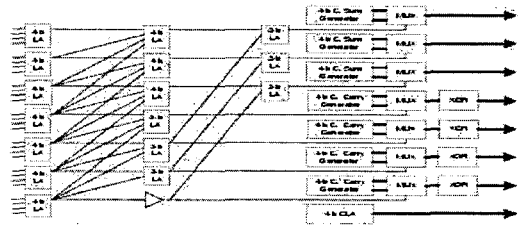


그림 9. 디지털 회로의 32-bit Adder 설계
Fig. 9. 32-bit Adder Design of Digital Circuits

전체적인 설계의 주안점은 저 전력 소모형 디지털 회로의 방법론을 적용하여 이를 증명해내는 것을 목표로 하고 있으며 시스템의 입력값을 최소화하면서 고성능 통신 모뎀의 실현과 이를 통해 디지털 통신 회로와 시스템의 설계의 새로운 방법론을 증명하고 있다.

V. 결 론

본 고에서는 디지털 집적회로의 전반적인 설계의 과정에서 고찰되어지는 전력소모의 안정성과 최소사용의 예를 열거하며 이를 통해서 설계의 안정성을 확보하기 위한 방법론을 제시하였다. 이에 마지막 결과물로서 디지털 집적회로의 응용과 설계의 방법론을 통하여 전기시스템의 전력소모의 향상을 이루고 동시에 전력의 인식화된 회로와 시스템의 설계를 가능하게 하였다.

더욱이 이를 통하여, 저전력 클럭을 분배하는 방법론을 고찰하였고, 각각의 분배되는 와이어와 부하가 주요 소비 전력의 원천으로 작용되기도 하였다.

이러한 디지털 집적회로의 설계방법론으로 인하여 에너지인식전기시스템의 설계가 한층 더 쉽게 이루어지며 반도체특성을 가진 연구의 밑받침이 될 수 있다.

Acknowledgement

The research and writing of this article were made possible by funding from the and the MITERI (Myongji IT Engineering Research Institute) project.

참고문헌

- [1] J. T. Kao and A. P. Chandrakasan, "Dual-Threshold Voltage Techniques for Low-Power Digital Circuits," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1009-1018, July 2000
- [2] T. Jeong, A. Ambler, "U.S. Patent 60/413,059," U.S. Patent, as of UTA-C2577, Sep 24, 2002
- [3] Proceedings of the Workshop on the Concept of a Common Lunar Lander NASA. JSC, July 1-2, 1991, NASA (Houston, TX: 1991).
- [4] J. P. Teter, M. H. Sendaula; J. Vranish; E. J. Crawford, "Magnetostrictive linear motor development" *Magnetics, IEEE Transactions on*, Volume: 34, Issue: 4, pp:2081-2083, July 1998
- [5] Semiconductor Industry Association, "The international Technology Roadmap for Semiconductor 2004 Updates".
- [6] R. M. Nelms, B. W. Evans, and I.L. Grigsby, "Simulation of AC spacecraft power systems" *IEEE Transactions on Industrial Electronics*, Vol. 36, No 3., pp. 393-402, Aug, 1989.

저자소개

Taikyeong T. Jeong received the Ph.D. degree from the Department of Electrical and Computer Engineering, the University of Texas at Austin in 2004. He performed research in the area of high performance circuit design and power efficiency system design. He joined the Myongji University, where he is now an assistant professor and MITERI (Myongji IT Engineering Research Institute), working on VLSI design for next generation space robotics devices and high performance circuit and system. His research interests include VLSI design, computer architecture, SoC for communication and network applications, and high performance system design.

Jang Ho Lee received the Ph.D. degree in computer science from the University of Michigan, Ann Arbor in 2000. He worked on collaborative systems at IBM T. J. Watson Research Center, NY as a postdoctoral researcher in 2000. He is currently an assistant professor at the Department of Computer Engineering at Hongik University, Korea. His research interests include computer-supported cooperative work, grid computing, and distributed systems.