

---

# 20nm이하 FinFET의 크기변화에 따른 서브문턱스윙분석

정 학 기\*

## Analysis of Dimension Dependent Subthreshold Swing for FinFET Under 20nm

Hak Kee Jung\*

### 요 약

본 연구에서는 20nm이하 채널길이를 가진 FinFET에 대하여 문턱전압이하에서 서브문턱스윙을 분석하였다. 분석을 위하여 분석학적 전류모델을 개발하였으며 열방사 전류 및 터널링 전류를 포함하였다. 열방사전류는 포아슨 방정식에 의하여 구한 포텐셜분포 및 맥스웰-볼츠만통계를 이용한 캐리어분포를 이용하여 구하였으며 터널링전류는 WKB(Wentzel-Kramers-Brillouin)근사를 이용하였다. 이 두 모델은 상호 독립적이므로 각각 전류를 구해 더함으로써 차단전류를 구하였다. 본 연구에서 제시한 모델을 이용하여 구한 서브문턱스윙값이 이차원시뮬레이션값과 비교되었으며 잘 일치함을 알 수 있었다. 분석 결과 10nm이하에서 특히 터널링의 영향이 증가하여 서브문턱스윙특성이 매우 저하됨을 알 수 있었다. 이러한 단채널현상을 감소시키기 위하여 채널두께 및 게이트산화막의 두께를 가능한 얇게 제작하여야함을 알았으며 이를 위한 산화공정개발이 중요하다고 사료된다. 또한 채널도핑변화에 따른 서브문턱스윙값을 구하였으며 저도핑영역에서 일정한 값을 가지는 것을 알 수 있었다.

### ABSTRACT

In this paper, the subthreshold swing has been analyzed for FinFET under channel length of 20nm. The analytical current model has been developed, including thermionic current and tunneling current models. The potential distribution by Poisson equation and carrier distribution by Maxwell-Boltzman statistics are used to calculate thermionic emission current, and WKB(Wentzel-Kramers-Brillouin) approximation to tunneling current. The cutoff current is obtained by simple adding two currents since two current is independent. The subthreshold swings by this model are compared with those by two dimensional simulation and two values agree well. Since the tunneling current increases especially under channel length of 10nm, the characteristics of subthreshold swing is degraded. The channel and gate oxide thickness have to be fabricated as thin as possible to decrease this short channel effects, and this process has to be developed. The subthreshold swings as a function of channel doping concentrations are obtained. Note that subthreshold swings are resultly constant at low doping concentration.

### 키워드

FinFET, subthreshold swing, thermionic current, tunneling current

### I. 서 론

반도체산업은 우리나라 전체 산업구조에서 매우 중요한 역할을 하며 지속적으로 발전하고 있다. 반도체산업에

서 지배적인 위치를 차지하기 위해서 각 업체마다 새로운 설계방법 및 소자구조 개발에 정진하고 있다. 이는 결국 집적도를 증가시켜 생산성을 향상시킴으로써 단가를 낮추고 경쟁력을 증가시키기 위한 노력이다. 집적도 증가를

위하여 소자의 크기는 계속 감소하고 있다. 그러나 기존의 MOSFET 구조에서는 피할 수 없는 단채널효과(SCE; Short Channel Effects) 때문에 더 이상 미세구조를 제작할 수 없게 되었다. 이에 반도체업계에서는 단채널효과를 최소화하는 새로운 구조의 MOSFET를 개발하려 노력하고 있으며 이에 부응하는 소자가 이중게이트(Double Gate) MOSFET이다.[1-3]

소자구조의 혁신은 FinFET에서 처럼 결정방향에 의존하면서 실리콘표면으로 전류흐름이 발생하는 구조와 실리콘 표면에 수직방향으로 전류가 흐르도록 설계하는 FD(Fully Depletion) SOI 구조로 요약할 수 있다. 이중한가지 특징있는 구조는 초박막, 저도핑채널을 가진 이중게이트 FD SOI 구조이다. 이중게이트 MOSFET는 동적 문턱전압동작을 하며 비대칭구조를 제작할 수 있다는 특징이 있다. PD(Partially Depletion) 또는 FD SOI 구조에서 에피텍셜층은 단채널효과에 매우 중요한 역할을 담당하고 있다. 단채널효과는 20nm이하에서 매우 중요하며 10nm이하에서는 특히 관심을 기울이는 주제이다.[4]

FD 다중구조의 경우 실리콘채널 두께의 형태 및 질에 따라 소자특성이 매우 민감하다. 즉, 단일게이트 MOSFET의 경우 단채널효과를 제어하기 위하여 FD 실리콘 채널 두께는 게이트길이의 1/3정도로 작아야만 하며 양 파라미터는 매우 정확하게 설계되어야만 한다. 그러나 다중게이트의 경우는 이와같은 1/3의 제한을 완화시켜 줄 뿐만 아니라 단채널효과를 제어하는데 장점을 가지고 있다. 이러한 구조중 가장 매력적인 소자는 이중게이트 MOSFET의 일종인 FinFET이다.[4]

본 연구에서는 FinFET의 분석학적 전류모델을 이용하여 게이트산화막, 채널두께 및 채널길이에 따른 서브문턱스윙(SS; Subthreshold swing)의 변화 등 단채널효과에 미치는 영향을 고찰하고자 한다. 사용된 전류모델은 포아슨 방정식으로부터 유도되었으며 열방사(thermionic emission) 및 터널링(tunneling) 전류를 이용하여 전체 전류를 계산하였다.

## II. FinFET

이중구조 MOSFET는 제작방법에 따라 수평형, 수직형 그리고 핀(fin)구조로 나뉘질 수 있다. 수평형구조는 이중게이트구조의 장점인 단채널효과를 감소시킬 수 있다는

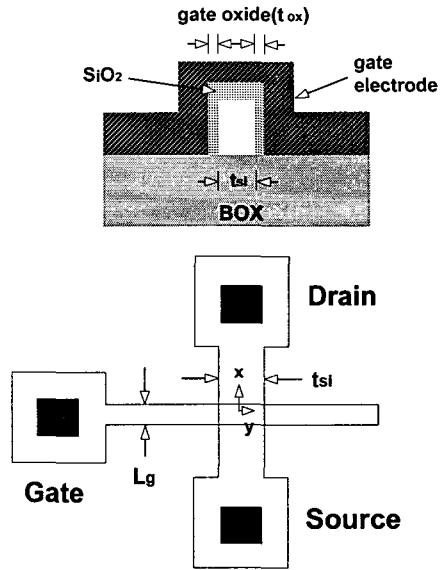


그림 1. FinFET 구조의 개략도 및 평면도  
Fig. 1. Schematic diagram and top view for FinFET

특징이 있으나 집적도를 향상시킬 수 없다는 단점 때문에 수직형 구조로 발전되었다. 그러나 수직형구조는 공정상 어려움 때문에 핀구조에 대한 연구가 주류를 이루고 있는 실정이다. 핀구조는 그림 1과 같이 소스와 드레인을 가로질러 핀 모양으로 게이트를 제작하여 구성하고 있으며 핀을 제작하는 것이 핵심공정이 되고 있다.

본 연구에서는 그림 1과 같이 대부분의 전자전송이 발생하는 채널영역에 대한 전류모델을 계산하고자 한다. 채널두께  $t_{si}$ 와 게이트 산화막두께  $t_{ox}$  그리고 채널길이  $L_g$  등을 변화시키면서 서브문턱스윙을 분석할 것이다. 또한 도핑농도의 변화에 대한 SS의 변화도 고찰함으로써 도핑농도와 SS의 상관관계를 유도할 것이다. 특히  $t_{ox}$ 가 차단영역에서 차단전류에 미치는 영향을 집중분석함으로써 단채널에 의한 누설전류의 증가에 대하여 고찰할 것이다.

## III. 문턱전압이하 전류모델

문턱전압이하에서 드레인에 전압을 가하면 열방사전류 및 터널링전류가 발생한다. 이 전류는 누설전류로서 가능하면 작게 제어되도록 설계하여야 한다. 문턱전압이하에서 긴채널 FET의 경우는 열방사에 의한 전류가 우세

하나 나노구조 FET의 경우 터널링 전류가 매우 증가하여 서브문턱스윙, 문턱전압이동(Threshold voltage roll-off), 드레인유기장벽저하(DIBL; Drain Induced Barrier Lowering) 등 단채널효과에 의한 전송특성 저하가 발생하게 된다. 이러한 단채널효과중 서브문턱스윙의 변화를 고찰하기 위하여 전류모델을 제시하고자 한다.

먼저 포텐셜분포  $\Psi$ 를 구하기 위하여 포아슨방정식을 이용하였다.

$$\nabla^2 \Psi(x, y) = qN_A / \epsilon_{Si} \quad (1)$$

여기서  $N_A$ 는 채널내 도핑농도이며  $\epsilon_{Si}$ 는 실리콘의 유전율이다. 이때 서브문턱영역에서 채널포텐셜은 완전히 결핍상태에서 이차원 포아슨방정식을 이용하여 구하였다.[5]

식 (1)에서 구한  $\Psi$ 를 이용하여 독립적으로 발생하는 열방사전류와 터널링전류를 각각 구하였다. 그림 2에 열방사전류와 터널링전류의 발생위치 및 채널내 포텐셜에너지의 관계를 도시하였다.

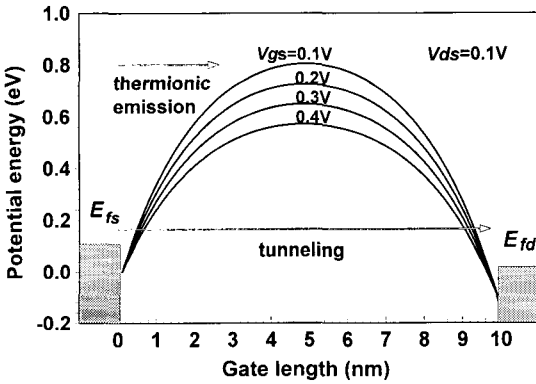


그림 2. 채널내 포텐셜에너지분포 및 전류관계  
Fig. 2. Relation of currents and potential energy distributions in the channel

열방사전류는 전위장벽보다 높은 에너지를 지닌 전자에 의한 전류이므로 이에 해당하는 전자농도를 구하기 위하여 맥스웰-볼츠만통계에 의한 전자분포식을 이용하였다.

$$n_m(y) = (n_i^2 / N_A) e^{q\psi_m(y) / kT} \quad (2)$$

$n_i$ 는 진성반도체농도이며  $\Psi_{min}$ 는 채널내 최소포텐셜로서 대부분의 전류가 흐르는 중심  $d_{eff}$ 에 해당하는 포텐셜로서  $\partial \Psi(x, y) / \partial x = 0$ 에서 구할 수 있다. 이때 열방사전류는

$$I_{th} = qn_m(d_{eff})v_{th}S/6 \quad (3)$$

$$d_{eff} = \lambda_1 \cos^{-1} \left[ \frac{\int_0^{t_s/2} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_s/2} n_m dy} \right]$$

으로 표현할 수 있다. 이때  $S$ 는 단위시간당 전자가 드레인 종단에 도착하여 콘택으로 빠져나갈 수 있는 면적으로서 채널두께와 채널폭의 곱이다. 자유도에 의하여 전자의 1/6이 드레인에 도착하므로 1/6을 곱하였다.

터널링전류는 WKB(Wentzel-Kramers- Brillouin) 근사를 이용하여 구하였다. 이 근사방법에 의한 오차는 매우 작은 것으로 Stadelc 등[6]이 최근 발표하였다. 종방향 및 횡방향에 해당하는 터널링 확률  $T_{t,l}$ 은

$$T_{t,l} = \exp \left[ -2 \int_{x_1}^{x_2} |\alpha_{t,l}(x)| dx \right] \quad (4)$$

$$\alpha_{t,l}(x) = \sqrt{\frac{2m_{t,l} [q\Psi(x, d_{eff}) - E_{f,s,d}]}{\hbar}}$$

이다. 여기서  $E_{f,s,d}$ 는 소스/드레인영역에서의 페르미준위이며  $m_{t,l}$ 은 종방향 및 횡방향 유효질량을 표시하고 있다.  $x_1$ 과  $x_2$ 는 페르미준위와 동일한 포텐셜에너지준위에 해당하는  $x$ 방향의 위치를 나타낸다. 이때 터널링전류는

$$I_{tunn} = (qN_D S/6) (2T_t v_{th_s} / 3 + T_l v_{th_d} / 3) \quad (5)$$

와 같이 표현할 수 있으며 이때 종방향으로 이동하는 전자는 2/3, 횡방향으로 이동하는 전자는 1/3이다.  $v_{th_s}$ 와  $v_{th_d}$ 은 각각 종방향과 횡방향의 열적 속도를 나타내고 있다.

전체 차단전류를 구하기 위하여 식 (3)과 식 (5)를 더하였다.

$$I_{tot} = I_{th} + I_{tunn} \quad (6)$$

식 (6)을 이용하여 서브문턱스윙을 다음과 같이 구하여 전송특성을 분석하였다.

$$SS = \left[ \frac{\partial \log(I_{tot})}{\partial V_{gs}} \right]^{-1} = \left[ \frac{\partial I_{th}/\partial V_{gs} + \partial I_{tunn}/\partial V_{gs}}{\ln 10 \cdot I_{tot}} \right]^{-1} \quad (7)$$

본 연구에서는 소자의 크기에 대한 SS 특성의 변화를 고찰하기 위하여 게이트산화막 두께 및 채널두께 그리고 게이트길이  $L_g$ 의 변화에 따라 전송특성인 서브문턱스윙 SS가 어떻게 변화하는지 조사, 고찰할 것이다. 또한 게이트길이가 20nm이하에서는 터널링전류를 무시할 수 없으므로 이러한 크기인자들이 터널링전류에 미치는 영향도 함께 고려할 것이다.

#### IV. 이중게이트 FinFET의 크기변화에 따른 특성

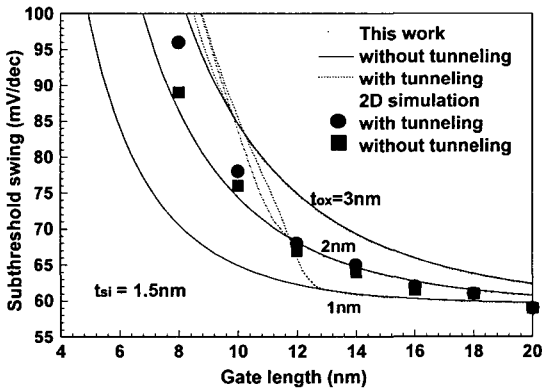


그림 3. 게이트길이에 따른 서브문턱스윙  
Fig. 3. Subthreshold swing for gate length

던저 본 연구에서 사용한 모델의 타당성을 증명하기 위하여 이차원 시뮬레이션결과[7]와 본 연구의 결과를 비교하였다. 그림 3에 서브문턱스윙에 대한 결과를 도시하였다. 그림 3에서 알 수 있듯이 이차원 시뮬레이션결과와 잘 일치하고 있으므로 본 연구에서 제시한 모델이 타당하다는 것을 알 수 있다. 특히 터널링에 의하여 급격히 SS 특성이 저하하는 현상을 관찰 할 수 있다. 이러한 SS 특성저하는 채널길이가 작아질수록 더욱 급격히 발생하는

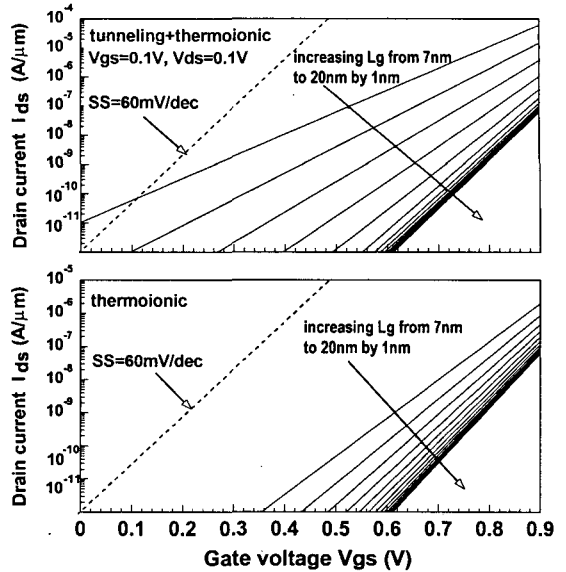


그림 4. 게이트길이에 따른 전송 특성  
Fig. 4. Transfer characteristics for gate length.

데 이는 터널링전류가 채널이 작아질수록 급격히 증가하며 터널링전류는 식 (5)에서도 알 수 있듯이 열방사전류보다 게이트전압에 덜 영향을 받기 때문에 SS가 급격히 증가함을 알 수 있다. 특히 게이트길이가 10nm ~ 12nm에서 터널링전류에 의하여 게이트 산화막 두께에 관계없이 급격히 SS가 증가하여 전송특성이 저하되는 것을 알 수 있다. 즉, 터널링이 발생하면 산화막두께는 SS 특성에 거의 영향을 미치지 못하는 것을 알 수 있다. 이를 자세히 고찰하기 위하여 그림 4에 게이트전압의 변화에 따른 총전류 즉, 드레인전압의 변화를 도시하였다. 이때 게이트산화막의 두께는 1.5nm, 채널의 두께도 1.5nm일 때의 결과이다. 비교를 위하여  $SS = 60mV/dec$ 이 되는 그래프도 함께도시하였다. 터널링을 무시하였을 때는 게이트길이에 관계없이 거의  $SS = 60mV/dec$ 의 값을 가지나 터널링이 발생하였을 때는 게이트길이가 작아질수록 터널링전류가 크게 증가하며 SS 값이 증가함을 알 수 있다. 채널길이가 작아지면 대부분의 전류가 터널링에 의하여 구성됨을 알 수 있으며 증가비율도 급격히 증가함을 그림 4에서 확인할 수 있다. 특히 10nm 이하에서 터널링은 급격히 발생하며 이로인한 SS 특성저하가 심각하게 발생함을 알 수 있다.

그림 5는 보다 자세히 SS 특성을 관찰하기 위하여 채

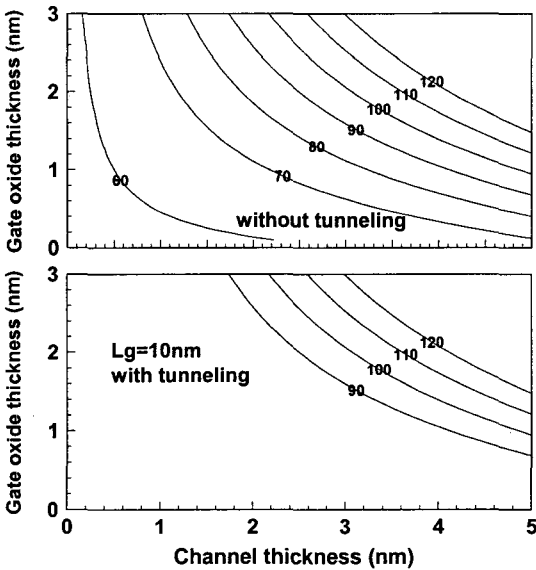


그림 5. 게이트길이 10nm에서 크기변화에 따른 SS의 변화

Fig. 5. Design contour of subthreshold swings for dimension change at  $L_g = 10nm$

널두께와 게이트산화막 두께의 변화에 따른 SS의 변화를 게이트길이 10nm에서 계산한 결과이다. 터널링이 발생하지 않을 경우 이상적인 SS 값인  $60 \sim 70mV/dec$ 에 도달할 수 있으나 터널링이 발생하면 게이트 산화막 두께 및 채널두께를 조정하여도  $90mV/dec$  값 이하의 SS를 얻기 힘들다는 것을 알 수 있다. 즉, 터널링에 의하여 소자의 SS 특성이 급격히 저하되며 누설전류도 급격히 증가함을 알 수 있다. 서론에서도 언급한 바와같이 동일한 SS 값을 유지하기 위하여 채널두께를 게이트길이의 2/3까지 증가시킨다면 게이트산화막 두께가 1nm 이하로 작아져야만 할 것이다. 즉, 게이트길이를 10nm 이하로 유지하면서 우수한 전송특성을 얻기 위하여 게이트산화막의 두께를 가능한 얇게 제작할 수 있는 공정기술의 개발이 절실히 요구되고 있다. Yu 등[8]의 실험에서도 알 수 있듯이  $L_g = 10nm$ ,  $t_{Si} = 17 \sim 26nm$ ,  $t_{ox} = 1.7nm$  정도의 크기를 가진 FinFET 소자에서 약  $125mV/dev$  정도의 SS 값이 관찰되고 있다. 이렇게 높은 SS 값을 가진 소자는 디지털용 ON/OFF소자에 이용하기 어려우므로 상기 언급한 바와같이 게이트산화막 두께 및 채널두께를 감소시키는 공정개발이 필수적이다. 또한 Yu 등의 실험결과,

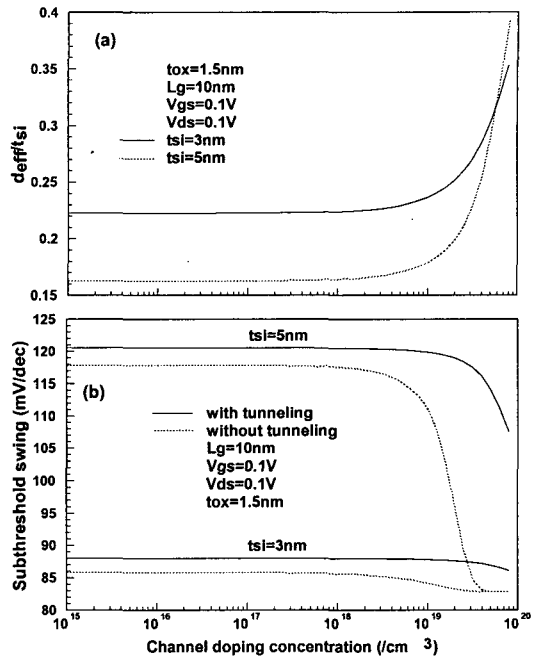


그림 6. 채널도핑농도에 따른 (a) 전도중심의 변화 (b) SS의 변화

Fig. 6 (a) Current paths (b) Subthreshold swings according to channel doping concentration.

게이트길이가 20nm 이상일 경우는 SS가 90이하의 만족할 만한 값을 나타내고 있다. FinFET 공정은 이온주입에 의하여 채널이 형성되는 일반 FET공정과 달리  $SiO_2$  층을 마스크로 이용한 식각공정에 의하여 채널두께가 결정되므로 게이트산화막 두께와 더불어 마스크용 산화막 제작공정이 매우 중요하다고 사료된다. 결론적으로 터널링이 발생하여도 우수한 전송특성을 유지하기 위해선 채널두께, 게이트산화막 두께 등을 얇게 제작할 수 있는 공정이 필수적이다.

그림 6은 채널도핑에 따른 SS의 변화를 채널두께의 변화에 따라 도시한 결과이다. 역시 터널링에 의하여 SS가 증가함을 알 수 있다. 채널두께가 증가하면 매우 큰 폭으로 SS가 증가함을 알 수 있는데 결과적으로 채널두께를 작게 유지하여야 할 것이다. 저도핑에서는 전도중심이 일정하기 때문에 약  $10^{18}/cm^3$  이하에서는 거의 일정한 SS 값을 유지함을 알 수 있다. 그러나 도핑농도가 증가하면 전도중심이 게이트콘택으로 이동하여 게이트전압에 대한 영향력이 증가함으로써 SS가 감소한다. 그러나 고도핑에서는 SS의 변화가 심하여 일정한 SS를 얻을 수

없고 완전결핍상태를 유도할 수 없기 때문에 이중게이트 FinFET에서는  $10^{15}/cm^3$  이하의 저농도도핑 채널을 사용하고 있다. 또한 게이트 산화막두께가 감소하면 터널링 확률도 감소[9]하기 때문에 도핑농도감소와 함께 산화막두께도 감소하여야 할 것이다.

## V. 결 론

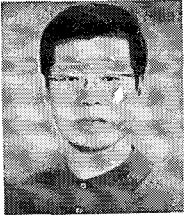
본 연구에서는 이중게이트 FinFET에 대한 크기변화에 따른 단채널효과의 변화에 대하여 고찰하였다. FinFET 구조는 수평형 및 수직형 이중게이트구조보다 공정상, 구조상 장점을 가지는 것으로 알려져 있다. 분석을 위하여 분석학적 전류모델을 제시하였으며 문턱전압이하 영역에서 중요한 열방사전류 그리고 게이트길이가  $20nm$  이하서 중요한 전류메카니즘인 터널링전류를 각각 독립적으로 유도하여 차단전류를 구하고 단채널효과를 분석하였다.  $20nm$  이하로 채널길이가 작아지는 FET소자구조에서는 터널링에 의한 특성저하가 매우 심각하므로 이에 대한 분석도 병행하였다.

본 연구에서 제시한 전류모델은 이차원시뮬레이션 결과와 매우 잘 일치하였다. 이 모델을 이용하여 구한 서브문턱스윙을 분석해 보면, 터널링에 의하여 특성이 급격히 저하되는 것을 알 수 있었다. 특히  $10nm \sim 12nm$  이하의 게이트길이를 갖는 FinFET의 경우 터널링에 의한 전류가 급격히 상승하여 디지털소자로 사용하기 어려울 정도로 서브문턱스윙값이 증가함을 알 수 있었다. 이와같은 현상을 줄이기 위하여 채널의 두께 및 게이트산화막두께를 감소시키면 서브문턱스윙값을 낮출 수 있을 것으로 사료되나 이는 공정개발이 선행되어야 할 것이다. 게이트 산화막 뿐만이 아니라 채널두께를 정의하는 산화막형성 공정도 또한 개발되어야 할 것이다. 채널도핑농도에 따른 서브문턱스윙을 분석한 결과, 안정적인 서브문턱스윙을 얻고자할 때는  $10^{15}/cm^3$  정도의 저도핑공정이 요구되며 언급한 바와같이 채널두께 및 게이트산화막두께를 얇게 제작하여야만 할 것이다. 이 연구의 결과를 이용하여 향후 FinFET의 전송특성을 연구하는데 도움이 될 것이다. 특히 이 연구는 문턱전압이하에서 차단영역에 걸친 전압영역에서 수행되었으므로 선형영역 및 포화영역에서의 전류모델 개발이 이루어져야 할 것이다.

## 참고문헌

- [1] S. Xiong and J. Bokor, "Sensitivity of Double-Gate and FinFET Devices to Process Variations," *IEEE Trans. Electron Devices*, vol. 50, no.11, pp.2255-2261, 2003.
- [2] A.Rahmam, J.Guo, S.Datta, M.S.Lundstrom, "Theory of Ballistic Nanotransistors," *IEEE Trans. Electron Devices*, vol. 50, no.9, pp.1853-1864, 2003.
- [3] H.Liu, Z.Xiong, J.K.O.Sin, "Implementation and Characterization of the Double-Gate MOSFET Using Lateral Solid-Phase Epitaxy," *IEEE Trans. Electron Devices*, vol. 50, no.6, pp.1552-1555, 2003.
- [4] H.R.Huff and P.M.Zeitoff, "The Ultimate CMOS Device:A 2003 Perspective," *the 2003 International Conference on Characterization and Metrology for ULSI Technology*, pp.1-16, Austin,Texas,2003.
- [5] 정학기, "나노구조 이중게이트 MOSFET에서 터널링이 단채널효과에 미치는 영향" 한국해양정보통신학회 논문집, vol. 10, no.3, pp.479-485, 2006.
- [6] M.Stadele, "Influence of source-drain tunneling on the subthreshold behavior of sub-10nm double-gate MOSFETs," *Proc. ESSDER*, pp.135 -138, 2002.
- [7] D.Munteanu and J.L.Autran, "Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," *Solid-State Electronics*, vol.47, pp.1219-1225, 2003.
- [8] B.Yu,L.Chang, S.Ahmed, H.Wang, S.Bell, C.Yang, C.Tabery, C.Ho, Q.Xiang, T.King, J.Bokor, C.Hu, M.Lin, D.Kyser, "FinFET Scaling to 10nm Gate Length," *IEDM*, SanFrancisco, CA, 2002.
- [9] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp. 685-691, 2006.

저자소개



정 학 기(Hak Kee Jung)

- 1983. 아주대학교 전자공학과(BS)
- 1985. 연세대학교 전자공학과(MS)
- 1990. 연세대학교 전자공학과(Ph.D)
- 1995. 일본 오사카대학 객원연구원

2004. 호주 그리피스대학 객원연구원

2006. 한국해양정보통신학회 편집이사

※ 관심분야: 반도체소자설계 및 시뮬레이션, 몬테카르로 시뮬레이션