

논문 2006-43SD-11-8

# 높은 정확도를 가진 집적 커패시터 기반의 10비트 250MS/s 1.8mm<sup>2</sup> 85mW 0.13um CMOS A/D 변환기

( A 10b 250MS/s 1.8mm<sup>2</sup> 85mW 0.13um CMOS ADC Based on  
High-Accuracy Integrated Capacitors )

사 두 환\*, 최 희 철\*, 김 영 록\*, 이 승 훈\*\*

( Doo-Hwan Sa, Hee-Cheol Choi, Young-Lok Kim, and Seung-Hoon Lee )

## 요 약

본 논문에서는 차세대 디지털 TV 및 무선 랜 등과 같이 고속에서 저전압, 저전력 및 소면적을 동시에 요구하는 고성능 집적시스템을 위한 10b 250MS/s 1.8mm<sup>2</sup> 85mW 0.13um CMOS A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 요구되는 10b 해상도에서 250MS/s의 아주 빠른 속도 사양을 만족시키면서, 면적 및 전력 소모를 최소화하기 위해 3단 파이프라인 구조를 사용하였다. 입력단 SHA 회로는 게이트-부트스트래핑 (gate-bootstrapping) 기법을 적용한 샘플링 스위치 혹은 CMOS 샘플링 스위치 등 어떤 형태를 사용할 경우에도 10비트 이상의 해상도를 유지하도록 하였으며, SHA 및 두개의 MDAC에 사용되는 증폭기는 트랜스컨덕턴스 비율을 적절히 조정된 2단 증폭기를 사용함으로써 10비트에서 요구되는 DC 전압 이득과 250MS/s에서 요구되는 대역폭을 얻음과 동시에 필요한 위상 여유를 갖도록 하였다. 또한, 2개의 MDAC의 커패시터 열에는 소자 부정합에 의한 영향을 최소화하기 위해서 인접신호에 덜 민감한 향상된 3차원 완전 대칭 구조의 커패시터 레이아웃 기법을 제안하였으며, 기준 전류 및 전압 발생기는 온-칩 RC 필터를 사용하여 잡음을 최소화하고, 필요시 선택적으로 다른 크기의 기준 전압을 외부에서 인가할 수 있도록 설계하였다. 제안하는 시제품 ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 각각 최대 0.24LSB, 0.35LSB 수준을 보여준다. 또한, 동적 성능으로는 200MS/s와 250MS/s의 동작 속도에서 각각 최대 54dB, 48dB의 SNDR와 67dB, 61dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 1.8mm<sup>2</sup>이며 전력 소모는 1.2V 전원 전압에서 최대 동작 속도인 250MS/s일 때 85mW이다.

## Abstract

This work proposes a 10b 250MS/s 1.8mm<sup>2</sup> 85mW 0.13um CMOS A/D Converter (ADC) for high-performance integrated systems such as next-generation DTV and WLAN simultaneously requiring low voltage, low power, and small area at high speed. The proposed 3-stage pipeline ADC minimizes chip area and power dissipation at the target resolution and sampling rate. The input SHA maintains 10b resolution with either gate-bootstrapped sampling switches or nominal CMOS sampling switches. The SHA and two MDACs based on a conventional 2-stage amplifier employ optimized trans-conductance ratios of two amplifier stages to achieve the required DC gain, bandwidth, and phase margin. The proposed signal insensitive 3-D fully symmetric capacitor layout reduces the device mismatch of two MDACs. The low-noise on-chip current and voltage references can choose optional off-chip voltage references. The prototype ADC is implemented in a 0.13um 1P8M CMOS process. The measured DNL and INL are within 0.24LSB and 0.35LSB while the ADC shows a maximum SNDR of 54dB and 48dB and a maximum SFDR of 67dB and 61dB at 200MS/s and 250MS/s, respectively. The ADC with an active die area of 1.8mm<sup>2</sup> consumes 85mW at 250MS/s at a 1.2V supply.

**Keywords:** ADC, CMOS, 저전압, 저전력, 파이프라인

## I. 서 론

최근 고화질 디지털 영상 시스템과 무선 통신 기술이

급속하게 발전함에 따라 그에 부합하는 고성능 A/D 변환기 (analog-to-digital converter : ADC)에 대한 요구가 점차 증가하고 있다. 또한, 많은 시스템이 하나의 칩 속에 집적되는 System-on-a-Chip (SoC) 추세에 따라 고속 및 고해상도를 가지면서 1V 수준의 낮은 전원 전압에서 동작하며, 단일 칩으로 다른 CMOS 디지털 VLSI 회로와 함께 집적 가능한 저전력 및 소면적 ADC가 절실

\* 정회원, \*\* 평생회원, 서강대학교 전자공학과  
(Dept. of Electronic Engineering, Sogang University)  
※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」  
및 산업자원부 시스템2010과제에 의해 지원되었음.  
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

한 상황이다. 특히, Ultra eXtended Graphics Array (UXGA) 해상도를 요구하는 차세대 디지털 TV, 레이더 영상 등과 같은 고화질 영상 시스템, 무선 근거리망 기술 (IEEE 802.11)을 바탕으로 하는 무선 랜 (Wireless Local Area Network : WLAN), 무선 광대역 기술 (IEEE 802.16)을 바탕으로 하는 Worldwide Inter-operability for Microwave Access (WiMax), Software Defined Radio (SDR), Local Multipoint Distribution Service (LMDS) 등과 같은 최첨단 무선 통신 시스템, TV, Video, Radio Decoders 및 각종 측정 장비 등에 사용되는 ADC는 10비트 수준의 해상도 및 200MS/s 이상의 고속 샘플링 속도의 성능을 만족하면서 SoC 응용을 위해 저전압, 저전력 및 소면적이 필수적으로 요구된다.

기존의 다양한 ADC 구조 중에서 10비트의 해상도 및 200MHz 이상의 고속 동작 주파수 조건을 동시에 만족하기 위해서 최근에는 면적 및 전력 소모를 최적화하는 파이프라인 구조를 많이 사용하고 있는 추세이다. 최근에 발표된 10비트의 해상도에서 50MS/s 이상의 샘플링 속도를 갖는 파이프라인 CMOS ADC를 본 논문에서 제안하는 ADC와 함께 그림 1에 나타내었다<sup>[1]-[17]</sup>. 그림 1에서 보듯이 대부분의 ADC들은 증폭기의 궤환 이득 (feedback gain) 및 부하 커패시터 성분이 작아 고속 동작에 유리한 4단 이상의 다단 파이프라인 구조로 구현되었다. 그러나 4단 이상의 다단 파이프라인 구조를 가진 ADC들의 경우, 200MS/s 이상의 높은 동작 속도를 구현하기 용이하나 뒷단으로부터의 잡음 및 소자 부정합으로 인해 입력으로 유입되는 오차 (input-referred error) 등이 전체 ADC의 정적 특성 및 동적 특성을 저하시킬 수 있으며 단 수가 많아짐에 따라 사용되는 증폭기의 개수가 많아지므로 면적 및 전력 소모가 증가하는 경향이 있다<sup>[15],[17]</sup>. 그 반면, 첫째 및 둘째 단에서 각각 6비트 및 5비트를 생성하는 2단 파이프라인 구조의 경우, 상대적으로 사용되는 증폭기의 개수가 적어 면적 및 전력 소모를 줄일 수 있지만, 공정의 특성 및 증폭기의 높은 궤환 이득 및 큰 부하 커패시터 성분으로 인해 요구되는 10b 해상도 및 250MS/s의 빠른 샘플링 속도를 만족시키기 어렵다<sup>[13]</sup>. 이러한 측면들을 고려하여, 본 논문에서 제안하는 ADC는 4단 이상의 다단 파이프라인 구조에 비해 뒷단으로부터 입력으로 유입되는 오차를 감소시켜 잡음 및 소자의 부정합의 영향을 줄이면서, 250MS/s의 빠른 샘플링 속도를 처리할 수 있는 범위 내에서 필요한 증폭기의 개수를 줄임으로 면적 및 전력 소모를 가장 최소화할 수 있는 3단 파이프라인 구조로 구현하였다. 또한, 제

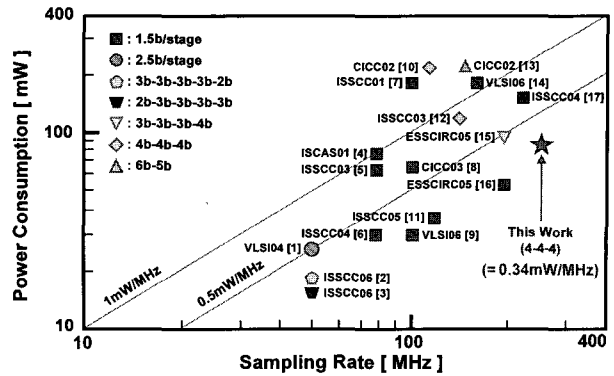


그림 1. 최근에 발표된 10비트 CMOS ADC의 샘플링 속도 및 전력 소모 비교  
 Fig. 1. Sampling rate and power consumption comparison of recently published 10b CMOS ADCs.

안하는 ADC는 최근 ADC들이 다기능, 소면적의 장점과 함께 전력 소모를 줄이기 위해서 1V~1.5V의 낮은 전원 전압을 사용함을 고려하여 1.2V의 낮은 전원 전압을 사용하였으며, 그림 1에서 보듯이 샘플링 속도에 대한 전력 소모가 0.34mW/MHz로 거의 세계 최고 수준임을 알 수 있다.

본 논문에서는 1.2V의 전원 전압에서 10비트 해상도와 250MS/s의 고속 동작 속도를 만족시키는 ADC를 칩으로 구현하기 위해, (1) 주어진 공정에서 면적과 전력 소모를 최소화할 수 있는 3단 파이프라인 구조로 설계하였으며, (2) 입력단 샘플-앤-홀드 증폭기 (Sample-and-Hold Amplifier : SHA)는 저전압에서의 높은 정확도를 검증하기 위해 게이트-부트스트래핑 (gate-bootstrapping) 기법을 적용한 샘플링 스위치를 사용한 것과, CMOS 샘플링 스위치를 사용한 것 두 가지 버전으로 각각 제작되었다. (3) 또한, SHA와 두 개의 Multiplying D/A 변환기 (Multiplying D/A converter : MDAC)에는 10비트에 해당하는 DC 전압 이득, 250MS/s의 빠른 샘플링 속도 및 안정적인 신호 정착에 필요한 위상 여유를 동시에 얻기 위해 트랜스컨덕턴스 비율을 최적화한 2단 증폭기를 사용하였으며, (4) ADC의 정적 특성에 결정적 영향을 끼치는 2개의 MDAC에는 10비트 수준의 높은 매칭 정확도를 얻기 위하여 기존과 같이 각각의 단위 커패시터를 인접 신호라인과 완전히 분리하되, 추가적으로 인접 신호라인 사이에도 금속선들을 배치하여 신호라인에서 발생하는 기생 커패시턴스의 양상까지도 유사하게 만드는 향상된 3차원 완전 대칭 커패시터 레이아웃 기법을 제안하였으며, (5) 온도 및 전원 전압에 독립적인 온-칩 RC 필터 기반의 기준 전류 및 전압 발생기를 칩 상에 집적하여 중요

한 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하였고, 입출력 패드의 수를 고려하여 선택적으로 외부 기준 전압을 사용할 수 있도록 하였으며, 3개의 flash ADC에는 인터플레이션 (Interpolation) 기법을 적용하여 사용되는 프리-앰프의 개수를 50%로 줄였다. II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV 장에서 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

### II. 제안하는 10b 250MS/s ADC 전체 구조

본 논문에서 제안하는 10b 250MS/s ADC는 3개의 각 단에서 각각 4비트를 결정하는 3단 파이프라인 구조이며, ADC의 전체 구조는 그림 2와 같이, 입력 SHA, 2개의 4b MDAC, 각 단에서 4비트씩 결정하는 3개의 flash ADC, 디지털 교정 회로 (digital correction logic), 온-칩 기준 전류 및 전압 발생기, 온-칩 분주기 (on-chip decimator) 및 클럭 발생기 (clock generator) 로 구성된다.

두 개의 중첩되지 않는 클럭 Q1, Q2는 하나의 입력 클럭으로부터 칩 내부에서 발생시켰고, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough) 등의 비선형 오차는 디지털 교정 회로에 입력되는 12비트 중에서 각각 1비트씩 중첩시켜 10비트의 출력을 얻는 전형적인 디지털 교정 방식으로 교정된다. 온-칩 기준 전류 및 전압 발생기는 고속에서 동작시키기 위해 오프-칩으로는 구현이 어려운 정확하고 안정된 기준 전류 및 전압을 얻기 위해 집적되었으며, 온-칩 분주기는 ADC의 출력 신호를 2분주, 혹은 4분주로 다운샘플링하여 최종 출력 코드를 내보냄으로써 고속 동작시 측정 기판에서 발생하는 잡음 등을 최소화하기 위해 사용되었다.

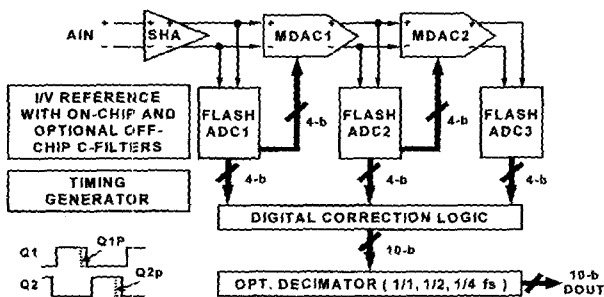


그림 2. 제안하는 10b 250MS/s 0.13um CMOS ADC  
Fig. 2. Proposed 10b 250MS/s 0.13um CMOS ADC.

### III. 제안하는 주요 회로 설계 및 레이아웃 기법

#### 1. 광대역 저잡음 SHA 회로에 사용되는 두 가지 버전의 스위치

저전압 ADC 회로를 구현하기 위해서 가장 중요한 회로 부분 중 하나는 입력단 SHA 회로의 스위치 및 증폭기이다. 광대역 저잡음 입력단 SHA 회로는 250 MS/s의 샘플링 속도에서 10비트 수준의 해상도를 유지하기 위해 두 가지 버전으로 제작 및 검증되었으며, 첫 번째 버전의 경우, 그림 3(a)와 같이 게이트-부트스트래핑 기법이 적용된 샘플링 스위치를 사용하였다<sup>[18]</sup>. 부트스트래핑 기법을 적용한 NMOS 샘플링 스위치의 경우 식 (1)에서 볼 수 있듯이<sup>[19]</sup>, 입력 신호의 변화에 관계없이 스위치의 게이트-소스 전압을 전원 전압 수준으로 일정하게 유지시켜 온-저항 (on-resistance)  $R_{on}$ 의 변화를 줄임으로써 입력 신호의 왜곡을 최소화할 수 있다.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})}, \quad V_{gs} \cong V_{DD} \quad (1)$$

기존의 CMOS ADC에서 사용되는 부트스트래핑 회로는 전원 전압 이상이 인가되는 일부 소자들에 유전체가 두껍고 채널이 긴 3.3V용 소자들을 사용하지만<sup>[12]</sup>, 이는 면적이 증가하며 클럭 버퍼 회로가 증가하는 단점이 있다. 특히, 입출력단에 사용되는 3.3V용 소자들을 사용할 경우, 문턱 전압 (threshold voltage)이 0.7V~0.8V 수준으로 증가하며, 전원 전압을 1.2V로 사용하게 되면 스위치의 게이트-소스 전압이 0.9V~1.0V 수준으로 감소함으로써 샘플링 스위치의 구동 전압 ( $V_{gs} - V_{th}$ )이 0.2V~0.3V 수준으로 급격히 감소한다. 따라서 이 경우, 온-저항 값이 크게 증가하게 되므로 250MS/s의 샘플링 속도에서 1.0Vp-p의 입력에 대한 Fast Fourier Transform (FFT) 분석 결과, SHA 회로는 Nyquist 입력 주파수에서 10비트의 해상도를 유지하지 못하고, 6비트 수준의 유효 비트 수 (effective number of bits)를 가지게 된다. 이러한 측면을 고려하여, 제안하는 게이트-부트스트래핑 회로와 샘플링 스위치에 사용되는 모든 소자들을 문턱 전압이 0.3V~0.4V 수준으로 작으며, 기생 커패시턴스도 작은 1.2V용 정상 소자들로 사용하였다. 그러나 이 경우에는 사용하는 공정의 특성에 따라 전원 전압보다 높은 전압이 인가되는 일부 소자들은 게이

트 유전체 파괴 및 항복 현상 등의 안정성 문제가 발생할 수 있으므로, 두 번째 버전의 입력단 SHA 회로는 게이트-부트스트래핑 회로를 사용하지 않고, 그림 3(b)와 같이 충분히 낮은 저항을 가질 수 있도록 설계한 CMOS 샘플링 스위치를 사용하였다.

단순한 CMOS 샘플링 스위치를 사용할 경우, 온-저항  $R_{on}$  을 나타내는 식 (2)에서 볼 수 있듯이 [19], 입력 신호에 따라 변하는 온-저항 값에 따른 신호 왜곡이 존재하므로, CMOS 샘플링 스위치 W/L의 크기를 필요한 온-저항 값에 적합한 수준으로 되도록 크게 만들어 입력 신호에 따라 변하는 온-저항 값의 영향을 줄였다. FFT 분석 결과, 두 가지 버전의 SHA 회로 모두 높은 목표 입력 주파수에서 10비트 수준의 해상도를 충분히 유지하며 동작함을 확인할 수 있었으며, 2가지 시제품 ADC 측정결과도 이를 증명하고 있다.

$$R_{on} = \frac{1}{k_n(V_{DD} - V_{tn}) - (k_n - k_p)V_{in} - k_p|V_{tp}|}$$

$$k_n = \mu_n C_{ox} \left(\frac{W}{L}\right)_n, k_p = \mu_p C_{ox} \left(\frac{W}{L}\right)_p \quad (2)$$

제안하는 SHA 회로에서는 요구되는 10비트 해상도 및 250MS/s 이상의 샘플링 속도를 만족시키는 동시에 작은 칩 면적과 적은 전력 소모를 얻기 위해, 2개의 커패시터를 사용하는 구조로 설계하였으며, SHA의 입력 커패시터의 크기는  $kT/C$  잡음 및 1.0Vp-p의 입력 신호에서 10비트 수준의 정확도를 고려하여 0.8pF를 사용하였다.

## 2. SHA 및 MDAC 회로에 사용되는 2단 증폭기

제안하는 SHA 및 MDAC 회로에 사용되는 증폭기는 그림 3과 같이 250MS/s의 빠른 동작 속도와 10비트의 해상도에서 요구되는 DC 전압 이득을 얻기 위해 2단 증폭기를 사용하였다. 다만, 첫 번째 MDAC에서는 충분한 DC 전압 이득을 얻기 위해 두 개의 folded-cascode 구조가 순차적으로 연결된 2단 증폭기를 사용한 반면, SHA 및 두 번째 MDAC에서는 첫 번째 단은 높은 이득을 얻을 수 있는 folded-cascode 구조의 증폭기를 사용하였으며, 두 번째 단은 전력 소모를 줄이면서 동시에 1.2V의 낮은 전원 전압에서 SHA 및 두 번째 MDAC의 출력 신호 범위를 최대화하기 위해 unfolded-cascode 구조의 증폭기를 사용하였다. 10비트 수준의 SHA 회로의 경우, 면적과 전력 소모를 줄일 수 있는 장점 때문에 기존의 구조에서는 1단 증폭기를 많이 사용하였으나 [10],[12],[20], 본 논문과 같이 0.13um 공정을 사용할 경우, 1단 증폭기를 사용하면

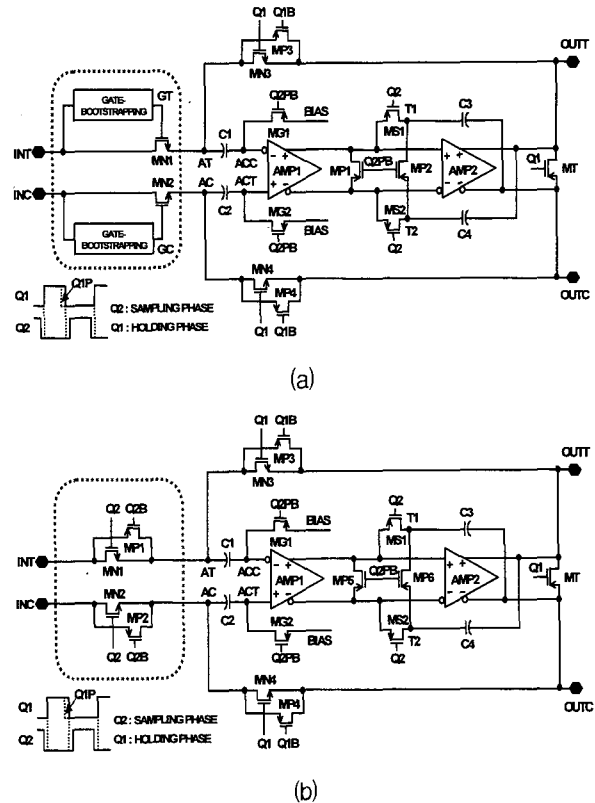


그림 3. 제안하는 광대역 저잡음 SHA 회로 : (a) 게이트-부트스트래핑 기법 기반의 샘플링 스위치를 사용한 버전1 (b) CMOS 샘플링 스위치를 사용한 버전2

Fig. 3. Proposed wideband low-noise SHA : (a) Version1 with gate-bootstrapped sampling switches and (b) Version2 with conventional CMOS sampling switches.

SHA 회로는 10비트 이상의 해상도, 높은 DC 전압 이득 및 250MS/s 이상의 빠른 샘플링 속도를 동시에 구현하기 힘든 관계로 2단 증폭기를 사용하였다.

한편, SHA 및 MDAC에서 2단 증폭기를 사용할 경우, 250MS/s의 빠른 샘플링 속도와 10비트의 해상도에 해당하는 높은 DC 전압 이득 값을 얻을 수 있지만, ADC의 동적 성능에 결정적인 영향을 주는 위상 여유가 감소할 수 있다. 위상 여유 ( $\Phi_{PM}$ )는 식 (3)과 같이 정의된다 [21].

$$\Phi_{PM} \cong 90^\circ - \tan^{-1} \left( \frac{g_{m1}}{C_C} \cdot \frac{C_L}{g_{m2}} \right) \quad (3)$$

식 (3)에서  $g_{m1}$ ,  $g_{m2}$ 는 첫 번째, 두 번째 증폭기의 트랜스컨덕턴스이고,  $C_c$ 는 보상 커패시터,  $C_L$ 은 부하 커패시터의 크기를 나타낸다. 위상 여유가 클수록 2단 증폭기의 최종 출력신호의 불완전성이 줄어들어 필요로 하는 정확도 이내로 신호가 정착하는데 걸리는 시간이 줄어든

다. 이러한 측면을 고려하여 SHA 및 MDAC 회로는 면적이 크게 증가하지 않는 범위 내에서 보상 커패시터 값을 조정하고, 250MS/s의 샘플링 속도에서 추가적인 회로 없이 전력 소모를 크지 않게 하는 범위 내에서 2단 증폭기의 트랜스컨덕턴스 비율을 적절히 조정하여 안정적인 신호 정착에 필요한 60° 이상의 위상 여유를 갖도록 설계하였다.

3. 높은 선형성 구현을 위해 제안하는 3차원 완전 대칭 커패시터 레이아웃

기존의 ADC 정적 및 동적 성능을 결정하는 주요 요인 중 하나는 MDAC 커패시터 열 간의 부정합이다. 커패시터 간의 부정합은 부정확한 에칭 및 절연체 두께 변동 등 공정상의 한계로 인해 발생하는 임의 오차 (random error) 및 커패시터 자체와 주변 신호라인과의 다른 기생 커패시턴스로 인해 발생하는 시스템 오차 (systematic error)에 의해 발생한다. 임의 오차의 경우, 최근 공정 기술의 발달로 인해 점차 줄어들고 있으며, 시스템 오차의 경우, 추가적인 회로 및 복잡한 타이밍을 요구하는 보정 기법 없이 향상된 레이아웃 기법을 사용하여 높은 커패시터 매칭을 얻음으로써 상당 부분 감쇄시킬 수 있었다<sup>[22],[23]</sup>. 기존의 레이아웃 기법이 적용된 14b ADC들의 MDAC 커패시터 열 레이아웃을 그림 4에 나타내었다.

그림 4(a)의 Case1은 14b 100MS/s ADC<sup>[22]</sup>의 MDAC에 적용된 커패시터 레이아웃을 나타낸다. 단위 커패시터들은 모두 동일한 구조로 되어있으며 커패시터의 상층기판과 하층기판의 연결선으로 사용되는 금속 층을 제외한 나머지 금속 층들로 단위 커패시터 및 신호라인을 둘러싸도록 하여 기생 커패시턴스의 차이에 의한 부정합을 줄였다. 이 시제품의 측정된 DNL 및 INL은 각각 최대 1.03LSB와 5.47LSB를 보여주었다.

한편, 그림 4(b)와 (c)에서 보는 바와 같이 Case2 및 Case3은 14b 70MS/s ADC<sup>[23]</sup>의 MDAC에 적용된 2가지 구조의 커패시터 레이아웃을 나타내며, 기존의 14b 100MS/s ADC에서 제안하는 레이아웃에서 발생하는 기생 커패시턴스의 차이에 의한 부정합을 추가적으로 더욱 줄이기 위해 두 가지 버전을 제안하였다. 그림 4(b)는 14b 100MS/s ADC와 달리 최상위 금속선이 커패시터 상층기판의 연결선으로 사용되지 않는 공정상의 특성을 이용하여 최상위 금속선을 A부분과 같이 더미로 배치하여 상층기판의 기생 커패시턴스에 의한 부정합을 줄였다. 그러나 이 경우 단위 커패시터들에 인접한 신호라인에 신호가 없는 경우에는 커패시터들의 모든 주변 조건

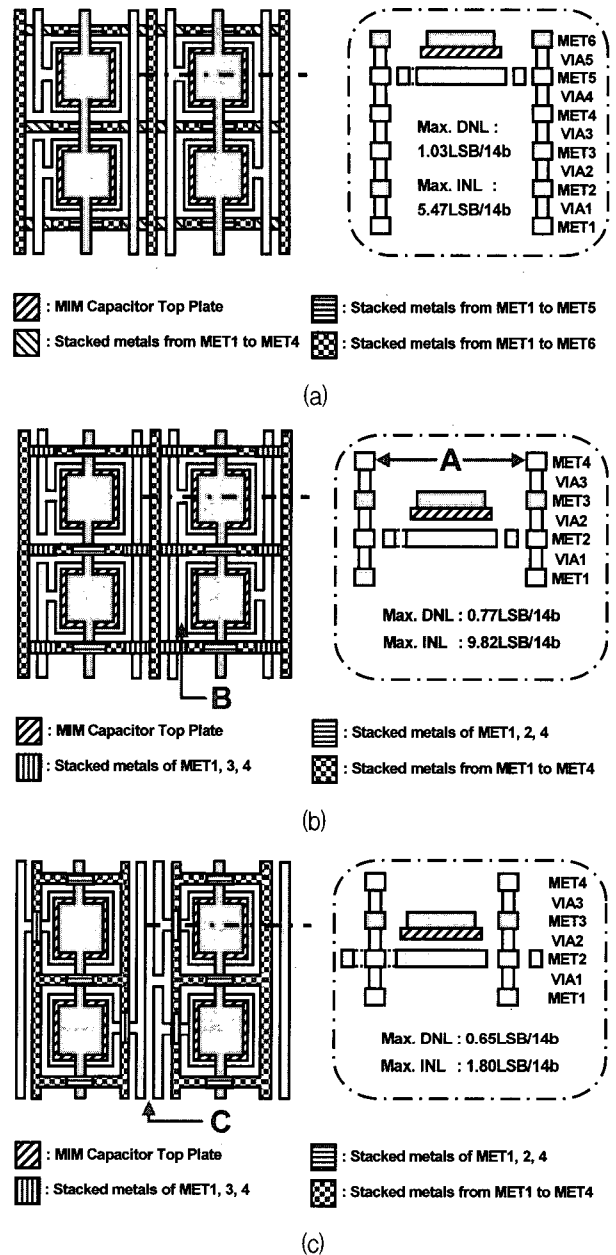


그림 4. 기존의 MDAC 커패시터 레이아웃 : (a) Case1<sup>[22]</sup>, (b) Case2<sup>[23]</sup>, 및 (c) Case3<sup>[23]</sup>

Fig. 4. Conventional MDAC capacitor layout : (a) Case1<sup>[22]</sup>, (b) Case2<sup>[23]</sup>, and (c) Case3<sup>[23]</sup>.

이 같아지지만, 인접 신호라인에 특정 신호가 지나갈 경우에는 B와 같은 부분에 서로 다른 기생 커패시턴스가 생성되어 단위 커패시터들의 주변 조건이 동일해지기 어렵다. 그림 4(c)에서는 이러한 문제점을 고려하여 인접 신호 라인까지 각각의 단위 커패시터들과 완전히 분리시킴으로써 인접 신호라인을 지나는 신호에 관계없이 모든 커패시터들의 주변 조건을 동일하게 하는 레이아웃 기법을 제안하여 기생 커패시턴스의 차이에 의한 부정합을 줄였다. 그림 4(b) 및 (c)에서 보는 바와 같이 두

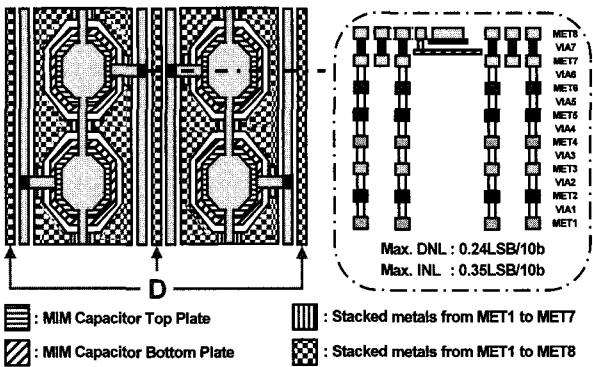


그림 5. 높은 정확도를 위해 제안하는 3차원 완전 대칭 커패시터 레이아웃

Fig. 5. Proposed 3-D fully symmetric capacitor layout for high matching accuracy.

가지 버전 ADC의 측정된 DNL은 각각 최대 0.77LSB와 0.65LSB이며, INL은 각각 최대 9.82LSB와 1.80LSB를 나타내었다.

한편, 그림 5는 높은 커패시터 매칭 및 선형성 향상을 위해 본 논문에서 제안하는 향상된 3차원 완전 대칭 레이아웃 기법을 적용한 MDAC 커패시터 열을 나타내며, 1P8M 공정에서 제공하는 8개의 금속선을 모두 사용한 MIM 커패시터를 기반으로 한다. 그림 5에서 보듯이 제안하는 레이아웃 기법은 커패시터 제작 공정의 차이로 인해 그림 4(b) 및 (c)에서 사용된 공정과 달리 최상위 금속선이 커패시터 상층기판의 연결선으로 사용되는 CMOS 공정이므로 최상위 금속선을 더미로 배치하여 상층기판의 기생 커패시턴스에 의한 부정합을 줄일 수는 없다. 그러나 그림 4(b) 및 (c)에서 제안하는 레이아웃 기법에는 커패시터의 하단기판을 연결하는 신호라인들에 특정 신호가 지나갈 경우 이 신호에 의해 그림 4(c)의 C와 같은 부분에 서로 다른 기생 커패시턴스에 의해 부정합이 발생하는 문제점이 있는데 반하여, 본 논문의 그림 5에서 제안하는 레이아웃 기법에서 보는 바와 같이 커패시터의 하단기판을 연결하는 신호라인들 사이에 D로 나타낸 것과 같은 항상 일정한 내부 공통 전압을 갖는 금속층을 추가로 배치하여 특정 신호가 지나갈 경우에도 신호라인에서 발생할 수 있는 기생 커패시턴스의 형태를 유사하게 만들어 기생 커패시턴스의 차이에 의한 부정합을 최소화하였다.

제안하는 향상된 레이아웃 기법을 적용한 4b MDAC에는 병합 커패시터 스위칭(Merged-Capacitor Switching: MCS) 기법<sup>[10]</sup>을 사용하여 필요한 단위 커패시터 수를 반으로 줄였으며, 요구되는  $kT/C$  잡음 및 10b 이상의 정합을 고려하여, 첫 번째와 두 번째 MDAC에 사용되는 단

위 커패시터 크기들을 각각 100fF, 60fF로 결정하였다.

#### 4. 온-칩 기준 전류 및 전압 발생기

제안하는 시제품 ADC에는 그림 6과 같이 250MS/s의 고속 동작에서 저전력으로 동작하는 온-칩 기준 전류 및 전압 회로를 집적하여 ADC가 독립적으로 동작할 수 있도록 설계하였다. 그림 6의 기준 전류 및 전압 발생기는 3비트의 디지털 코드에 의해  $\pm 30\%$  이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있으며, 저전력 휴대 응용을 위해 POFF 신호를 사용하여 비동작 모드시에는 ADC 전체 회로가 5uW 이하의 전력만을 소모하도록 하였다<sup>[24]</sup>.

한편, ADC에서 사용되는 기준 전압은 MOS 스위치를 통하여 ADC의 각 동작 블록에 공급되므로, 클럭에 따라 스위치가 턴 온 및 턴 오프 됨에 따라 채널 전하도 순간적으로 충전 및 방전을 반복하게 되면서 기준 전압 회로의 출력 노드는 고주파 스위칭 잡음 및 글리치 등을 포함하는 경우가 많다. 본 논문에서는 기준 전압 회로의 출력 노드에서 발생하는 고주파 스위칭 잡음 및 글리치 등을 효율적으로 제거하면서, 핀 수 제한이 있을 경우, 온 칩으로 구현을 하기 위해 그림 6의 우측에서 보는 바와 같이, 내부적으로 RC 저대역 필터를 집적하여 외부에 수 uF 수준의 커패시터 없이 250MS/s의 빠른 샘플링 속도에서 각 해당되는 기준 전압 노드가 충분히 정착할 수 있도록 하였다. 또한, 외부에서 선택적으로 기준 전압을 인가해 줄 수 있도록 핀을 추가로 사용할 수 있도록 했을 때, 0.1uF 수준의 커패시터를 외부에 추가로 연결할 수 있게 하였다.

모의실험 결과, 그림 7에서 보는 바와 같이, 내부 RC 필터만을 사용한 경우, 기준 전압 노드가 0.65ns, 0.60ns의 정착 시간을 갖게 되며, 내부 RC 필터와 외부 0.1uF

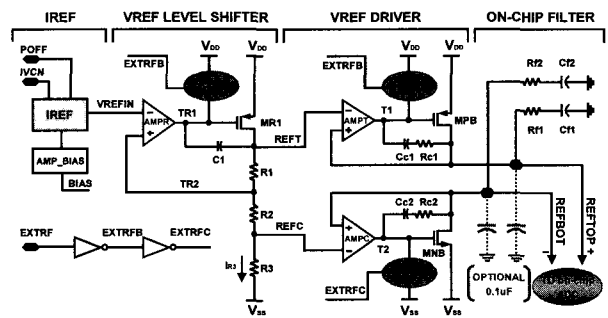


그림 6. 제안하는 온-칩 기준 전류/전압 발생기

Fig. 6. Proposed on-chip current and voltage references.

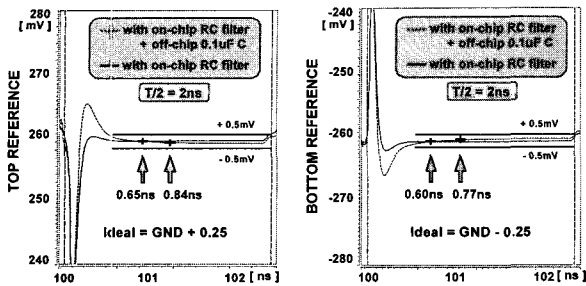






그림 7. 온-칩 기준 전압의 모의실험 결과

Fig. 7. Simulated on-chip top and bottom reference voltages.

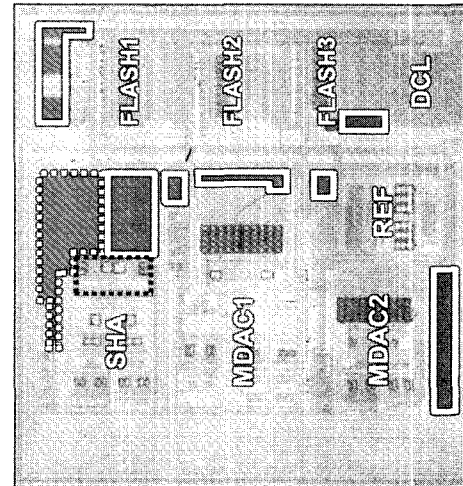
수준의 커패시터를 함께 사용한 경우에는 0.84ns, 0.77ns의 정착 시간을 갖게 되어 내부 RC 필터만을 사용한 경우에 비해 성능이 떨어지지만, 이 경우에도 250MS/s의 속도에서 각 해당하는 기준 전압 노드가 안정적으로 정착함을 확인할 수 있었다. 또한, 실제 회로를 구현하는 과정에서 피하기 어려운 레이아웃의 제한점에 따라 기준 전압 신호라인의 저항에 따른 전압 강하를 고려하여, 기준 전압 노드의 전압을 이상적인  $\pm 0.250V$  보다 5% 가량 여유를 두어  $\pm 0.262V$ 로 결정하였다.

#### IV. 시제품 ADC 제작 및 성능 측정

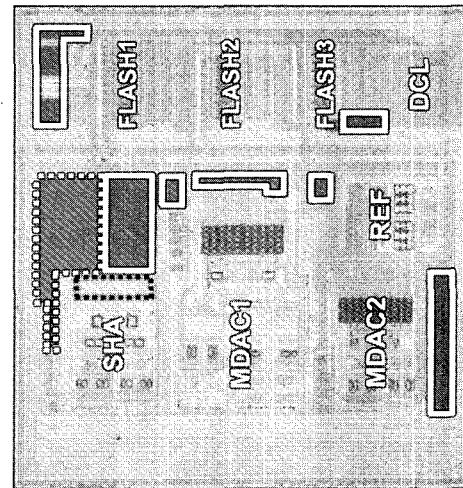
제안하는 10b 250MS/s ADC는 0.13um n-well 1P8M TSMC CMOS 공정으로 제작되었다. 제안하는 ADC는 범용으로도 사용이 가능하며, 고성능 집적 시스템 등에 핵심 IP로 사용할 수 있도록 외부로 연결되는 핀은 입력, 출력, 전원 전압으로 제한하였다.

그림 8(a)는 SHA 회로에 게이트-부트스트래핑 기법을 적용한 샘플링 스위치를 사용한 버전1의 칩 사진이며 SHA 블록의 검은색  부분이 게이트-부트스트래핑 기법을 적용한 샘플링 스위치이다. 그림 8(b)는 SHA 회로에 CMOS 샘플링 스위치를 사용한 버전2의 칩 사진이며 그림 8(a)와 같이 SHA 블록의 검은색  부분이 CMOS 샘플링 스위치이다. 그림 8의  부분과  부분은 각각 PMOS, NMOS 온-칩 decoupling 커패시터이다. 온-칩 decoupling 커패시터는 기준 전압 (REFTOP, REFBOT) 및 내부 공통 전압의 안정화를 위해 각각 100pF씩 집적되었으며, 또한 전원 전압의 안정성을 위해 전체 ADC의 유효 공간에 아날로그와 디지털 전원용으로 총 180pF 가량 집적되었다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 1.8mm<sup>2</sup> (= 1.32mm × 1.36mm)이며, 250MS/s의 속도



(a)



(b)

그림 8. 시제품 ADC 칩 사진 : (a) 게이트-부트스트래핑 기법 기반의 샘플링 스위치를 사용한 버전1 (b) CMOS 샘플링 스위치를 사용한 버전2 (1.32mm × 1.36mm)

Fig. 8. Die photograph of the prototype ADCs : (a) Version1 with gate-bootstrapped sampling switches and (b) Version2 with conventional CMOS sampling switches (1.32mm × 1.36mm).

로 동작할 때 85mW의 전력을 소모한다. SHA에 게이트-부트스트래핑 기법 기반의 샘플링 스위치를 사용한 시제품 ADC의 경우 측정된 DNL 및 INL이 각각 최대 0.38LSB, 0.48LSB 수준을 보이는데 비해서 입력단 SHA 회로에 CMOS 샘플링 스위치를 사용한 시제품 ADC의 측정된 DNL 및 INL은 그림 9에서 보는 바와 같이 각각 최대 0.24LSB, 0.35LSB 수준을 보인다. 측정 결과를 통해 입력단에 CMOS 샘플링 스위치를 사용하는 것이 게이트-부트스트래핑 기법 기반의 샘플링 스위치 회로를 사용하는 것보다 선형성 측면에서는 약간 더 향상된 정

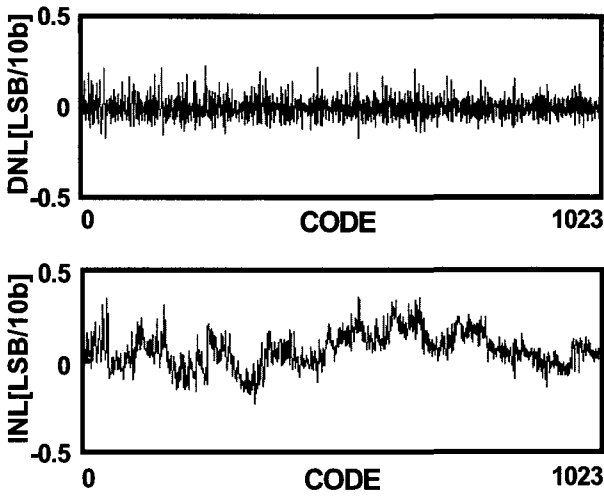


그림 9. CMOS 샘플링 스위치를 사용한 버전2 ADC의 측정된 DNL 및 INL

Fig. 9. Measured DNL and INL of the Version2 ADC using conventional CMOS sampling switches.

표 1. 최근에 발표된 10비트 CMOS ADC들의 성능 비교

Table 1. Performance comparison of recently published 10b CMOS ADCs.

Reference	속도 (MS/s)	전원 (V)	전력 (mW)	면적 (mm <sup>2</sup> )	Max. DNL (LSB)	Max. INL (LSB)
[7]	100	1.8	180	2.5	0.66	0.76
[8]	100	1.8	67	2.5	0.80	1.60
[9]	100	1.0	30	4.0	0.50	0.80
[10]	120	2.5	208	3.6	0.40	0.48
[11]	125	1.8	40	0.7	0.50	0.70
[12]	150	1.8	123	2.2	0.69	1.50
[14]	170	3.3	180	0.9	0.33	0.39
[15]	200	1.2	104	4.9	0.60	0.80
[16]	200	1.2	55	1.3	0.66	1.00
[17]	220	1.2	135	1.3	0.50	1.00
This Work	250	1.2	85	1.8	0.24	0.35

적 특성을 얻을 수 있음을 확인할 수 있었다.

표 1에는 최근에 발표된 10비트의 해상도에서 100MS/s 이상의 샘플링 속도를 가지는 파이프라인 CMOS ADC와 제안하는 ADC의 성능을 함께 나타내었다. 제안하는 ADC를 10비트의 해상도와 100MS/s 이상의 샘플링 속도를 가지는 CMOS ADC들과 비교해 보면, 다른 성능도 그렇지만 특히 DNL 및 INL은 기존의 ADC

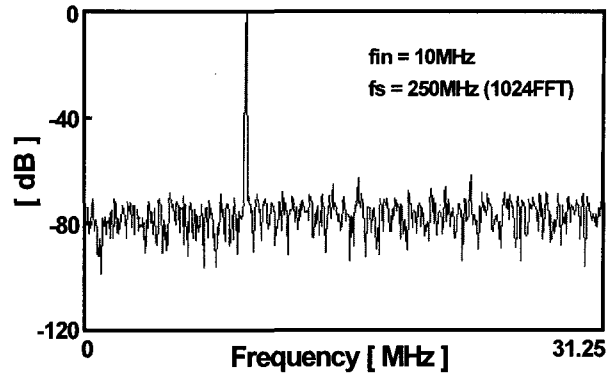
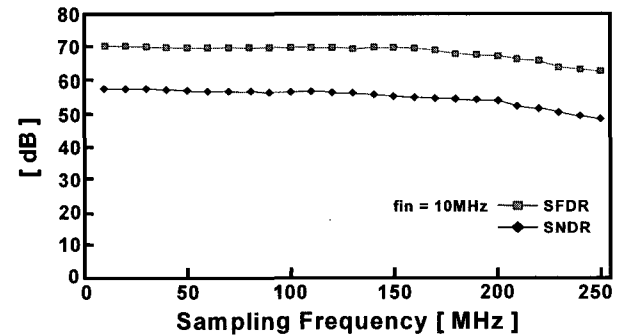
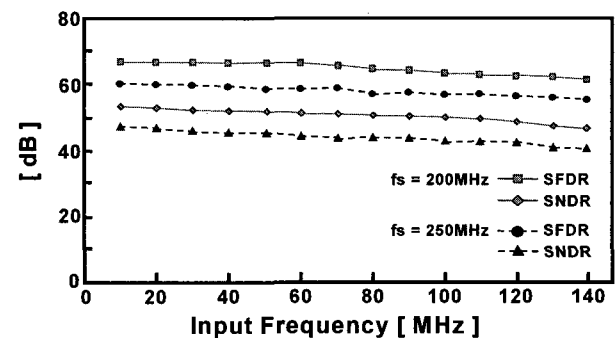


그림 10. 10MHz 입력 주파수에서 측정된 버전2 ADC의 신호 스펙트럼 (1/4 fs로 다운샘플링 하였음)

Fig. 10. Signal spectrum of the Version2 ADC measured with a 10MHz sinusoidal input (1/4 fs down sampled).



(a)



(b)

그림 11. 버전2 ADC의 측정된 동적 성능 : (a) 샘플링 주파수 변화 및 (b) 입력 주파수 변화에 따른 SFDR 및 SNDR

Fig. 11. Measured dynamic performance of the Version2 ADC : SFDR and SNDR versus (a) fs and (b) fin.

에 비해 가장 좋은 성능을 보여주고 있으며, 제안한 커패시터 레이아웃 기법을 통해서 향상된 선형성의 결과를 얻었음을 알 수 있다.

그림 10은 CMOS 샘플링 스위치를 사용한 시제품 ADC에 대해 10MHz 입력 주파수, 250MS/s 동작 속도에



표 2. 시제품 ADC 성능 요약

Table 2. Performance summary of the prototype ADC.

	Version1*	Version2*
Resolution	10bits	
MAX. Conversion Rate	250MS/s	
Process	TSMC 0.13um CMOS (with MIM Capacitors)	
Input Range	1V <sub>p-p</sub>	
DNL	-0.24LSB / +0.38LSB	-0.17LSB / +0.24LSB
INL	-0.48LSB / +0.40LSB	-0.24LSB / +0.35LSB
SNDR (at 200MS/s)	53dB at 10MHz	54dB at 10MHz
SNDR (at 250MS/s)	48dB at 10MHz	48dB at 10MHz
SFDR (at 200MS/s)	67dB at 10MHz	67dB at 10MHz
SFDR (at 250MS/s)	61dB at 10MHz	61dB at 10MHz
Power Dissipation	85mW @ 1.2V and 250MS/s	
Active Die Area	1.8mm <sup>2</sup> (= 1.32mm × 1.36mm)	

\* Version1 : SHA with gate-bootstrapped sampling switches

\* Version2 : SHA with conventional CMOS sampling switches

서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 낮은 측정 잡음을 얻기 위해 250MHz 클럭으로 동작하는 ADC에서 내부의 온-칩 분주기를 사용하여 250MS/s 출력을 1/4 다운샘플링하여 측정하였다.

그림 11은 CMOS 샘플링 스위치를 사용한 시제품 버전2 ADC의 측정된 동적 성능을 보여준다. 그림 11(a)는 동작 속도를 10MS/s에서 250MS/s까지 증가시킬 때, 10MHz의 차동 입력 주파수에서 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)을 나타낸다. 동작 속도가 200MS/s까지 증가할 때 측정된 SNDR과 SFDR은 각각 54dB, 67dB 이상 유지되는 것을 알 수 있다. 최대 동작 속도인 250MS/s에서 SNDR과 SFDR이 각각 48dB, 61dB로 약 6dB 정도가 감소하지만 전체 회로는 정상적으로 동작하고 있음을 알 수 있다. 그림 11(b)는 200MS/s와 250MS/s의 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, 200MS/s의 동작 속도에서 측정된 SNDR과 SFDR은 각각 49dB, 62dB 수준을 유지하며, 250MS/s의 최대 동작 속도에서는 각각 42dB, 53dB 수준을 유지함을 알 수 있다. 측정결과 두 가지 버전에 대한 시제품 ADC는 비슷한 수준의 동적 성능을 보인다. 제안하는 시제품 ADC의 주요 성능 측정 결과를 표 2에 요약하였다.

## V. 결 론

본 논문에서는 UXGA 해상도가 필요한 차세대 디지털 TV 및 레이더 영상 등 고화질 영상 시스템 및 WLAN, WiMax, SDR, LMDS 등 최첨단 무선 통신 시스템 등과 같은 고성능 집적 시스템 응용을 위한 10b 250MS/s 1.8mm<sup>2</sup> 85mW 0.13um CMOS ADC를 구현하기 위해 다음의 설계 및 레이아웃 기법들을 제안하였다.

첫째, 제안하는 ADC는 요구되는 해상도 및 250MS/s 이상의 높은 신호 처리 속도를 얻으면서 동시에 면적과 전력 소모를 최소화하기 위해 3단 파이프라인 구조로 설계하였다. 둘째, 입력단 SHA는 게이트-부트스트래핑 기법을 적용한 샘플링 스위치를 사용한 것과 CMOS 샘플링 스위치를 사용한 것 두 가지 버전으로 제작하여 각각 그 성능을 검증하였다. 셋째, SHA와 MDAC에서는 10비트에 해당하는 DC 전압 이득 및 250MS/s에 해당하는 대역폭, 필요한 위상 여유를 동시에 얻기 위해 트랜스컨덕턴스 비율을 최적화한 2단 증폭기를 사용하였다. 넷째, 전체 ADC의 해상도에 결정적 영향을 주는 MDAC의 커패시터 열에는 각각의 단위 커패시터들을 인접 신호라인과 완전히 분리하고 사용가능한 금속층들로 단위 커패시터를 둘러싸서 커패시터의 주변 조건을 완전히 동일하게 하고, 또한, 하단기판에 연결되는 신호라인들 사이에 항상 일정한 내부 공통 전압을 갖는 금속층을 추가하여 신호라인에서 발생하는 기생 커패시턴스의 양상을 유사하게 만들어 해상도를 높인 3차원 완전 대칭 레이아웃 기법을 적용하였다. 다섯째, 잡음 성능 및 사용 가능한 핀 수의 제약 등을 고려하여 온-칩으로 기준 전류 및 전압 발생기를 집적하였고, 사용자의 필요에 따라서 선택적으로 외부에서 인가하는 기준 전압을 사용할 수 있도록 하였다. 그 이외에, 3개의 flash ADC에는 인터플레이션 기법을 적용하여 사용되는 프리-앰프의 개수를 줄였으며, 250MS/s의 동작 속도에서 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 필요에 따라 외부에서의 디지털 잡음을 최소한으로 줄일 수 있도록 오프-칩 고속 디지털 버퍼와 결합된 분주기를 온-칩으로 구현하였으며, 고속 동작시 발생하는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS 또는 NMOS 바이패스 커패시터를 선택적으로 구현하였다.

제안하는 설계 및 레이아웃 기법들을 적용하여 0.13um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 각각 최대 0.24LSB, 0.35LSB 수준을 보여준다.

또한, 200MS/s와 250MS/s의 동작 속도에서 측정된 동적 성능으로는 각각 최대 54dB, 48dB의 SNDR과 67dB, 61dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 1.8mm<sup>2</sup>이며 전력 소모는 1.2V 전원 전압에서 최대 동작 속도인 250MS/s일 때 85mW이다.

### 참 고 문 헌

- [1] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50 MS/s time-interleaved switched-opamp pipeline CMOS ADC with high energy efficiency," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 432-435.
- [2] S. T. Ryu, B. S. Song, and K. Bacrania, "A 10b 50MS/s pipelined ADC with opamp current reuse," in *ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 216-217.
- [3] H. C. Choi, J. H. Kim, S. M. Yoo, K. J. Lee, T. H. Oh, M. J. Seo, and J. W. Kim, "A 15mW 0.2mm<sup>2</sup> 10b 50MS/s ADC with wide input range," in *ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 226-227.
- [4] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8V power supply," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2001, pp. 580-583.
- [5] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 324-325.
- [6] O. Stroeble, V. Dias, and C. Schwoerer, "An 80MHz 10b pipeline ADC with dynamic range doubling and dynamic reference selection," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 462-463.
- [7] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10b 100MSample/s CMOS pipelined ADC with 1.8V power supply," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 130-131.
- [8] J. Li and U. K. Moon, "A 1.8-V 67mW 10-bit 100MSPS pipelined ADC using time-shifted CDS technique," in *Proc. CICC*, Sept. 2003, pp. 1468-1476.
- [9] K. Honda, F. Masanori, and S. Kawahito "A 1V 30mW 10b 100MSample/s Pipeline A/D Converter Using Capacitance Coupling Techniques," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 276-277.
- [10] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120 MSample/s CMOS pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 441-444.
- [11] M. Yoshioka, M. Kudo, K. Gotoh, and Y. Watanabe, "A 10b 125MS/s 40mW pipelined ADC in 0.18um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 282-283.
- [12] S. M. Yoo, J. B. Park, H. S. Yang, H. H. Bae, K. H. Moon, H. J. Park, S. H. Lee, and J. H. Kim, "A 10b 150MS/s 123mW 0.18um CMOS pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 326-327.
- [13] M. Clara, A. Wiesbauer, and F. Kuttner, "A 1.8V fully embedded 10b 160MS/s two-step ADC in 0.18um CMOS," in *Proc. CICC*, May 2002, pp. 437-440.
- [14] J. Li, G. Manganaro, M. Courcy, and B. M. Min, "A 10b 170MS/s CMOS Pipelined ADC Featuring 84dB SFDR without Calibration," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 278-279.
- [15] S. C. Lee, G. H. Kim, J. K. Kwon, J. D. Kim, and S. H. Lee, "Offset and dynamic gain-mismatch reduction techniques for 10b 200MS/s parallel pipeline ADCs," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2005, pp. 531-534.
- [16] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2005, pp. 527-530.
- [17] B. Hernes, A. Briskemyr, T. N. Andersen, F. Telsto, T. E. Bonnerud, and O. Moldsvor, "A 1.2V 220MS/s 10b pipeline ADC implemented in 0.13um digital CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 256-257.
- [18] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [19] A. Gothenberg and H. Tenhunen, "Performance analysis of sampling switches in voltage and frequency domains using volterra series," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2004, pp. 765-768.
- [20] B. H. Min, Y. J. Cho, H. S. Chae, H. W. Park, and S. H. Lee, "A 10b 100 MS/s 1.4 mm<sup>2</sup> 56 mW 0.18 um CMOS A/D converter with 3-D fully symmetrical capacitors," *IEICE Trans. on Electronics*, vol. E89-C, no. 5, pp. 630-635, May 2006.

- [21] P. R. Gray and R. G. Meyer, "MOS operational amplifier design—a tutorial overview," *IEEE J. Solid-State Circuits*, vol. SC-17, no. 6, pp. 969-982, Dec. 1982
- [22] K. H. Lee, Y. J. Cho, Y. H. Park, D. H. Sa, H. C. Choi, and S. H. Lee, "A 14b 100MS/s 3.4mm<sup>2</sup> 145mW 0.18um CMOS pipeline A/D converter," in *IEEE APCCAS*, Dec. 2006. (invited)
- [23] Y. J. Cho, H. C. Choi, K. H. Lee, S. H. Lee, K. H. Moon, and J. H. Kim, "A calibration-free 14b 70MS/s 0.13um CMOS pipeline ADC with high-matching 3-D symmetric capacitors," in *Proc. CICC*, Sept. 2006. pp. 485-488.
- [24] Y. J. Cho, H. H. Bae, and S. H. Lee, "An 8b 220 MS/s 0.25 um CMOS pipeline ADC with on-chip RC-filter based voltage references," *IEICE Trans. on Electronics*, vol. E88-C, no. 4, pp. 768-772, April 2005.

## 저 자 소 개



사 두 환(정회원)  
2005년 서강대학교  
전자공학과 학사.  
2005년~현재 서강대학교  
전자공학과 석사과정.  
<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



최 희 철(정회원)  
1994년 서강대학교  
전자공학과 학사.  
1996년 서강대학교  
전자공학과 석사과정.  
1996~2005년 삼성전자 Analog  
CMOS 설계 책임 연구원.  
2006년~현재 서강대학교 전자공학과 박사과정.  
<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



김 영 록(정회원)  
1991년 서강대학교  
전자공학과 학사.  
1993년 미 Polytechnic 대  
(New York) 석사.  
1998년 미 Polytechnic 대  
(New York) 공학박사.  
1998년~1999년 미 AT&T(Bell) 연구소, Florham  
Park(NJ) 연구원.  
1999년~2003년 InterDigital Communication  
Corp. 연구원.  
2003년~현재 서강대학교 전자공학과 조교수.  
<주관심분야 : VLSI 설계, 무선통신모뎀용 DSP  
알고리즘, Array Signal Processing, 채널 추정  
알고리즘, 채널 등화기 등임.>



이 승 훈(평생회원)  
1984년 서울대학교  
전자공학과 학사.  
1986년 서울대학교 전자공학과  
전자공학과 석사과정.  
1991년 미 Illinois 대 (Urbana-  
Champaign) 공학박사.  
1986년 KIST 위촉 연구원.  
1987년~1990년 미 Coordinated Science Lab  
(Urbana) 연구원.  
1990년~1993년 미 Analog Devices 사 senior  
design engineer.  
1993년~현재 서강대학교 전자공학과 교수.  
<주관심분야 : 집적회로 설계, 데이터 변환기  
(A/D, D/A) 설계 등임.>