

논문 2006-43SD-11-10

# IEEE 801.11a 무선랜을 위한 Active-RC 아날로그 채널 선택 필터

(An active-RC analog channel selection filter  
for IEEE 802.11a wireless LAN)

황진홍\*, 유창식\*\*

(Jin-Hong Hwang and Changsik Yoo)

## 요약

직접 변환 방식의 IEEE 802.11a 무선랜 수신기에 사용되는 아날로그 채널 선택 필터에 대하여 기술한다. 채널 선택 필터는 10MHz의 차단주파수를 갖는 5차의 체비셰프 필터이며 active-RC 구조로 설계되었다. 2단의 연산증폭기를 사용하였는데, 전력 소모를 최소화하기 위하여 전류재사용 feedforward 주파수 보상 방법을 사용하였다. 필터는 0.18 $\mu$ m CMOS 공정을 사용하여 제작하였으며 1.8V의 전원 전압에서 20mW의 전력 소모를 갖고 있으며 19dBV의 out-of-band iIP3를 갖는다.

## Abstract

Analog channel selection filter is described which is designed for a direct-conversion receiver of a IEEE 802.11a wireless LAN. The channel selection filter is an active-RC fifth-order Chebyshev filter with 10MHz cut-off frequency. Two-stage operational amplifier of the filter employs a current re-using feedforward frequency compensation scheme to minimize the power consumption. The filter has been implemented in a 0.18mm CMOS technology and the experimental results show 20mW power consumption with 1.8V supply voltage and 19dB out-of-band iIP3.

**Keywords:** channel selection filter, active-RC filter, operational amplifier, wireless LAN

## I. 서론

직접 변환 방식의 무선 통신 수신기에서 원하는 채널의 신호만을 남기는 채널 선택 필터링은 아날로그-디지털 변환기의 앞에서 아날로그 필터로 수행할 수도 있고 아날로그-디지털 변환이 완료된 후에 디지털 필터로 수행할 수도 있다<sup>[1]</sup>. 하지만, 아날로그-디지털 변환기 앞에서 채널 선택 필터링을 수행하지 않을 경우에는 아날

로그-디지털 변환기에 매우 높은 성능을 요구하게 되어 전력 소모가 늘어나는 문제가 있다. 따라서, 아날로그-디지털 변환기 앞에서 아날로그 필터로 채널 선택 필터링을 수행하는 것이 일반적이다<sup>[2]</sup>.

아날로그 필터는 크게 연속시간영역 필터와 이산시간영역 필터로 나눌 수 있는데 switched-capacitor (SC) 필터와 같은 이산시간영역 필터에는 anti-aliasing 필터가 앞서 와야 하는 부담이 있다<sup>[3]</sup>. 따라서, 통상적으로 채널 선택 필터는 연속시간영역 필터로 구현하는 것이 일반적이다<sup>[4-6]</sup>. 연속시간영역 필터에는 Gm-C 필터와 active-RC 필터가 있다. 이중 Gm-C 필터는 open-loop 구조로 인해 고주파 동작이 용이한 장점이

\* 학생회원, \*\* 정회원, 한양대학교 전자통신컴퓨터공학부  
(Department of Electronics and Computer  
Engineering, Hanyang University)  
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

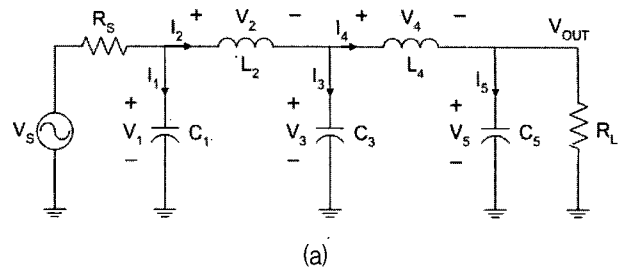
있지만, 선형성 측면에서는 active-RC 필터에 비해 나쁜 특성을 보인다<sup>[3]</sup>. 직접 변환 방식의 무선 통신 수신기의 경우 채널 선택 필터에 매우 큰 전력을 갖는 interferer가 입력될 수 있으므로 선형성이 매우 좋아야 한다. 따라서, 본 논문에서는 active-RC 형태의 필터 구조를 선택하였다. 하지만, active-RC 필터의 경우 연산 증폭기를 closed-loop에서 동작시키므로 고주파 동작을 위해서는 많은 전력 소모가 필요하다. 본 논문의 필터가 사용될 IEEE 802.11a 시스템의 경우 채널 대역폭이 20MHz이므로, 직접 변환 방식 수신기의 채널 선택 필터가 가져야 할 차단 주파수는 10MHz이다. 여기에 사용되는 연산 증폭기의 단위 이득 주파수는 최소한 100MHz 이상 되어야 하므로 전력 소모가 매우 커질 가능성이 있다.

본 논문에서는 연산 증폭기의 주파수 보상을 위하여 전류재사용 feedforward 보상 기법을 개발함으로써 5차의 체비셰프 필터를 20mW의 전력 소모를 갖도록 구현하였다.

II. Active-RC 형식의 채널 선택 필터

IEEE 802.11a 수신기에 사용하기 위한 아날로그 채널 선택은 5차의 체비셰프 형태를 갖고 있으며, 높은 선형성을 확보하기 위하여 active-RC 형식의 필터 구조를 갖는다. LC-ladder 형태의 passive prototype으로부터 signal flow graph를 구하고, 그로부터 active-RC 필터를 합성하였다. <그림 1>에 LC-ladder 형태의 passive prototype과 그에 대한 node equation 및 signal flow graph를 표시하였다.

<그림 1>-(c)의 signal flow graph를 이용하여 active-RC 필터를 합성할 경우, 필터 내부 신호의 최대 전압 swing이 노드마다 다를 수 있다. 예를 들어 노드 V1의 최대 전압 swing이 노드 V2'의 최대 전압 swing에 비해 1.15배 정도 크다. 이와 같이 노드 별로 최대 전압 swing이 다를 경우 가장 큰 전압 swing을 갖는 노드에 의해 필터의 선형성이 결정된다. 필터의 선형성은 출력 신호가 특정한 swing을 가질 때 distortion 성분의 크기가 얼마인가에 의해 결정되는데, 필터 내부의 특정한 노드의 swing이 과도하게 커지면 그 노드에 의해 distortion 성분이 커질 수 밖에 없다. 따라서, 이 경우 필터의 모든 노드의 최대 전압 swing이 동일한 경우에 비해 필터의 선형성이 나쁘다. 이를 해결하기 위해서는 필터 내부 노드의 최대 전압 swing을 모두 동



$$V_1 = \frac{1}{sC_1} (G_s V_s - G_s V_1 - I_2)$$

$$\rightarrow V_1 = \frac{G_s V_s - G_s V_2'}{sC_1 + G_s}$$

$$V_2' = \frac{V_1 - V_3}{sL_2 G_s} \quad V_3 = \frac{G_s (V_2' - V_4')}{sC_3}$$

$$V_4' = \frac{V_3 - V_5}{sL_4 G_s} \quad V_5 = \frac{G_s V_4'}{sC_5 + G_L} \quad (V_n' = I_n \cdot R_s)$$

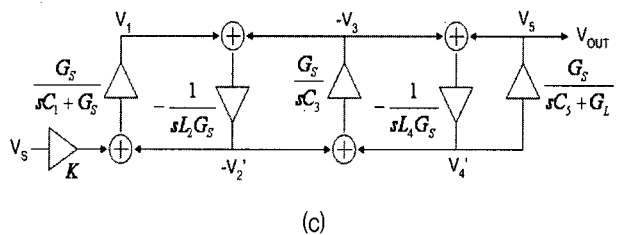


그림 1. 5차 체비셰프 필터의 (a) LC-ladder prototype (b) node equation (c) signal flow graph  
Fig. 1. (a) LC-ladder prototype (b) node equation (c) signal flow graph of 5th order Chebyshev filter.

$$\alpha = 0.65/0.5 = 1.3 \quad \beta = 0.75/0.65 = 1.15 \quad \gamma = 1/0.75 = 1.33$$

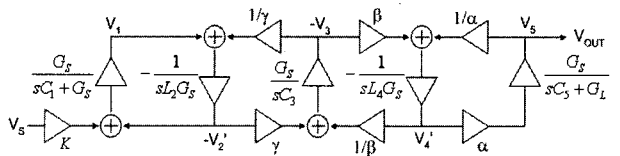


그림 2. 선형성을 향상시키기 위해 모든 노드의 전압 swing을 동일하게 한 signal flow graph  
Fig. 2. Signal flow graph for maximum linearity by equalizing the voltage swing of the nodes.

일하게 해야 한다.

Signal flow graph에서 각 loop의 total gain이 일정하면 전체 시스템의 전달함수는 변함이 없다는 사실을 이용하여 모든 노드의 전압 swing을 동일하게 할 수 있다. 각 노드 전압의 최대 swing을 구하고 그에 따라 각 branch의 gain을 늘리거나 줄이고 변화한 만큼 loop의 나머지 branch에 gain을 변화시키면 각 노드 전압의 최대 진폭을 동일하게 하여 dynamic range를 최대화할 수 있다<sup>[3]</sup>. <그림 2>는 signal flow graph에서

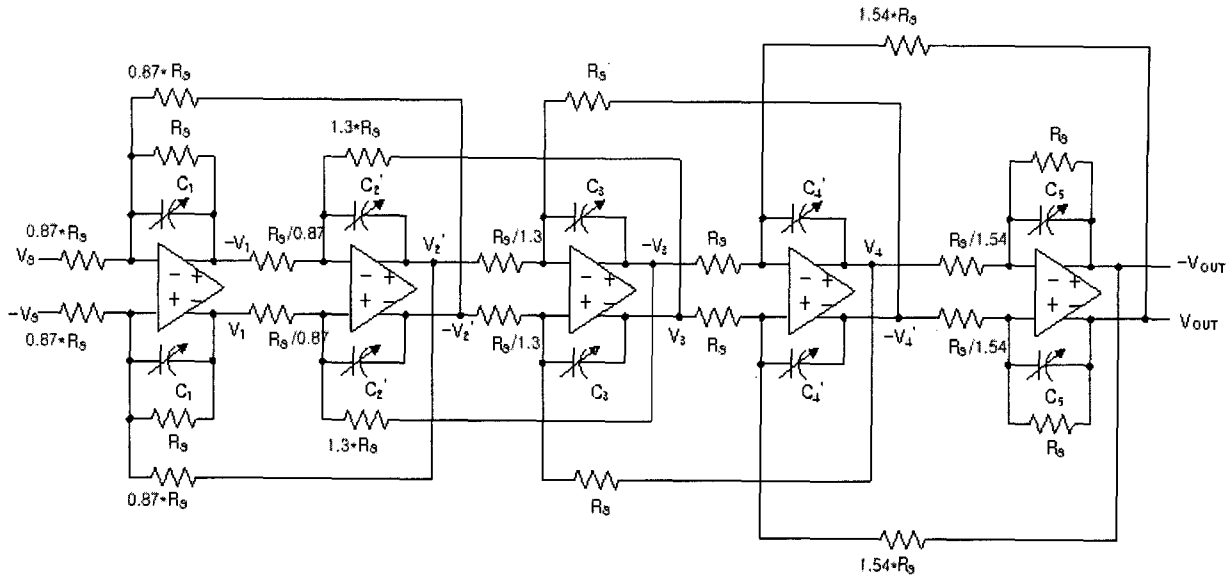


그림 3. 그림 2의 signal flow graph로 합성된 5차 체비셰프 필터  
 Fig. 3. Fifth order Chebyshev filter synthesized from the signal flow graph in Fig. 2.

branch의 gain을 적절히 조절하여 모든 노드의 전압 swing을 동일하게 한 새로운 signal flow graph이고 <그림 3>은 그를 통해 합성된 active-RC 필터이다. <그림 2>에서  $\alpha$ ,  $\beta$ ,  $\gamma$ 는 원래의 signal flow graph에서 각 노드의 최대 전압 swing의 비율이다.

Active-RC 필터의 경우 필터의 차단 주파수는 적분기의 시상수인 RC로 결정되는데, 공정, 온도, 전원전압 (process, voltage, temperature : PVT) 변화에 의해 당초 설계한 RC 값에서 최대 +/-30% 이상 변할 수 있다. 따라서, PVT 변화가 있는 경우에도 원하는 주파수 특성을 갖도록 하기 위해서는 active-RC 적분기의 시상수 RC를 목표치에서 +/-50% 이상 가변할 수 있도록 해야 한다. 적분기의 시상수를 변화시키기 위해서는 저항, 캐패시터, 또는 저항값과 캐패시터 값을 동시에 변화시키는 3가지 방법이 있다. 저항값과 캐패시터의 값을 가변 하는 데에는 직렬 저항, 병렬 저항, 직렬 캐패시터, 병렬 캐패시터 array 구조가 있다. 일반적으로 면적과 주파수 특성 등을 고려하여 가장 간단한 구조의 병렬 캐패시터 구조가 널리 사용된다<sup>[7]</sup>. 본 논문에서도 <그림 3>에 표시한 것과 같이 병렬 캐패시터를 이용하여 캐패시터의 크기를 변화시킬 수 있도록 하였다.

<그림 4>-(a)와 같은 일반적인 병렬 캐패시터 구조에서 N bit으로 캐패시턴스를 조절한다고 할 때, 총 캐패시터 값은  $C_{array} = C_{min} + n\Delta C$  ( $n = 0 \sim 2^{N-1}$ )로 표현된다. 따라서 필터의 주파수 특성은 N-bit 디지털 신호

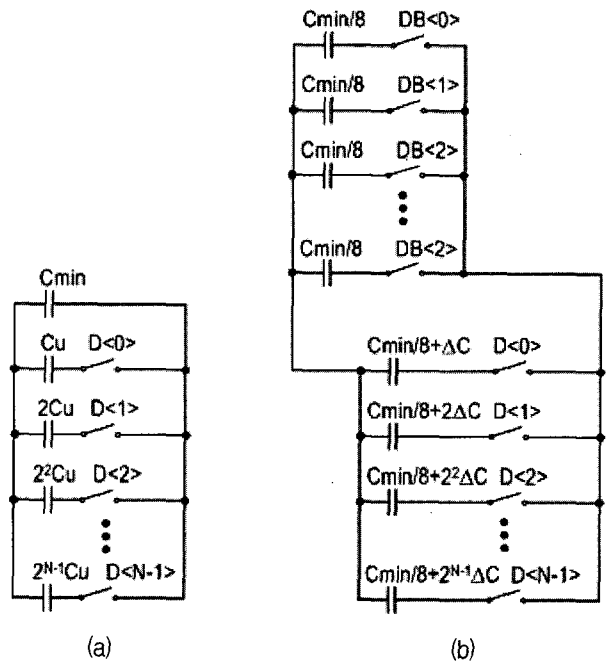


그림 4. (a) 통상적인 가변 캐패시터 array (b) 제안하는 가변 캐패시터 array  
 Fig. 4. (a) Conventional variable capacitor array (b) proposed variable capacitor array.

를 통해  $C_{min} \sim C_{min} + (2^{N-1})\Delta C$  까지  $2^N$ 단계로 조절이 가능하다. 하지만, 원하는 주파수 조절 범위에서 주파수 조절의 정확도를 높이기 위해서는 최소 캐패시턴스  $\Delta C$ 가 작아지기 때문에 실제적인 구현이 매우 어렵다. 또한, 실제 회로에서 사용되는 캐패시터의 최소값과 최대

값이 각각  $\Delta C$ 와  $C_{min}$ 으로 그 차이가 크기 때문에 기생 캐패시턴스의 영향에 매우 민감한 문제가 있다.

이를 해결하기 위해 본 논문에서는 <그림 4>-(b)와 같이  $C_{min}$ 을 N개 (본 논문에서 설계한 필터의 경우에는  $N=8$ 로 하여 설계하였음)로 나누어 배열하고 캐패시터 array를 두 개로 나누어 구성하였다. 각각의 array는 complementary 신호로 조절되도록 하여 <그림 4>-(a)의 통상적인 캐패시터 array에서와 마찬가지로  $\Delta C$ 의 캐패시턴스 조절 step을 갖도록 한다. 이 구조의 장점은 회로에 사용되는 캐패시터의 최소값과 최대값의 차이가 크지 않고, 최소 캐패시터의 크기가  $C_{min}$ 이므로 공정에서 허용하는 최소 캐패시터 값에 크게 구애 받지 않는다는데 있다. 따라서, 기생 캐패시턴스에 의한 영향을 줄일 수 있으며 주파수 조절의 정확도를 매우 높게 할 수 있다. 하지만, 캐패시터의 면적은  $C_{min}$ 이 차지하는 면적만큼 증가하는 단점이 있다.

### III. 전류 재사용 feedforward 주파수 보상 기법을 사용한 연산 증폭기

Active-RC 필터에서 적분기로 사용되는 연산 증폭기가 이상적인 동작 특성을 갖게 하기 위해서는 DC gain과 대역폭이 충분히 커야 한다. 그러나 DC gain과 대역폭이 클수록 연산 증폭기가 소모하는 전류가 커지게 되고, 또한 active-RC 필터에서 적분기로 사용되는 연산 증폭기는 closed-loop으로 사용하기 때문에 주파수의 안정성의 확보가 매우 중요한 문제가 된다.

일반적으로 2단 연산 증폭기에서는 Miller 캐패시터를 사용하여 pole splitting 현상을 이용하여 phase margin을 확보하게 된다. 이와 같은 주파수 보상 방식은 기본적으로 dominant pole을 낮은 주파수로 내려보내는 방식으로 연산증폭기의 대역폭을 높이는 데에 많은

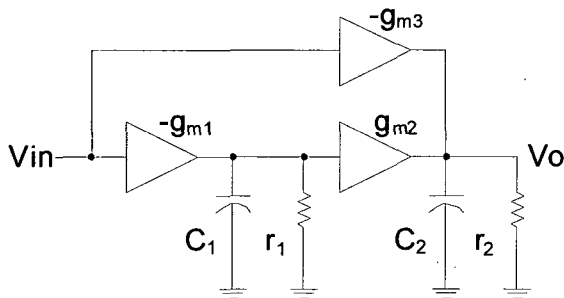


그림 5. Feedforward 주파수 보상 기법  
Fig. 5. Feedforward frequency compensation scheme.

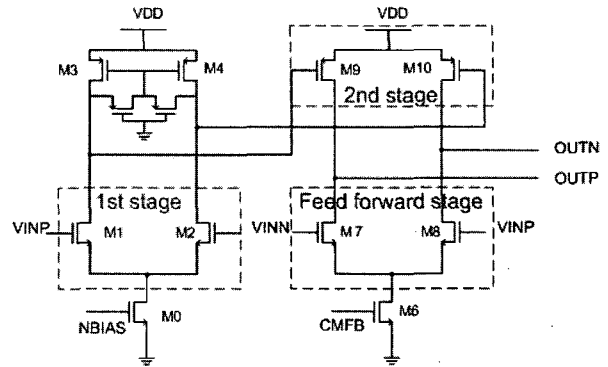


그림 6. 전류 재사용 feedforward 주파수 보상 기법을 이용한 완전 차동 연산증폭기  
Fig. 6. Fully differential op-amp with current re-using feedforward frequency compensation method.

전력 소모를 요구한다. 또한, Miller 캐패시터에 의해 형성되는 feedforward path에 의해 zero가 right half plane (RHP)에 형성되어 주파수 안정성에 문제가 발생할 수 있다<sup>[8]</sup>.

따라서, 본 논문에서는 active feedforward path를 형성하여 left half plane(LHP) zero를 만들어, LHP zero의 positive phase shift를 이용하여 phase margin을 확보하는 방법을 채택하였다<sup>[9]</sup>. <그림 5>는 feedforward path를 이용한 연산증폭기의 주파수 보상법의 구조도를 표시하였다.  $gm1$ 과  $gm2$ 는 통상적인 2단 연산증폭기에서 첫 번째 단과 두 번째 단의 transconductance를 의미한다. 그리고  $gm3$ 가 feedforward path를 형성하는 transconductance인데 이에 의해서 LHP zero가 만들어진다. 이 경우 연산증폭기의 주파수 특성은 2개의 pole과 1개의 LHP zero를 갖게 된다. 이 LHP zero가 2개의 pole이 발생하는 phase shift를 보상하는 역할을 한다.

그런데, 이 LHP zero가 pole이 만들어내는 phase shift를 보상하기 위해서는  $gm3$ 가 매우 큰 값을 갖고 있어야 한다. Transconductance는 바이어스 전류에 비례하므로  $gm3$ 를 크게 하기 위해서는 전력 소모가 늘어나는 문제가 있다.  $gm3$ 를 크게 함으로써 DC gain도 늘어난다면 추가의 전력 소모를 허용할 수도 있겠지만, 연산증폭기의 DC gain은  $gm1$ 과  $gm2$ 에 의해 결정되고  $gm3$ 가 DC gain에 미치는 영향은 매우 적다. 따라서, 주파수 보상을 위해 추가된  $gm3$ 에 의한 전력 소모는 최소화하는 것이 필요하다.

이를 위해 본 논문에서는 전류 재사용 feedforward 주파수 보상 기법을 사용하였다<sup>[10]</sup>. <그림 6>에 이러한 기법을 이용한 연산 증폭기의 회로도 표시하였다. 연산증폭기의 두 번째 단과 feedforward 단이 바이어스

전류를 공유하도록 구성되어 추가적인 전류 소모 없이 feedforward 주파수 보상이 이루어지도록 하였다. 설계한 연산증폭기는 1pF의 부하 캐패시턴스에서 DC gain은 58dB이며, phase margin은 83도, 단위 이득 주파수는 1.5GHz이다.

#### IV. 실험 결과

설계한 필터는 0.18 $\mu$ m CMOS 공정을 사용하여 제작하였다. <그림 7>은 설계한 필터의 layout으로 면적은 약 320 $\mu$ m x 670 $\mu$ m 이다. <그림 8>은 필터의 주파수 응답을 나타내었다. 설계한 주파수 가변 범위는 10MHz의 cut-off 주파수를 기준으로 8-bit 디지털 코드를 이용하여 5MHz에서 15MHz까지였으나 공정 변화로 인하여 약 4MHz에서 12MHz로 측정되었고 디지털 코드를 통하여 10MHz로 보정할 수 있음을 확인할 수 있다. Passband-ripple은 0.3dB 이하이며 감쇄특성은 20MHz와 40MHz에서 각각 40dB, 70dB 이상이다.

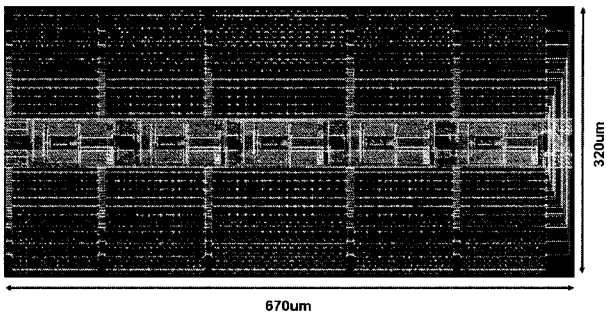


그림 7. Filter의 layout  
Fig. 7. Layout of filter.

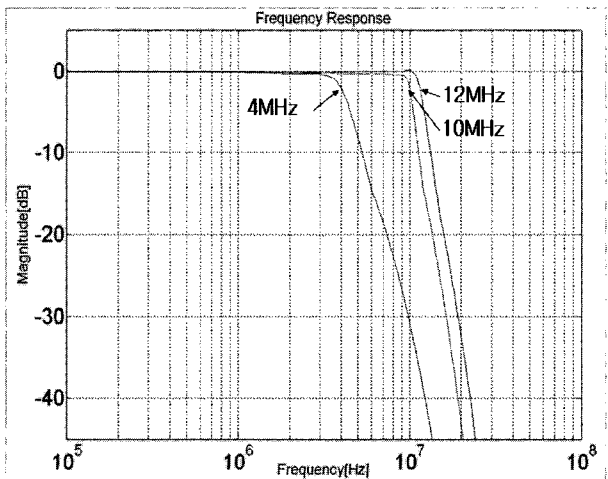


그림 8. 설계된 필터의 주파수 특성  
Fig. 8. Frequency response of designed filter

표 1. 필터의 성능 특성

Table 1. Performance characteristic of filter.

설계 공정	0.18 $\mu$ m CMOS
공급 전압	1.8 $\pm$ 0.2 V
DC gain	0dB
Cut-off 주파수	10MHz
Passband ripple	< 0.3dB
Stopband rejection	> 40dB@20MHz > 70dB@40MHz
주파수 보정 범위	4.7MHz ~ 14.9MHz
소비 전력	20 mW
Group delay variation	81ns
iIP3(out-of-band)	19 dBV

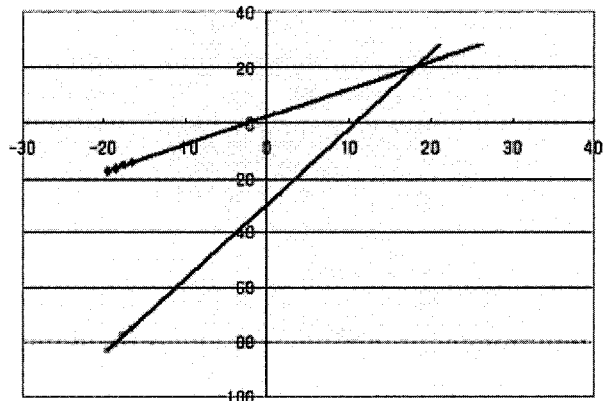


그림 9. 필터의 out-of-band iIP3.  
Fig. 9. Out-of band iIP3 of the filter.

<그림 9>은 20MHz와 41MHz의 2-tone 신호를 인가하였을 때 발생하는 1MHz의 3차 distortion을 측정하여 out-of band iIP3를 도출하였다. Out-of band iIP3은 약 19dBV로 요구 성능을 만족하고 있다. <표 1>에 필터의 성능을 정리하였다.

#### V. 결 론

본 논문은 IEEE 802.11a의 직접 변환 방식 수신기에 사용하기 위한 채널 선택 필터에 대하여 기술하였다. 5차의 체비셰프 필터를 active-RC 구조로 구현하였으며, 전력 소모를 최소화하기 위하여 연산증폭기는 전류 재사용 feedforward 주파수 보상 기법을 적용하여 설계하

였다. 0.18 $\mu$ m CMOS 공정을 이용하여 제작한 결과 20mW의 전력 소모를 갖고 있으며 요구 성능을 모두 만족하는 것을 확인하였다.

### 참고 문헌

- [1] B. Razavi, *RF Microelectronics*, Prentice Hall, 1998.
- [2] J.-H. Hwang, M.-Y. Lee, C.-Y. Jeong, and C. Yoo, "Active-RC channel selection filter tunable from 6kHz to 18MHz for software defined radio," *Proc. IEEE Int. Symp. Circuits and Systems*, pp. 4803-4806, 2005.
- [3] R. Schaumann and V. Valkenburg, *Design of Analog Filters*, Oxford Press, 2001.
- [4] S. K. Reynolds, B. A. Floyd, T. Beukema, T. Zwick, U. Pfeiffer, and H. Ainspan, "A direct-conversion receiver IC for WCDMA mobile systems," *IEEE J. Solid-State Circuits*, Vol. 38, No. 9, pp. 1555-1560, Sep. 2003.
- [5] A. Parssinen, J. Jussila, J. Ryyanen, L. Sumanen, K. Halonen, "A 2-GHz wideband direct conversion receiver for WCDMA applications," *IEEE J. Solid-State Circuits*, Vol. 34, No. 12, pp. 1893-1903, Dec. 1999.
- [6] R. Magoon, A. Molnar, J. Zachan, G. Hatcher, and W. Rhee, "A single chip quad band (850/900/1800/1900MHz) direct conversion GSM/GPRS RF transceiver with integrated VCOs and fractional-N synthesizer," *IEEE J. Solid-State Circuits*, Vol. 37, No. 12, pp. 1710-1720, Dec. 2002.
- [7] A. Durham, J. Hughes, W. Redman-White, "Circuit architectures for high linearity monolithic continuous-time filtering," *IEEE Trans. Circuits and Systems II*, Vol. 39, No. 9, pp. 651-657, Sep. 1992.
- [8] D. A. Johns, and K. Martin, *Analog Integrated Circuit Design*, John Wiley and Sons, 1997.
- [9] B. Thandri and J. Silva-Martinez, "A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors," *IEEE J. Solid-State Circuits*, pp. 237-243, Feb. 2003.
- [10] J.-H. Hwang and C. Yoo, "A low-power wide-bandwidth fully differential operational amplifier with current re-using feedforward frequency compensation," *Proc. IEEE AP-ASIC*, pp. 32-35, Aug. 2004.

### 저자 소개



황진홍(학생회원)  
2004년 한양대학교 전자전기  
공학부 학사 졸업.  
2006년 한양대학교 전자통신  
컴퓨터공학과 석사 졸업.  
2006년~현재 삼성전자 반도체  
총괄

<주관심분야 : 아날로그 및 혼성 신호회로 설계>



유창식(정회원)  
1992년 서울대학교 전자공학과  
학사 졸업.  
1994년 서울대학교 전자공학과  
석사 졸업.  
1998년 서울대학교 전자공학과  
박사 졸업.

2002년~현재 한양대학교 전자통신컴퓨터공학부  
교수

<주관심분야 : 유무선 통신용 혼성 신호 회로 설  
계>