논문 2006-43SD-10-1

광통신용 10Gb/s CMOS 전치증폭기 설계

(10Gb/s CMOS Transimpedance Amplifier Designs for Optical Communications)

심 수 정*, 박 성 민**

(Su Jeong Sim and Sung Min Park)

요 약

본 논문에서는 0.18um CMOS 공정을 이용하여 두 종류의 10Gb/s급 광통신용 전치증폭기(TIA)를 설계, 비교하였다. 전압모드인 Inverter TIA(I-TIA)는 입력단에 inverter 구조를 사용하여 입력 유효 gm 값을 증가시킴으로써 입력저항 값을 줄이고 동시에 대역폭을 늘리는 효과를 얻었다. 0.25pF의 광다이오드 캐패시턴스에 대하여 56dBΩ의 트랜스임피던스 이득과 14GHz의 대역폭을 얻었고, 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우 -16.5dBm의 광민감도를 얻었다. 그러나 기생 성분에 의한 대역폭의 감소 및 민감도가 크기 때문에 회로설계 시 패키지 및 회로내의 기생성분 효과에 대한 신중한 고려가 필요하다. 이와 달리, 전류모드인 RGC TIA는 입력단에 regulated cascode 설계기법을 사용하여 광다이오드와 TIA 사이에 생기는 큰 입력 기생 캐패시턴스를 전압모드보다 매우 효과적으로 차단하여 대역폭을 확장하였다. 또한 기생성분에 의한 대역폭 및 트랜스임피던스의 민감도가 현저히 줄어들어 대역폭의 변화가 없다. 0.25pF의 광다이오드 캐패시턴스에 대하여 60dBΩ의 트랜스임피던스 이득과 10GHz의 대역폭을 얻었고, 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우 -15.7dBm의 광민감도를 얻는다. 그러나, I-TIA에 비하여 약 4.5배의 높은 전력소모를 보이는 단점이 있다.

Abstract

In this paper, a couple of 10Gb/s transimpedance amplifiers are realized in a 0.18um standard CMOS technology for optical communication applications. First, the voltage-mode inverter TIA(I-TIA) exploits inverter input configuration to achieve larger effective gm, thus reducing the input impedance and increasing the bandwidth. I-TIA demonstrates 56dBΩ transimpedance gain, 14GHz bandwidth for 0.25pF photodiode capacitance, and -16.5dBm optical sensitivity for 0.5A/W responsivity, 9dB extinction ration and 10^{-12} BER. However, both its inherent parasitic capacitance and the package parasitics deteriorate the bandwidth significantly, thus mandating very judicious circuit design. Meanwhile, the current-mode RGC TIA incorporates the regulated cascade input configuration, and thus isolates the large input parasitic capacitance from the bandwidth determination more effectively than the voltage-mode TIA. Also, the parasitic components give much less impact on its bandwidth. RGC TIA provides 60dBΩ transimpedance gain, 10GHz bandwidth for 0.25pF photodiode capacitance, and -15.7dBm optical sensitivity for 0.5A/W responsivity, 9dB extinction ration and 10^{-12} BER. Main drawback is the power dissipation which is 4.5 times larger than the I-TIA.

Keywords: transimpedance amplifier, inverter, regulated cascode, shunt peaking, CMOS

I. 서 론

최근 인터넷의 사용이 늘어나고 메모리와 마이크로프로세서의 속도가 빨라짐에 따라 데이터의 양이 급속하게 증가하고 있다. 기존의 UTP(unshielded twisted pair), coaxial cable, 및 FR-4 전송선 등은 매체의 skin

* 학생회원, (주)하이닉스반도체 그래픽 설계팀
(Hynix Semiconductor Inc.)
** 평생회원, 이화여자대학교 정보통신학과
(Ewha Womans University)
※ 본 연구는 한국전자통신연구원 (ETRI)의 지원에 의해 수행하였음
접수일자: 2006년1월13일, 수정완료일: 2006년9월13일

effect가 크고, 그로 인해 전송에 따른 데이터 손실이 매우 커지는 단점이 있어, 이를 보완하기 위한 equalization 기술 등이 필요하거나, 혹은 전송중계 간격이 짧아야 하는 요구사항이 따른다. 따라서 이러한 문제점을 보완할 수 있는 광섬유가 최근 각광 받고 있다.

광통신이 초고속 데이터 전송분야에서 각광 받는 이유로는, 광섬유(optical fiber)가 수십~수백 Gigahertz의 넓은 대역폭을 가지며, 전송에 있어 0.15dB/km의 매우 작은 데이터 손실의 특성이 있기 때문이다[1]. 또한 부피가 작고 가벼우며, 한 가닥의 광섬유에 여러 채널의 통신회선을 동시에 수용할 수 있고, 외부환경 변화에 (EMI 등) 훨씬 덜 민감한 장점이 있다. 광섬유의 재료인 SiO_2는 저가에 쉽게 얻을 수 있어 경제적인 효용도 또한 매우 높다.

그림 1은 일반적인 광수신기 시스템의 구조를 보여준다. 광섬유를 통해 들어온 신호는 광소자인 photodiode (PD)에 의하여 전기적 전류신호로 (일반적으로 10~100uA$_{pp}$) 변환되고, 이를 첫 번째 단 트랜스임피던스 증폭기에서 (transimpedance amplifier, TIA) 전압신호로 전환한다.

그러나, TIA 출력 전압신호는 디지털신호처리를 위한 로직레벨(logic level)을 만족시킬 만큼 크지 않기 때문에, TIA 다음 단에서 출력전압을 증폭시키고, 고정된 출력전압을 (일반적으로 0.5V$_{pp}$) 발생시켜 전체 시스템의 dynamic range를 높여줄 수 있도록 리미팅 증폭기를 (limiting amplifier, LA) 달아준다.

클록 추출 및 데이터 복원 회로(clock and data recovery, CDR)는 리미팅 증폭기의 출력인 데이터신호로부터 디지털 회로 신호처리에 필요한 클록을 추출해 낸다. 또한, 추출한 클록을 이용하여 asynchronous하고 잡음이 많은 데이터 신호를 retiming함으로써 복원한 데이터의 jitter를 줄이는 역할을 한다. CDR에서 복원한 데이터는 마지막 단인 demultiplexer(DMUX)를 통해 속도를 낮춰 디지털 회로로 보내진다.

이러한 광수신기 시스템 내에서, 첫 번째 단인 TIA는 전체 시스템의 동작속도, 민감도(sensitivity), SNR 또는 BER과 같은 시스템성능을 결정하는 핵심 요소이다. 따라서 TIA 설계 시 대역폭(bandwidth), 트랜스임피던스 이득(transimpedance gain), 노이즈 전류 스펙트럼 밀도 (noise current spectral density), 전력소모(power dissipation) 등 여러 가지의 design tradeoffs를 동시에 고려한 후 최적화해야 한다.

초고속 기가비트급 TIA는 주로 III-V족 화합물로 설계되었으나, 최근 들어 실리콘 CMOS 공정의 scaling에

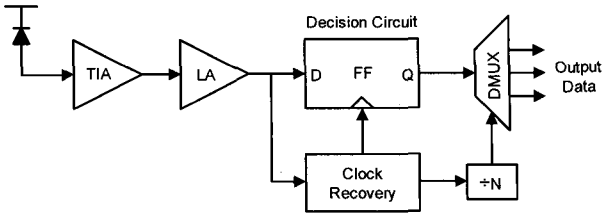


그림 1. 일반적인 광수신기 시스템의 구조
Fig. 1. System overview of a typical optical receiver.

의한 높은 집적도, 저가, 저전력소모, 디지털회로와의 호환과 혼성신호 SoC 회로가능성 등의 장점 때문에, deep sub-micron CMOS 공정을 이용한 회로설계가 많이 증가하고 있다. 하지만, CMOS 공정을 이용할 경우, Bipolar 소자 혹은 GaAs 및 HEMT 등의 소자에 비해 상대적으로 gm값이 작기 때문에 초고속 동작속도 및 낮은 노이즈 특성을 얻기 쉽지 않는 단점이 있다. 또한, 입력단 광다이오드(PD)의 큰 기생 캐패시턴스를 (일반적으로 10Gb/s 동작의 경우 0.15~0.25pF) 대역폭 결정으로부터 차단하는 것이 필요한데, 이를 일반적인 CMOS 공통 소스(common-source)[2] 형태의 트랜스임피던스 회로로는 구현하기 매우 어렵다. 따라서 여러 종류의 회로기법이 개발되었는데, 그 중 공통 게이트(common-gate)[3], 공통 드레인(common-drain)[4]과 같은 회로기법의 경우 입력 임피던스를 낮추어 대역폭을 늘리는 장점은 있으나, CMOS 특성의 한계인 낮은 gm 값으로 인해 여전히 PD 캐패시턴스에 의한 대역폭의 큰 변화를 차단하지 못한다. 이 외에도 캐패시티브 피킹 기법[5] 및 인덕티브 피킹 기법[6]과 트랜스포머 피킹 기법[7]을 사용하여 대역폭을 늘리는 회로기법도 적용되고 있다. 그러나 여전히 공통소스 입력단을 이용할 경우, 광다이오드의 기생 캐패시턴스에 크게 영향을 받아 대역폭이 심하게 변화하는 단점이 있고, 공통 게이트와 공통 드레인 기법은 노이즈 및 안정도(stability)의 문제점도 존재한다.

위에 기술한 문제점을 극복하기 위하여 본 논문에서는 먼저, 저전력 소모를 요구하는 회로에 적합하고, 유효 트랜스컨덕턴스(effective transconductance) 값을 크도록 설계한 전압모드의 inverter TIA(I-TIA) 설계에 관하여 논의한다. 또한, 전류모드인 regulated casocde (RGC) 기법[8]을 TIA의 입력단으로 활용하여 CMOS 공정의 단점이었던 낮은 gm값을 늘리고, 따라서 PD의 기생 캐패시턴스 영향을 효과적으로 차단하였다. 동시에 인덕티브 피킹기법[9]을 이용해 대역폭을 10Gb/s 동작속도에 적합하도록 함으로써, CMOS 공정을 이용한

초고속 트랜스임피던스 회로설계상의 여러 문제점을 동시에 극복하는데 초점을 맞추었다.

Ⅱ. 10Gb/s 전치증폭기 설계

1. 트랜스임피던스 증폭기(TIA)의 구조

그림 2는 기본적인 TIA의 구조로서, 광다이오드 및 open-loop 전압이득(A)를 갖는 증폭기와 네거티브 피드백 저항(Rf)로 이루어져 있다. 이상적인 증폭기를 가정할 경우, 즉 대역폭을 결정짓는 pole이 없어 무한대의 대역폭을 가지며 입력저항이 무한대라고 가정하면, 전체 TIA의 입력저항, 트랜스임피던스 이득 및 대역폭은 다음과 같이 결정된다.

$$Z_{in}(0) \cong \frac{R_f}{1+A} \tag{1}$$

$$Z_T(0) = \frac{v_o}{i_{in}} \cong R_f \tag{2}$$

$$f_{-3dB} \cong \frac{1+A}{2\pi R_f (C_{pd}+C_{in})} \tag{3}$$

위 식에서 보는 바와 같이, 피드백 저항 Rf는 입력저항을 낮춤으로써 대역폭 결정이 광다이오드의 캐패시턴스에 덜 민감하도록 하며, 또한 입력노드의 바이어스 전압을 결정하는 역할을 한다. 트랜스임피던스 이득은 Rf로 결정되기 때문에, R_f의 값을 키우게 되면 트랜스임피던스 이득은 커지나, 입력저항이 커지게 되고 따라서 대역폭이 줄게 된다. 또한, 대역폭은 입력노드의 기생 캐패시턴스 성분에 의해 결정되어지기 때문에 대역폭을 늘리기 위해서는 (Cpd+Cin)의 값을 줄이거나, 증폭기의 이득(A)을 키워야 한다. 하지만, A값이 크게 되면 회로의 stability가 떨어지고, Cpd값 또한 동작속도에 따라 대부분 정해지므로 그 값을 줄이는 것에 한계가 있다.

TIA 내의 open-loop 증폭기에 한 개의 pole이 있는 경우, 즉 open-loop gain A가 다음과 같이 표현 될 때,

$$A(s) = \frac{A_0}{1+s/\omega_{p1}} \tag{4}$$

TIA의 트랜스 임피던스 이득의 transfer function 및 그로부터의 대역폭은 다음과 같이 결정된다.

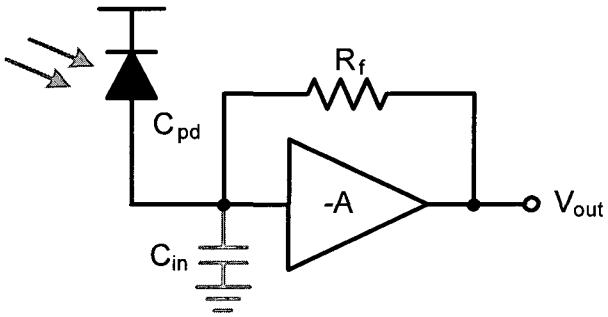


그림 2. 트랜스임피던스 증폭기의 기본 회로도
Fig. 2. Basic circuit diagram of a typical transimpedance amplifier.

$$Z_T(s) = \frac{v_o}{i_{in}}(s) \cong \frac{-A_0\omega_0/(C_{pd}+C_{in})}{s^2 + \frac{R_f(C_{pd}+C_{in})\omega_0 + 1}{R_f(C_{pd}+C_{in})}s + \frac{(A_0+1)\omega_0}{R_f(C_{pd}+C_{in})}} \tag{5}$$

$$f_{-3dB} \cong \frac{\sqrt{2}A}{2\pi R_f (C_{pd}+C_{in})} \tag{6}$$

위 식 (6)을 (3)과 비교하면, 2차 시스템의 대역폭이 1차 시스템에 비하여 1.4배 정도 크다는 것을 알 수 있다. 이는 2차 시스템내의 두 개 pole로 인해 피킹이 일어나, 인덕티브한 특성을 가지기 때문이다[10].

트랜스임피던스 회로의 노이즈 특성은 일반적으로 노이즈 전류 스펙트럼 밀도(noise current spectral density)로 표현하는데, 그림 2 회로의 노이즈 전류 스펙트럼 밀도는 다음과 같다.

$$\overline{i_{eq}^2} \cong \frac{4kT}{R_f} + \frac{4kT\Gamma g_{do}}{g_m^2}\left[\frac{1}{R_f^2} + \omega^2 (C_{pd}+C_{in})^2\right] \tag{7}$$

위 식 (7)에서 Γ는 노이즈 factor로서 long-channel MOS의 경우 2/3, short-channel의 경우 1~2의 값을 갖는다.

또한, k는 Boltzmann 상수, T는 절대온도, g_{d0}는 zero-bias drain의 conductance로서 일반적으로 g_m값과 동일하다. 위 식에서 보는 바와 같이, 전체 노이즈 특성은 저항 R_f와 관련된 thermal noise와 액티브 소자인 MOS에 관련된 channel thermal noise로 이루어져 있다. 두 번째 항인 channel thermal noise는 주파수의 제곱에 비례해서 커지기 때문에, 이를 줄이기 위해서는 분모에 있는 g_m값을 크게 해야 한다. 이는 회로 내의 바이어스 전류를

증가시켜 전력 소모가 커지게 되는 단점이 있거나, 혹은 입력단 트랜지스터의 사이즈를 크게 해야 하는 단점이 따른다. 따라서 입력저항의 영향을 줄이면서 이득과 대역폭을 크게 하고, 동시에 노이즈 전류 스펙트럼 밀도를 줄일 수 있는 회로기법이 절실히 필요하다.

2. 저전력 전압모드 Inverter TIA 설계

가. Inverter TIA(I-TIA) 입력단

I-TIA는 전압모드 공통소스(CS) TIA의 개선된 구조로서 그림 3에서 보는 바와 같이, 입력단 회로는 광다이오드(PD)와 inverter 형태의 CS TIA 및 피드백 저항으로 이루어져 있다. 그림 4는 I-TIA 입력단의 등가회로를 보여준다. 소신호 해석에 따른 입력저항, 트랜스임피던스 이득과 대역폭은 다음과 같이 결정된다.

$$Z_{in}(0) \cong \frac{(r_{o1}\|r_{o2})+R_f}{1+(g_{m1}+g_{m2})(r_{o1}\|r_{o2})} \cong \frac{1}{(g_{m1}+g_{m2})} \tag{8}$$

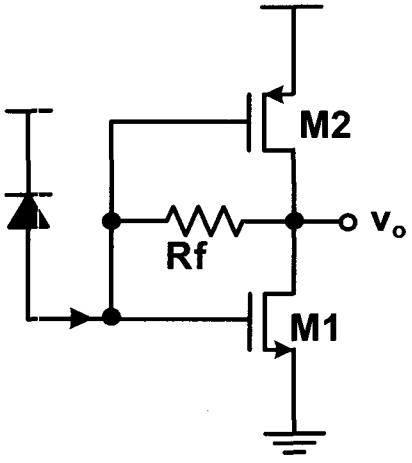


그림 3. I-TIA 입력단의 회로도
Fig. 3. Schematic diagram of the I-TIA.

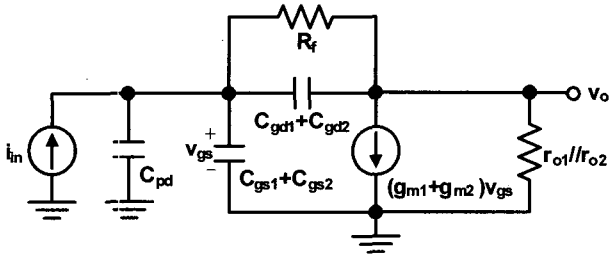


그림 4. I-TIA 입력단의 등가회로도
Fig. 4. Equivalent circuit of the I-TIA input stage.

$$Z_T(0) = \frac{v_o}{i_{in}}(0) \cong -R_f \tag{9}$$

$$f_{-3dB} \cong \frac{(g_{m1}+g_{m2})+1/(r_{o1}\|r_{o2})}{2\pi(C_{pd}+C_{gs1}+C_{gs2})\left(1+\frac{R_f}{r_{o1}\|r_{o2}}\right)} \cong \frac{(g_{m1}+g_{m2})}{2\pi(C_{pd}+C_{gs1}+C_{gs2})} \tag{10}$$

식 (8)에서 보는 바와 같이, I-TIA 입력단의 유효 gm은 일반적인 CS TIA 보다 크기 때문에 입력저항을 줄이고, 결국 대역폭을 늘릴 수 있는 장점이 있다. 그러나 식(10)에서 보는 바와 같이, 대역폭은 여전히 입력노드의 기생 캐패시턴스인 (C_{pd}+C_{gs1}+C_{gs2})에 직접적으로 영향을 받는 단점이 있다.

I-TIA 입력단의 노이즈 전류 스펙트럼 밀도는 다음과 같이 나타낸다.

$$\overline{i_{eq}^2} \cong \frac{4kT}{R_f} + \frac{4kT\omega^2(C_{in}+C_{gd})^2}{(g_{m1}+g_{m2})^2} \times\left[\frac{1}{R_f}+\Gamma(g_{m1}+g_{m2})\right] \tag{11}$$

식 (11)에서 C_{gd} = C_{gd1}+C_{gd2}, C_{in} = C_{pd}+C_{gs1}+C_{gs2}를 각각 나타낸다. 위 식에서 보는 바와 같이, 전체 노이즈 특성은 R_f의 thermal noise와 M_1, M_2의 channel thermal noise로 이루어져 있고, 식 (7)과 비교하여 보면 effective g_m 값이 CS TIA보다 크기 때문에 주파수의 제곱에 비례하는 channel thermal noise를 더 효과적으로 줄일 수 있다.

나. 10Gb/s differential Inverter TIA

그림 5는 10Gb/s에서 동작하는 I-TIA의 회로도를 보여준다. 그림 3에서 제안한 회로의 차동구조 형태로서, inverter type 공통소스 입력단과 CML(current-mode logic) 형태의 출력 버퍼단으로 이루어져 있다. 공통모드 노이즈(common-mode noise)의 영향을 줄이기 위하여 차동회로를 사용하였다.

입력단과 출력 버퍼단에 shunt inductive peaking 기법을 사용하여 대역폭을 증가시켰다. 그러나 I-TIA의 대역폭이 여전히 광다이오드의 기생 캐패시턴스에 직접적인 영향을 받게 되므로, 회로 및 패키지의 기생성분

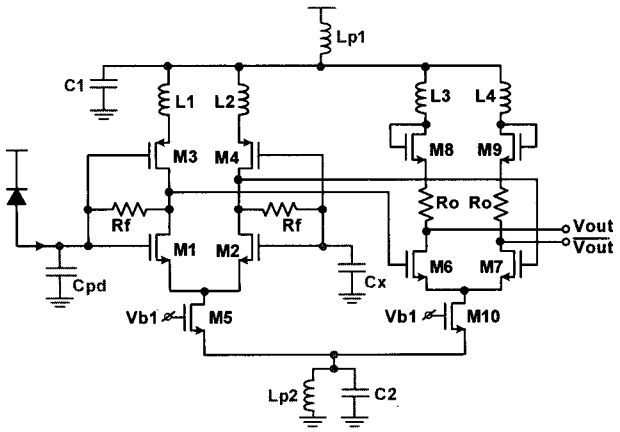


그림 5 차동 I-TIA의 회로도

Fig. 5. Schematic diagram of the differential I-TIA circuit.

표 1. 차동 I-TIA 내 주요소자의 파라미터

Table 1. Main parameter values of the devices exploited in the differential I-TIA.

M_1	10/0.18	L_1	1.5nH
M_3	20/0.18	L_3	3.5nH
M_6	10/0.18	R_f	1KΩ
M_8	5/0.18	R_o	50Ω

에 의한 대역폭의 민감도가 매우 높아진다. 이에 따라, 칩과 PCB module 사이의 기생 인덕턴스 및 기생 캐패시턴스의 효과를 알 수 있도록, L_{P1}, L_{P2}, 및 C_1, C_2 등의 기생성분을 첨가하여 시뮬레이션 하도록 한다.

표 1은 차동 I-TIA 회로 내의 주요소자의 파라미터 값을 나타낸다.

다. HSPICE 시뮬레이션 결과 및 토의

위에 제안한 I-TIA를 0.18um CMOS 공정 파라미터를 사용하여 HSPICE 시뮬레이션 하였다. 시뮬레이션 결과, 56dBΩ의 트랜스임피던스 이득을 갖고 0.25pF 광다이오드 캐패시턴스에 대해 14GHz 대역폭 (그림 6 참조)을 갖는다. 그러나 회로와 모듈사이의 패키지 기생성분을 포함시켰을 때, 전체 대역폭이 2GHz로 크게 감소함을 알 수 있다. 따라서 회로설계 시 기생성분에 대한 매우 신중한 고려가 필요하다.

그림 7은 패키지 기생성분을 제외한 상태에서, I-TIA의 평균 노이즈 전류 스펙트럼 밀도를 시뮬레이션 한 결과로서, 0.25pF 광다이오드 캐패시턴스에 대해 10pA/vHz를 갖는다. 이는 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우, -16.5dBm의 광민감도(optical sensitivity)에 해당한다. 그림 8은 100uApp 크기를 갖는 2^{31}-1 PRBS 입력전류

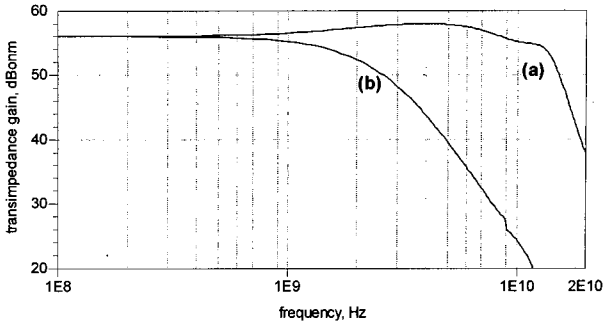


그림 6 I-TIA의 주파수 응답 (C_{pd} = 0.25pF): (a) without, (b) with L_{p1}, L_{p2}, C_1, C_2

Fig. 6. Frequency response of the I-TIA (C_{pd} = 0.25pF) : (a) without, and (b) with L_{p1}, L_{p2}, C_1, C_2.

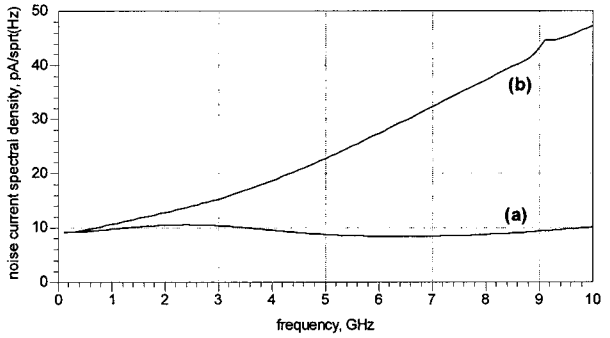


그림 7 노이즈 전류 스펙트럼 밀도 (C_{pd} = 0.25pF); (a) without, (b) with L_{p1}, L_{p2}, C_1, C_2

Fig. 7. Noise current spectral density (C_{pd} = 0.25pF) : (a) without, and (b) with L_{p1}, L_{p2}, C_1, C_2.

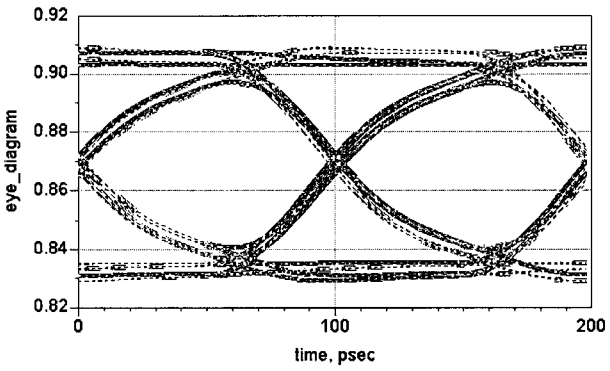


그림 8 I-TIA의 eye-diagram

Fig. 8. Eye-diagrams of the I-TIA.

에 대한 회로의 출력 eye-diagram (~60mVpp)을 보인다. DC 시뮬레이션 결과, 1.8V 전원전압으로부터 5.5mW의 매우 낮은 전력 소모를 보인다.

전압모드인 CS TIA 혹은 I-TIA의 경우, 대역폭이 입력단의 기생 캐패시턴스의 값에 따라 매우 심하게 변화하는 단점이 있다. 이에 따라, 입력단 캐패시턴스를 대역폭 결정으로부터 차단할 수 있는 전류모드 TIA를

설계하였고, 일반적인 전류모드인 common-gate (CG) TIA의 입력단 보다 유효 입력저항을 크게 조절할 수 있는regulated cascode (RGC) TIA를 소개하도록 한다.

3. 전류모드 Regulated Cascode TIA 설계

가. Regulated Cascode TIA의 입력단

그림 9는 RGC 입력단의 회로도를 보여준다. 소신호 해석에 의한 회로도의 입력저항, 트랜스임피던스 이득, 대역폭은 다음과 같다.

$$Z_{in}(0) \cong \frac{1}{g_{m1}\left[1+g_{m2}(r_{02}\|r_{02})\right]} \tag{12}$$

$$Z_T(0) = \frac{v_o}{i_{in}}(0) \cong r_{o2} \tag{13}$$

$$f_{-3dB} \cong \frac{g_{m1}}{4\pi(C_{gs1}+C_{gs2})} \tag{14}$$

식(12)에서 보는 바와 같이 RGC TIA의 입력 임피던스는 공통 게이트 입력단에 비해 로컬 피드백의 전압이득(voltage gain)만큼 작아진다. 즉, 입력 임피던스가 virtual ground에 있게 되어 입력단의 큰 기생 캐패시턴스를 대역폭 결정으로부터 효과적으로 차단하며, 동시에 대역폭을 증가시키는 장점을 갖는다. $r_{o1} = r_{o3} = r_{o5}$가 같다고 볼 때, 트랜스임피던스 이득은 식 (13)과 같다.

식 (14)를 보면, 광다이오드의 기생 캐패시턴스가 대역폭에 영향을 끼치지 않는 다는 것을 알 수 있다. 대역폭을 키우기 위해서 g_{m1}의 값을 키워야 하지만 이는 회로에 흐르는 전류의 양이 많아져 전력소모가 커지게 되는 단점이 있다. g_{m1}값을 키우기 위하여 M_1 사이즈를 키우게 되면 C_{gs1}이 영향이 커지게 되기 때문에 제한 점이 있다.

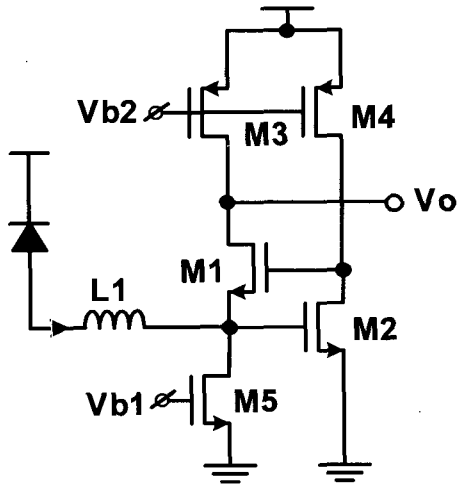


그림 9. RGC 입력단의 회로도
Fig. 9. Schematic diagram of the RGC input stage.

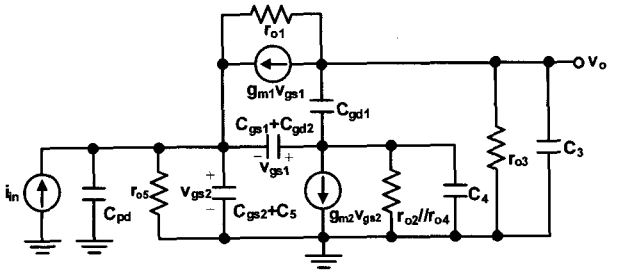


그림 10. RGC 입력단 등가 회로도
Fig. 10. Small signal equivalent circuit of the RGC input stage.

RGC TIA 입력단의 노이즈 전류 스펙트럼 밀도는 다음과 같다.

$$\overline{i_{eq}^2} \cong 4kT(g_{m3}+g_{m5}) + \frac{4kT(g_{m1}+g_{m3})\omega^2(C_{gs1}+C_{gd2})^2}{g_{m1}^2} + \frac{4kT(g_{m2}+g_{m4})\omega^2(C_{pd}+C_{gs2}+C_{sb1}+C_{d5})^2}{(g_{m2}+g_{o4})^2} \tag{15}$$

식 (15)을 보게 되면 고주파 노이즈의 특성이 큰 입력 캐패시턴스를 갖는 두 번째 항이 큰 영향을 미친다. 그러나 $(g_{m2}+g_{o4})^2$로 나누어지므로 M_2와 M_4의 크기를 조절함으로써 노이즈 영향을 크게 줄일 수 있다.

나. 10Gb/s Differential Regulated Cascode TIA

그림 11은 10Gb/s에서 동작하는 차동 RGC TIA의 회로도로서, RGC 입력단, 전압 이득단, 출력 버퍼단으로 이루어져있다. 회로의 CMRR을 높여 전원전압 노이즈 혹은 기판 노이즈 등과 같은 공통모드 노이즈를 줄이도록 차동구조로 설계하였다. 또한 RGC 입력단과 출력버퍼단의 load 부분에 각각 인덕터를 사용하여 인덕티브 피킹기법을 통해 대역폭을 넓히도록 설계하였다.

회로 내의 dominant pole은 virtual ground 입력단보다, 오히려 M_1 (혹은 M_5) 드레인에서 결정된다. 그러나 RGC 입력단과 출력버퍼단의 shunt inductive peaking 기법을 이용하여 M_1 드레인에서 결정된 대역폭을 3배 이상 증가할 수 있다.

출력 버퍼단은 CML (current-mode-logic)을 사용하여 I/O interface에서 10Gb/s로 동작할 수 있도록 설계

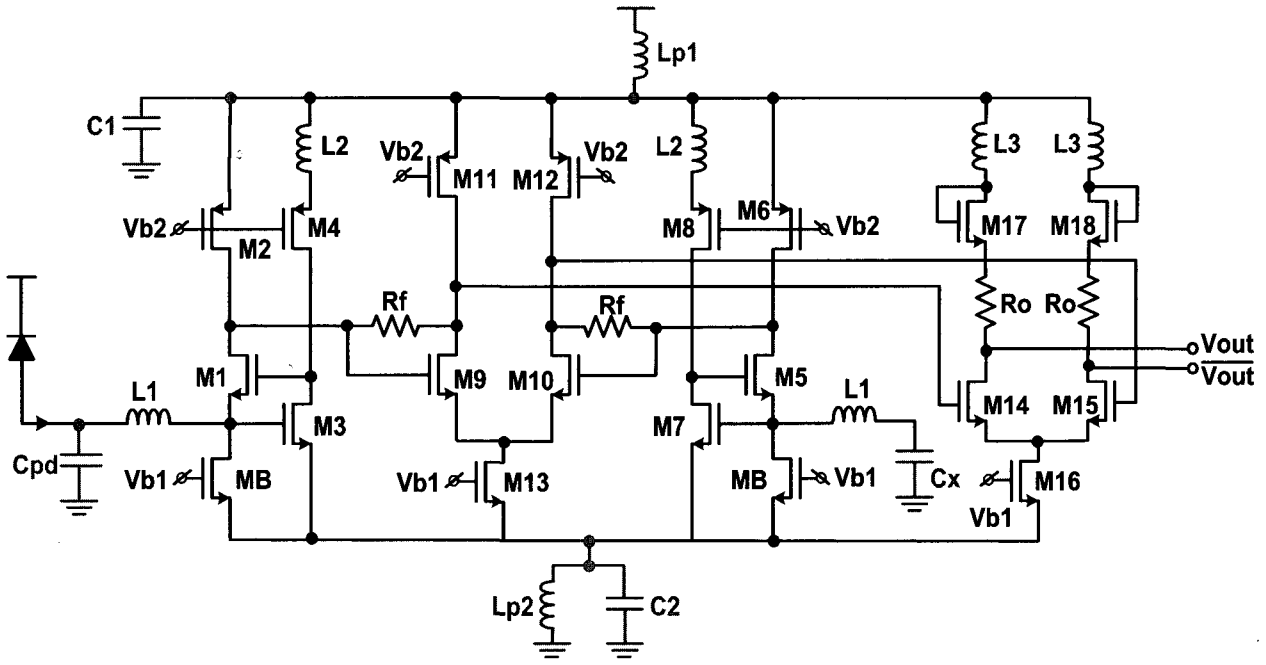


그림 11. 차동구조 RGC TIA의 회로도

Fig. 11. Schematic diagram of the differential RGC TIA.

표 2. 차동 RGC TIA 회로 내 주요소자의 파라미터 값

Table 2. Main parameter values of the devices exploited in the RGC TIA.

M_1	20/0.18	L_1	6nH
M_2	5/0.18	L_2	1.5nH
M_3	30/0.18	L_3	5.5nH
M_4	30/0.18	R_f	2KΩ
M_9	20/0.18	R_o	50Ω
M_{11}	10/0.18		

하였다. 표 2는 RGC TIA의 주요 소자 및 사용한 기생 성분의 파라미터 값을 나타낸다.

다. HSPICE 시뮬레이션 결과 및 토의

위에 설계한 RGC TIA를 0.18um CMOS 공정 파라미터를 사용하여 HSPICE 시뮬레이션을 하였다. 그림 12는 RGC TIA의 주파수 응답을 보여주며, 60dBΩ 트랜스임피던스 이득, 0.25pF 광다이오드 캐패시턴스에 대해 10GHz 대역폭을 얻었다. 또한, 그림 12에서 보는 바와 같이 기생 캐패시턴스를 0~1pF까지 변화시킬 경우에도 3dB 대역폭의 변화가 거의 없이 안정된 성능을 보여준다. 그림 13은 노이즈 전류 스펙트럼 밀도로 0.25pF 광다이오드 캐패시턴스에 대해 14pA/vHz의 평균 노이즈 전류 스펙트럼 밀도를 갖는다. 이는 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우 -15.7dBm의 광민감도에 해당한다.

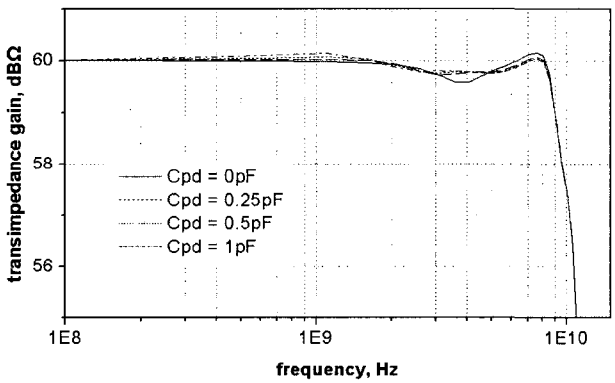


그림 12 RGC TIA의 주파수 응답 (C_{pd}=0~1pF)

Fig. 12. Frequency response of the RGC TIA. (C_{pd}=0~1pF)

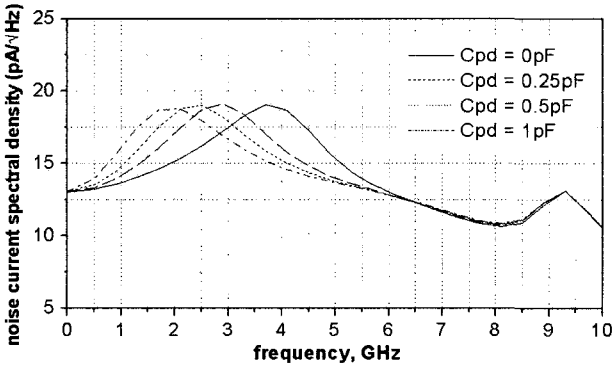


그림 13. RGC TIA의 노이즈 전류 스펙트럼 밀도 (C_{pd}=0~1pF)

Fig. 13. Noise current spectral density of the RGC TIA. (C_{pd}=0~1pF)

표 3. 최근 기가비트급 트랜스임피던스 증폭기와의 성능비교
Table 3. Performance comparison with recently published transimpedance amplifiers.

Ref.	technology (CMOS)	BW (GHz)	TZ (dBΩ)	i_{noise} (pA/sqrtHz)	power dissipation (mW)	FoM (ΩxGHz/mW)
[7]	80nm	19	45	-	6.5	520
[11]	0.5um	3.5	60	20	16.5	212
[12]	0.18um	9.2	54	-	138	33
[13]	0.18um	9	62	-	108	105
[14]	0.18um	15	58	8~16	200	60
I-TIA	0.18um	14	56	10	5.5	1,606
RGC TIA	0.18um	10	60	14	25	400

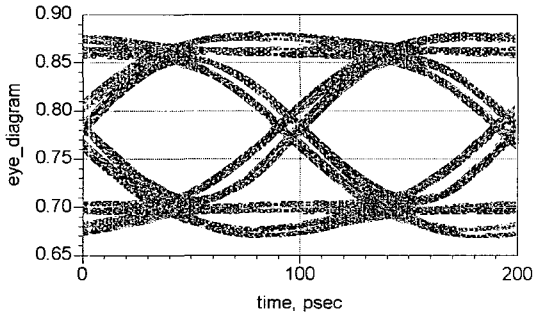


그림 14 RGC TIA의 eye-diagram
Fig. 14. Eye-diagrams of the RGC TIA.

그림 14는 출력 eye-diagram (~150mV$_{pp}$)을 나타낸다. 이는 150uA$_{pp}$ 크기를 갖는 2^{31}-1 PRBS 입력전류에 대한 RGC TIA의 출력으로, 앞서 보여준 주파수 특성 시뮬레이션의 트랜스임피던스 이득과 일치한다. DC 시뮬레이션 결과, RGC TIA 회로는 1.8V 전원전압으로부터 25mW 전력소모를 갖는다.

IV. 결 론

본 논문에서는 0.18um CMOS 공정을 이용하여 전압모드(I-TIA)와 전류모드(RGC TIA)의 전치증폭기 세 종류를 구현하였다. 전압 모드인 I-TIA는 대역폭이 크고 전력 소모가 작다는 장점이 있으나 기생 성분에 의한 대역폭의 변화가 심하다. 0.25pF의 광다이오드 캐패시턴스에 대해 56dBΩ의 트랜스임피던스 이득, 14GHz의 대역폭을 얻었다. 평균 노이즈 전류 스펙트럼 밀도 10pA/vHz, 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우 -16.5dBm의 광민감도에 해당하며 전력소모는 5.5mW였다. 전류 모드인 RGC TIA는 I-TIA에 비하여 전력 소모가 크나, 입력 임피던스가 피드백의 전압이득만큼 작아져 입력단의 큰 기생성분을 효과적으로 차단하여 대역폭을 증가시키는 장점을 갖는다. RGC TIA는 0.25pF의 광다이오드 캐패시턴스에 대해 60dBΩ의 트랜스임피던스 이득, 10GHz의 대역폭을 얻었으며 평균 노이즈 전류 스펙트럼 밀도는 14pA/vHz로 I-TIA와 10^{-12} BER과 9dB extinction ratio 및 0.5A/W responsivity를 예상할 경우 -16.5dBm의 광민감도를 가지며 전력소모는 25mW였다.

표 3은 최근에 발표된 TIA와 본 논문에서 소개한 TIA의 성능비교를 나타낸다. FoM(figure of merit)은 TIA의 성능을 비교하기 위한 수치로서, 대역폭과 트랜스임피던스 이득의 곱을 소비한 전력소모량으로 나눈 값이다. 표 3의 결과로서 FoM을 비교하면, 본 논문에서 제시한 세 종류의 TIA가 기존에 발표된 다른 TIA에 비하여 성능이 3~10배 이상까지 향상되었다는 것을 알 수 있다.

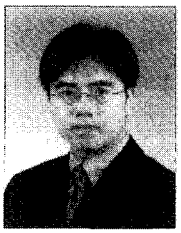
참 고 문 헌

[1] Ronald W. Waynant and Marwood N. Ediger, 'Electro-Opitcs Handbook', McGraw-Hill, 2000.
[2] N. Haralabidis, S. Katsafouros, and G. Halkias, "A 1 GHz CMOS transimpedance amplifier for chip-to-chip optical interconnects", in *Proc. IEEE Int. Symp. on Circuits Systems*, vol. 5, pp. 421-424, May 2000.
[3] C. Toumazou and S. M. Park, "Wideband low noise CMOS transimpedance amplifier for gigahertz operation", *Electron. Lett.*, vol. 32, no 13, pp. 1194-1196, Jun. 1996.
[4] T. Yoon and B. Jalali, "1 Gbit/s fiber channel CMOS transimpedance amplifier", *Electron. Lett.*, vol. 33, no. 7, pp. 588-589, Mar. 1997.
[5] C. -W. Kuo, C. -C. Hsiao, S. -C. Yang, and Y. -J Chan, "2 Gbit/s transimpedance amplifier fabricated by 0.35um CMOS technologies", *Electron. Lett.*, vol. 37, no.19, pp. 1158-1160, 2001.
[6] S. S. Mohan, M. D. M. Hershenson, S. P. Boyd,

and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 346-355, Mar. 2000.
[7] M. Kossel, C. Menolfi, T. Morf, M. Schmatz, and T. Toifl, "Wideband CMOS transimpedance amplifier", *Electron, Lett.*, vol. 39, no. 7, pp. 587-588, Apr. 2003.
[8] S. M. Park and H. J. Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier For Gigabit Ethernet Application", *IEEE J. of Solid-State Circuits*, Vol. 39, no. 1, pp. 112-121, Jan. 2004.
[9] 허태관, 조상복, 박성민, "광통신용 다채널 CMOS 전치증폭기 어레이", *대한전자공학회논문지*, 제42권 SD편, 8호, 2005.
[10] B. Razavi, 'Design of Integrated Circuits for Optical Communications', McGraw-Hill, 2003.
[11] S. M. R. Hasan, "Design of a Low-Power 3.5-GHz Broad-Band CMOS Transimpedance Amplifier for optical Transceivers", *IEEE Transactions on circuits and systems*, vol. 52, no.6, pp.1061-1072, Jun. 2005.
[12] B. Analui and A. Hajimiri, "Multi-pole bandwidth enhancement technique for transimpedance amplifiers", *Eurpean Solid-State Circuits Conf.*, Sep. 2002.
[13] A. K. Petersen, K. Kizilolu, T. Yoon, F. Williams and M.R. Sandor, "Front-end CMOS chipset for 10Gb/s communication", *IEEE RFIC Symp. Dig.*, pp.93-96, 2002.
[14] R. C. Liu and H. Wang, 'DC-to-15-and DC-to-30GHz CMOS Distributed Transimpedance Amplifiers", *IEEE RFIC Symp. Dig.*, pp.535-538, 2004.

저 자 소 개

심 수 정(학생회원)
2004년 이화여자대학교 정보통신학과 학사졸업.
2006년 이화여자대학교 정보통신학과 석사졸업.
2006년 현재 (주)하이닉스반도체 그래픽 설계팀
<주관심분야 : 광통신용 초고속 아날로그 회로 설계 및 그래픽메모리>



박 성 민(평생회원)
1993년 한국과학기술원 전기 및 전자공학과 학사졸업.
1994년 런던대학교 전자공학과 석사 졸업.
2000년 임페리얼 공대 전자공학과 박사 졸업.
현재 이화여자대학교 정보통신학과 조교수
<주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>