

논문 2006-43SD-10-10

AMBA 기반 SoC 테스트를 위한 접근 메커니즘 설계

(Design of Test Access Mechanism for AMBA based SoC)

민 필 재*, 송 재 훈*, 이 현 빈*, 박 성 주**

(Piljae Min, Jaehoon Song, Hyunbean Yi, and Sungju Park)

요 약

Advanced Microcontroller Bus Architecture (AMBA) 기반 System-on-Chip (SoC)에서는 기능적 테스트를 위해 ARM사의 Test Interface Controller (TIC)를 사용한다. 따라서 구조적 스캔 테스트 패턴도 TIC와 AMBA 버스를 통해 인가하면서 스캔 입력과 출력을 동시에 수행할 수 없다는 단점이 있다. 본 논문에서는 ARM 코어를 사용하는 SoC 테스트를 위한 AMBA based Test Access Mechanism (ATAM)을 제안한다. 기존 TIC와의 호환성을 유지하고 스캔 입력과 출력을 동시에 할 수 있으므로 고가의 Automatic Test Equipment (ATE)를 통한 테스트 시간을 대폭 절감할 수 있다.

Abstract

Test Interface Controller (TIC) provided by ARM Ltd. is widely used for functional testing of System-on-Chip (SoC) adopting Advanced Microcontroller Bus Architecture (AMBA) bus system. Accordingly, this architecture has a deficiency of not being able to concurrently shifting in and out the structural scan test patterns through the TIC and AMBA bus. This paper introduces a new AMBA based Test Access Mechanism (ATAM) for speedy testing of SoCs embedding ARM cores. While preserving the compatibility with the ARM TIC, since scan in and out operations can be performed simultaneously, test application time through the expensive Automatic Test Equipment (ATE) can be drastically reduced.

Keywords : SoC Testing, AMBA, TIC, Test Wrapper, Scan Test

I. 서 론

반도체 공정 기술의 발전으로 여러 Intellectual Property (IP)로 구성된 시스템을 하나의 칩으로 구현하는 System-on-Chip (SoC) 설계가 가능해졌다. 재사용 가능한 IP를 이용함으로써 설계 시간은 획기적으로 단축되었지만, SoC의 복잡도에 비례하여 테스트 시간은 갈수록 더 길어지고 있다. SoC 테스트 비용은

Automatic Test Equipment (ATE)의 테스트 패턴 메모리의 용량 및 주입시간, 내장 코어의 Test wrapper, SoC Test Access Mechanism (TAM)과 테스트 방법에 의해 결정된다^[1].

본 논문에서는, 현재 널리 사용되고 있는 Advanced Microcontroller Bus Architecture (AMBA) 기반의 SoC를 위한 테스트 메커니즘에 대해서 논한다. AMBA는 IP 코어의 재사용을 강화하기 위해 ARM사에서 개발한 on-chip-bus이며, AMBA를 통한 IP core의 기능적 테스트를 위해서는 Test Interface Controller (TIC), External Bus Interface (EBI), Test Harness가 사용된다^[2]. 기능적 테스트 패턴으로 다양한 물리적 결함에 대한 고장점검을 하기에는 시간이 많이 걸리고 고장점검율도 상대적으로 낮으므로, Built-In-Self-Test (BIST)나 스캔과 연계된 구조적 테스트가 널리 사용되고 있다^[3,4].

* 학생회원, 한양대학교 컴퓨터공학과
(Department of Computer Science & Engineering, Hanyang University)

** 정회원, 한양대학교 전자컴퓨터공학부
(Department of Electrical Engineering Computer Science, Hanyang University)

※ 본 논문은 산업자원부 산하 System IC 2010 사업
단과계로부터 지원을 받아 진행하였습니다.

접수일자: 2006년5월23일, 수정완료일: 2006년9월14일

본 논문에서는, TIC와 EBI 그리고 Test Harness를 활용하여 AMBA기반 SoC 테스트시에, 적은 오버헤드로 테스트 시간을 단축시킬 수 있는 AMBA 기반 Test Access Mechanism (ATAM)을 제시한다. 본문에서는 AMBA Test Interface와 기존 방식을 소개하고, 본 논문에서 제안하는 ATAM의 구조를 자세히 설명한다. 이어서 실험 결과를 제시하고, 마지막으로 결론을 맺는다.

II. 본 론

1. AMBA Test Interface and Related Works

일반적인 AMBA System은 그림 1과 같이 Advanced High-performance Bus (AHB)와 Advanced Peripheral Bus (APB) 로 구성된다. AHB는 고속의 데이터 송수신을 위해 설계 되어 마이크로 프로세서와 같은 고성능 모듈 간의 연결에 사용되며, APB는 전송속도가 느린 장치들의 인터페이스에 사용된다. AHB와 APB의 연결을 위해서는 AHB-to-APB 브릿지가 필요하다. ARM 프로세서 기반의 SoC는 다양한 IP들과 전용 모듈로 설계되며, AMBA AHB 또는 APB 버스 규격에 맞게 설계된 IP를 사용함으로써 설계 시간 단축 및 신뢰도를 증대시킬 수 있다^[2].

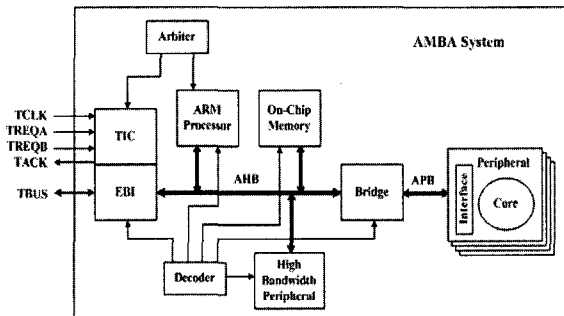


그림 1. TIC가 내장된 AMBA System
Fig. 1. AMBA System with TIC.

TIC는 AMBA 시스템의 기능 테스트를 위한 인터페이스 제어기로써, 테스트시 AHB Master가 되어 기본적인 AMBA Read/Write transaction을 수행한다. 핸드셰이크 메커니즘(Handshake Mechanism)으로 동작하는 TREQA, TREQB 그리고 TACK의 테스트 제어 신호들에 의해 정상 동작(Normal Operation)과 테스트 모드(Test Mode)가 구분된다. 정상 동작 동안의 테스트 제어 신호는 표 1과 같이 정의된다. 버스 사용권한을 얻기 위해 TREQA를 활성화시키면, Arbitrator는 TIC에게 버스 사용권한을 부여한다.

이어서 TIC는 테스트 모드 상태임을 알리는 TACK 신호를 활성화시킨다. 테스트 모드 동안의 테스트 제어 신호는 표 2와 같이 정의된다. TREQA와 TREQB의 조합으로 Address Vector, Write Vector 그리고 Read Vector를 인가 할 수 있으며, 각 Bus Transfers의 완료 상태는 TACK로 확인가능하다. 테스트 모드를 종료는 TREQA와 TREQB를 비활성화 시킨다.

표 1. 정상동작 동안의 테스트 제어 신호 정의
Table 1. Test control signals during normal operation.

Signal Name			Description
TREQA	TREQB	TACK	
0	0	0	Normal Operation
1	0	0	Enter Test Mode Request
0	1	0	Reserved
-	-	1	Test Mode Entered

표 2. 테스트 모드 동안의 테스트 제어 신호 정의
Table 2. Test control signals during test mode.

Signal Name			Description
TREQA	TREQB	TACK	
-	-	0	Current Access Incomplete
1	1	1	Address, Control or Turnaround Vector
1	0	1	Write Vector
0	1	1	Read Vector
0	0	1	Exit Test Mode

EBI의 외부버스와 AMBA를 테스트 버스로 사용함으로써 별도의 TAM에 의한 추가 영역을 줄일 수 있다. 또한 AMBA 규격에서, 테스트 모드시 각 테스트 대상 코어의 Isolation, Controllability와 Observability를 위하여 그림 2와 같은 Test Harness를 정의하고 있다. Test Harness는 각 코어의 입출력과 테스트 전략에 맞게 구성될 수 있으며, 이를 통하여 non-AMBA I/O에 대한 access도 가능하다^[2].

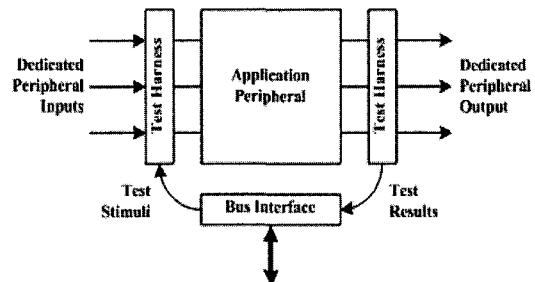


그림 2. 테스트 하네스
Fig. 2. Test Harness.

논문 [4]에서는, 버스 폭 이상의 스캔 체인과 PI를 지원할 수 있도록 여러 개의 임시 레지스터를 포함한 Scan Test Harness를 구상하였다. 하지만, 외부에서 테스트 입출력 경로 (TBUS)를 공유하는 TIC의 한계 때문에 스캔 입력과 스캔 출력을 동시에 수행하지 못하므로 테스트 시간이 오래 걸린다. 논문 [5]에서는, EBI로부터 칩 외부로 나가는 어드레스 버스 중 일부를 테스트 응답 관측 경로로 사용함으로써 스캔 입력과 스캔 출력을 병렬로 처리할 수 있도록 했다. 그러나, APB와 EBI를 수정하고, 테스트 주입과 테스트 응답 관측을 위해 ABMA 이외의 버스 신호를 추가하였으며, PI의 폭이 32 비트 이하, PO의 폭이 26 비트 이하인 APB 코어 테스트에만 적용 가능하다는 문제점이 있다. 논문 [4]에서는 32개 이상의 스캔 체인도 지원 가능하도록 Scan Test Harness를 구상하였다. 스캔 체인의 개수가 32개를 넘으면, 테스트 패턴 재 정렬을 위한 버퍼를 두어야 하고, 한 번의 쉬프트마다 여러 번의 Write transaction이 필요하므로 스캔 입력을 수행하는 데에만 굉장히 많은 시간을 필요로 한다^[6]. 따라서 이러한 경우에는, 32개 이상의 스캔 체인을 지원할 수 있는, 테스트 버스 다중화 방식, 데이터 체인 방식, TestRail등과 같은 별도의 스캔 테스트 버스를 사용하거나^[7,8], 스캔 입력 데이터를 여러 개의 스캔 체인에 broadcast하는 Illinois scan 방식을 사용하는 것이 테스트 시간관점에서 더 좋다^[9]. 본 논문은 스캔 체인의 개수가 최대 32개인 AMBA 기반의 SoC 테스트에서 스캔 입력과 출력을 동시에 수행하여 테스트 시간을 대폭 절감 할 수 있는 기술을 개발하고자 한다.

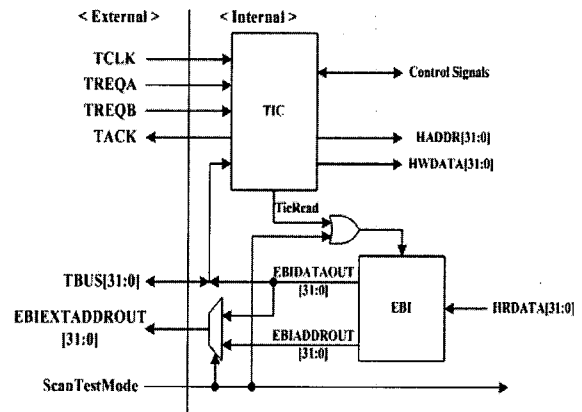
2. AMBA based Test Access Mechanism(ATAM)

본 논문에서 제안하는 ATAM을 구현하는데 있어서, SoC 설계자로서, 이전에 설계 되어있는 IP 코어, 테스트 인터페이스 모듈 (TIC and EBI), AMBA components의 내부를 아무런 수정을 가하지 않고 있는 그대로 사용하면서, 기존 연구의 문제점을 보완하고 개선하는데 목표를 두었다.

ATAM의 구성은 크게 TIC, EBI and Scan Test Wrapper (STW)로 구성된다. 테스트 경로 분리 용이성을 위해서, [10] 에서 제시한 TIC module (그림 3의 TIC)을 사용하고, 테스트 경로 설정 (Functional 테스트 및 Normal 동작과의 구분) 및 테스트 제어를 위해 AMBA의 어드레스 버스와 더불어 ScanTestMode 핀을 추가하여 사용한다.

가. Establishing Dedicated path for Response Observation

AMBA 시스템에서 외부 메모리를 access해야 하는 경우에는, 주로 EBI의 32비트 어드레스 출력 버스와 양방향 데이터 버스를 사용한다[11,12,13]. ATAM에서도 EBI 출력 어드레스 버스를 사용한다. [10]에서 제시한 TIC는 그림 3과 같이 32 비트 TBUS를 통해 받은 어드레스와 데이터를 AHB의 HADDR과 HWDATA를 통하여 SoC 내부로의 전송하는 경로를 포함하고 있다. 이 TIC와 EBI 모듈을, 그림 3과 같이 OR gate와 MUX만을 사용하여 ScanTestMode 시에 HRDATA → EBIDATAOUT → EBIEXTADDRROUT의 경로를 유지하도록 통합한다.



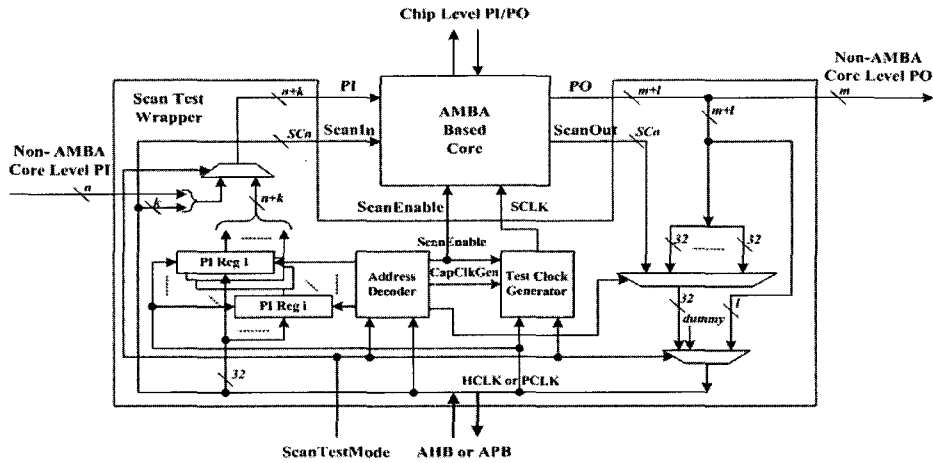
HADDR: AMBA address bus
 HWDATA: AMBA write data bus
 HRDATA: AMBA read data bus
 TicRead: Read Enable Signal

그림 3. TIC와 EBI 구성도
 Fig. 3. TIC & EBI Combination of ATAM.

그 결과, TIC는 테스트 입력 경로로, EBI는 테스트 출력 경로만으로 사용할 수 있으며, 스캔 입력 수행시 스캔 출력이 자동적으로 수행되므로 스캔 출력을 위한 Read transaction 없이 스캔 입력과 스캔 출력의 병행 처리가 가능하다.

나. Scan Test Wrapper

ATAM 또한 AMBA의 Test Harness와 같은 Scan Test Wrapper (STW)를 포함한다. 그림 4가 본 논문에서 제시하는 STW이다. PI registers, Address decoder, Test Clock Generator and MUX등으로 이루어지며, 스캔 체인의 수를 32개 이하로 제한하여 스캔 입력을 위한 레지스터는 별도로 두지 않는다. PI/PO는 크게



SCn : The number of Scan Chains
 n : The width of non-AMBA Core level PI
 m : The width of non-AMBA Core level PO
 $dummy$: (1-32) dummy bits
 i : The number of 32-bit PI Registers
 k : The width of AMBA Core level PI
 l : The width of AMBA Core level PO

그림 4. 스캔 테스트 래퍼
 Fig. 4. Scan Test Wrapper of ATAM.

chip level PI/PO와 core level PI/PO로 구분 할 수 있으며, core level PI/PO는 AMBA PI/PO (data bus, address bus and control signals)와 non-AMBA I/O로 구분 할 수 있다. Chip level PI/PO는 ATE를 통해 직접 인가 및 관측하고, core level PI/PO는 STW에서 access가 가능하도록 하였다. 대부분의 AMBA 기반 코어의 core level PI와 PO의 폭은 각각 32비트 이상이다^[14]. core level PI는 동시에 인가되고, 일정 기간 유지되어야 하므로 임시 레지스터가 필요하고, core level PO는 코어의 출력에 래치되어 있어 32비트 단위로 어드레싱 하여 읽을 수 있으므로 별도의 레지스터가 필요 없다^[4]. Address Decoder는 TIC로부터 받은 어드레스를 디코딩 하여, STW내의 각 레지스터 선택 및 테스트 경로를 설정하고, ScanEnable 신호 및 Test Clock Generator에 Capture 클럭 생성 시점을 알려주는 CapClkGen 신호를 생성한다. Test Clock Generator는 ScanEnable시에 클럭 게이팅 로직을 통하여 코어에 Shift 클럭을 전달하고, Address Decoder의 명령 신호에 의해 한번의 Capture 클럭을 생성한다.

다. Access to APB Peripherals

APB는 저속 주변장치와의 인터페이스를 위해서 사용된다^[2]. 고속의 AHB와의 연결을 위해서 AHB-to-APB 브릿지가 필요한데, AHB 마스터가 브릿지를 통하여 APB 코어에 Write transaction을 시도할 때, 데이터를

최소 2 HCLKs 동안 유지해야 하며, Read transaction 시에도 최소 2 HCLKs마다 하나의 데이터 수신할 수 있다^[2]. 따라서, ScanTestMode시에 HADDR & HWDATA과 PRDATA가 각각 PADDR & PWDATA (To APB peripherals & STW)와 HRDATA (To EBI)에 직접 연결 될 수 있도록 그림 5와 같이 MUX를 이용하여 간단하게 경로만 바꿔 줌으로써 브릿지에 의한 테스트 시간 소모를 피할 수 있다.

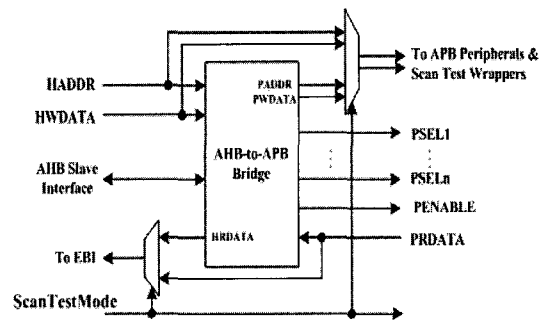


그림 5. AHB와 APB의 테스트 패스 구성
 Fig. 5. Configuration of AHB from/to APB test path.

III. 실험

ATAM의 면적 및 성능을 비교 평가하기 위하여 그림 6과 같은 AMBA system을 이용하였다. Synopsys DFT Compiler를 이용하여, PLL을 제외한 7개의 코어에 각각

32개의 Scan Chain을 삽입하고, Synopsys TetraMAX를 이용하여 테스트 패턴을 생성 하였다. Synopsys Design Compiler를 이용해 합성하고, ModelSim을 이용하여 타이밍 시뮬레이션을 하였으며, 그 결과를 바탕으로 논문 [4]와 면적 및 테스트 시간을 비교 분석 하였다.

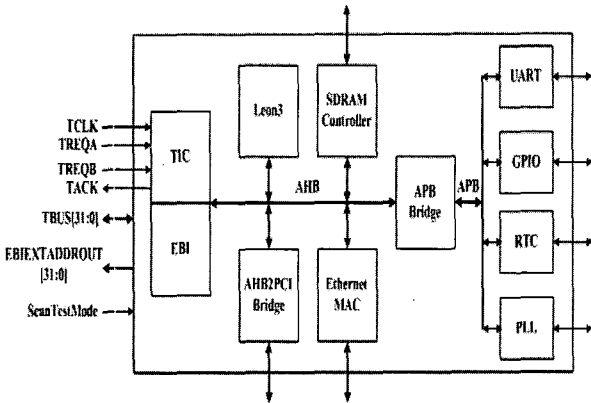


그림 6. AMBA System 구성 예제
Fig. 6. Example of AMBA System.

표 3은 논문 [4]와 ATAM의 면적을 비교한 결과이다. 논문 [4]의 Scan Test Harness는 스캔 입력과 PI를 위한 레지스터를 가지고 있지만 STW는 PI를 위한 레지스터만 가지고 있기 때문에, ATAM의 면적 오버헤드가 논문 [4]에 비해 약 8.33% 감소하였고, AMBA 시스템 전체에 대한 면적 오버헤드는 약 26%로 나왔다.

표 3. 면적 비교

Table 3. Comparisons of Area Overheads.

Cores		Area Overheads		ATAM Area Red. (%)
		[4]	ATAM	
AHB	Leon3	15782	15171	3.87
	SDRAM Controller	3456	3109	10.04
	AHB2PCI Bridge	2624	2288	12.80
	Ethernet MAC	4531	4186	7.61
APB	UART	1511	1156	23.49
	GPIO	2136	1829	14.37
	RTC	1168	869	25.60
Total		31208	28608	8.33

Dimension: Gate Count

표 4는 논문[4]와 ATAM의 테스트 시간 비교 결과이다. AHB 코어들에 대해서는 평균 35.06%, APB 코어들에

대해서는 평균 64.96% 테스트 시간 이 감소되었고, 총 테스트 시간은 약 44.07% 감소 하였다. ATAM은 스캔 입력과 스캔 출력을 병렬로 수행하고, AHB-to-APB 브릿지를 통하지 않고 APB 코어에 직접 연결되도록 테스트 경로를 설정하기 때문에 테스트 시간에 있어서 최적화 된 구조를 가지고 있기 때문이다.

표 4. 테스트 시간 비교

Table 4. Comparisons of Test Time.

Cores		Test Time (# of clocks)		ATAM Test Time Red. (%)
		[4]	ATAM	
AHB	Leon3	47478	31306	34.06
	SDRAM Controller	2652	1846	30.39
	AHB2PCI Bridge	3160	2066	34.62
	Ethernet MAC	55290	32540	41.15
APB	UART	19866	6026	69.67
	GPIO	468	201	57.05
	RTC	7800	2484	68.15
Total		136714	76469	44.07

IV. 결 론

본 논문에서는 AMBA 기반 SoC 테스트를 위한 새로운 TAM 구조인 ATAM을 제안하였다. 스캔 입력과 스캔 출력을 동시에 수행 할 수 있도록 테스트 주입 경로와 테스트 관측 경로를 별도로 구현하고 Scan Test Wrapper를 설계 하였다. AHB와 APB간 어드레스와 데이터 버스를 bypass 하게 함으로써 APB 코어 테스트시 AHB-to-APB 브릿지에 의한 전송 지연 문제를 방지했다. ATAM을 사용함으로써 AMBA 기반 SoC의 신뢰성을 높일 수 있고, 테스트 비용을 대폭 절감할 수 있을 것이다.

참 고 문 헌

- [1] Y. Zorian, E. J. Marinissen and S. Dey, "Testing Embedded-core based System Chips," In Proceedings IEEE International Test Conference, pp. 130-143, Oct. 1998.
- [2] ARM IHI 0011A, "AMBA Specification (Rev 2.0)". May 1999.
- [3] M. Abramovici, M. Breuer, and A. Friedman, "Digital Systems Testing and Testable Design,"

IEEE Press, New York, 1990.

[4] C. Feige et al, "Integration of the Scan-Test Method into an Architecture Specific Core-Test Approach," Journal of Electronic Testing, Volume 14, pp. 125-131, July 1998.

[5] C. Lin and H. Liang, "Bus-Oriented DFT Design for Embedded Cores," IEEE Asia-Pacific Conference, Volume 1, pp. 561-563, Dec. 2004.

[6] P. Harrod, "Testing Reusable IP - A Case Study," In Proceedings of IEEE International Test Conference, pp. 493-498, Sep 1999.

[7] J. Aerts and E.J. Marinissen, "Scan Chain Design for Test Time Reduction in Core-Based ICs," Proc. Int'l Test Conf., pp. 448-457, 1998.

[8] E. J. Marinissen et al. "A Structured and Scalable Mechanism for Test Access to Embedded Reusable Cores," In Proceedings IEEE International Test Conference, Oct. 1998.

[9] I. Hamzaoglu and J. H. Patel, "Reducing Test Application Time for Full-Scan Embedded Cores," Proc. 29th Int'l Symp. Fault-Tolerant Computing (FTCS 99), Digest of Papers, IEEE CS Press, Los Alamitos, Calif., pp. 260-267, 1999.

[10] Advanced RISC Machines, "AHB Example AMBA System Technical Reference Manual," ARM DDI 0170A, Aug. 1999.

[11] Advanced RISC Machines, "ARM PrimeCell External Bus Interface (PL220)," ARM DDI 0249B, Dec. 2002.

[12] ALTERA, "Excalibur Devices Hardware Reference Manual," Version 3.1, Nov. 2002.

[13] Atmel Corporation, "AT91 ARM Thumb Microcontrollers," AT91R40807, Jan. 2002.

[14] J. Gaisler and E. Catovic, "Gaisler Research IP Core's Manual," version 1.0.1, Jun. 2005.

저 자 소 개



민 필 재(학생회원)
 2004년 한국산업기술대학교
 컴퓨터공학과 학사 졸업.
 2006년 한양대학교 컴퓨터공학과
 석사 졸업.
 2006년~현재 한양대학교 컴퓨터
 공학과 박사 과정.

<주관심분야 : SoC 테스트, ASIC설계, Scan Design>



이 현 빈(학생회원)
 2001년 한양대학교 전자컴퓨터
 공학과 학사 졸업.
 2002년 한양대학교 컴퓨터공학과
 석사 졸업.
 2003년~현재 한양대학교 컴퓨터
 공학과 박사 과정.

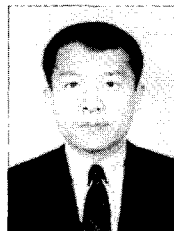
<주관심분야 : SoC 테스트, ASIC설계, 네트워크 시스템 설계>



송 재 훈(학생회원)
 2000년 한양대학교 전자컴퓨터
 공학과 학사 졸업.
 2002년 한양대학교 컴퓨터공학과
 석사 졸업.
 2003년 서울대학교 SoC 설계센터
 연구원

2004년~현재 한양대학교 컴퓨터공학과
 박사 과정.

<주관심분야 : SoC 테스트, DFT, 테스트 패턴 압축>



박 성 주(정회원)
 1983년 한양대학교 전자공학과
 학사 졸업.
 1983년~1986년 금성사
 소프트웨어 개발.
 1992년 Univ. of Massachusetts
 전기 및 컴퓨터공학과
 박사 졸업.

1992년~1994년 IBM Microelectronics 연구스텝.
 1995년~현재 한양대학교 전자컴퓨터공학부 교수.
 <주관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC설계, 고속 신호처리 시스템 설계, 그래프이론 등>