

논문 2006-43SD-10-11

새로운 Worstcase 최적화 방법 및 공정 편차를 고려한 배선의 Worstcase 설계 환경

(New Worstcase Optimization Method and Process-Variation-Aware
Interconnect Worstcase Design Environment)

정원영*, 김형곤**, 위재경*

(Won-Young Jung, Hyungon Kim, and Jae-Kyung Wee)

요약

급격한 공정 기술의 발전과 새로운 소재의 도입은 공정 제어를 어렵게 할 뿐만 아니라, 공정 편차를 증가시킨다. 이러한 공정 편차는 레이아웃상의 데이터와 실제 웨이퍼 상의 데이터간의 차이를 유발시킴으로써, 설계자가 원하는 성능을 갖는 회로를 구현하는데 많은 장애가 되고 있다. 따라서, 본 논문은 공정 편차가 회로의 특성에 미치는 영향을 0.13 μm 이하의 설계에 반영할 수 있도록 배선의 worstcase를 정확하고 빠르게 결정할 수 있는 새로운 설계 환경을 구현하였다. 이를 위하여 Common Geometry와 Maximum Probability 기법을 개발하였으며, 이들을 기반으로 새로운 worstcase 최적화 알고리즘을 제안하였다. 본 논문에서 제안된 알고리즘의 정확성 검증은 UMC 0.13 μm Logic 공정을 사용하여 제작된 31단 Ring Oscillator의 시간 지연(Delay time)을 측정값과 비교하였다. 검증 결과, 제안된 알고리즘을 사용하여 worstcase 최적화를 할 경우, 신호선 위에 도선이 있는 경우와 없는 경우 모두 상대 오차가 1.0% 내외로 기존의 optimizer를 사용한 경우에 비하여 두배이상 정확함을 알 수 있었다. 또한, 새로운 worstcase 설계 환경을 사용하여 최적화한 경우, 기존의 optimizer를 사용하여 최적화한 경우에 비하여 worstcase 최적화 속도가 약 32.01% 단축되었음을 확인하였다. 더불어, 기존의 방법으로 정확한 시뮬레이션이 어려웠던 비정규분포를 갖는 경우에 대해서도 정확한 worstcase를 예측함을 확인하였다.

Abstract

The rapid development of process technology and the introduction of new materials not only make it difficult for process control but also as a result increase process variations. These process variations are barriers to successful implementation of design circuits because there are disparities between data on layout and that on wafer. This paper proposes a new design environment to determine the interconnect worstcase with accuracy and speed so that the interconnect effects due to process-induced variations can be applied to designs of 0.13 μm and below. Common Geometry and Maximum Probability methods have been developed and integrated into the new worstcase optimization algorithm. The delay time of the 31-stage Ring Oscillator, manufactured in UMC 0.13 μm Logic, was measured, and the results proved the accuracy of the algorithm. When the algorithm was used to optimize worstcase determination, the relative error was less than 1.00%, two times more accurate than the conventional methods. Furthermore, the new worstcase design environment improved optimization speed by 32.01% compared to that of conventional worstcase optimizers. Moreover, the new worstcase design environment accurately predicted the worstcase of non-normal distribution which conventional methods cannot do well.

Keywords : Worstcase optimization, Interconnection. Common Geometry, Maximum Probability

* 숭실대학교 정보통신전자공학부
(School of Electronic Engineering Soongsil University)

** Nanno solutions, Inc. USA
(Nanno solutions, Inc. USA)

※ 본 연구는 한국전자통신연구소 지원으로 이루어졌음
접수일자: 2006년6월2일, 수정완료일: 2006년9월7일

I. 서론

반도체 기술의 발전에 따른 최소 선폭 (minimum feature size)의 급격한 감소와 SoC (System On Chip), Mixed 아날로그/디지털, RF 회로와 같은 새로운 설계

요구의 증가로 인하여 회로의 특성에 미치는 배선의 영향은 급격히 증가하고 있다^{[1],[2],[3]}. 더우기, 최소 선평의 지속적인 감소는 회로 특성에 대한 설계 및 공정 관련 변수들의 민감도 (sensitivity)를 증가시키므로, 이러한 공정 및 설계 관련 변수의 편차 (variation)들의 영향은 점차 증가하고 있다^[4]. 공정에 의해 발생하는 설계 및 공정 관련 변수들의 편차는 G-Hz급 μ -프로세서의 경우, 최대 25% 클럭스큐 (clock Skew)를 발생시킨다^[5]. 또한, 0.13 μ m 이하의 공정을 사용하여 칩을 제작할 경우, 아날로그, RF, SoC, μ -프로세서 뿐만 아니라 메모리, 디지털 설계에도 공정 편차(process-aware variation)에 의한 영향을 고려한 설계가 필수적이다^{[6], [7],[8]}.

공정에 의해 발생하는 편차를 설계에 반영하기 위하여 널리 사용되는 worstcase 기법은 변수화 설계 (parametric design) 기법과 디자인 센터링 (design centering) 기법으로 구분된다. 변수화 설계 (parametric design) 기법은 설계하고자 하는 칩의 성능 및 수율에 영향을 미치는 변수들에 대하여 칩의 특성 편차 범위를 통계적 방법으로 추출하여 설계에 반영시키는 기법이다. 변수화 설계의 경우, 모든 설계 관련 변수들에 대해서 변수 최적화 방법을 사용하여 가장 적절한 값을 구하는 변수 최적화 (parametric optimization) 방법과 설계 관련 변수들의 값을 바꾸지 않고 새로운 스큐 파라미터 (skew parameter)를 추가하여 회로를 최적화하는 스큐 파라미터 (skew parameter) 방법으로 구분된다. 반면에 디자인 센터링 (design centering) 기법은 설계 변수들의 범위를 고정시킨 후, 설계하고자 하는 칩의 특성에 영향을 미치는 공정 및 환경 관련 변수들에 대하여 설계 관련 변수들의 경계를 구하고, 이 경계로부터 설계의 중심까지의 거리를 극대화시켜주는 방향으로 설계 중심을 이동시키는 기법이다. 회로의 성능을 검증하거나 특성화하기 위하여 소자 모델에 대한 worstcase 기법으로 현재 널리 사용되고 있다. 그러나, 배선에 대한 worstcase 기법은 실제 배선의 기생 성분들의 편차가 worstcase 값에 미치는 영향을 적절히 반영하지 못하기 때문에, 소자의 worstcase 모델처럼 일반적으로 널리 사용되지 못하고 있다^{[9],[10],[11]}.

Worstcase 기법을 배선에 적용하기 위한 기존의 연구들로는 전통적인 3- σ 스큐 코너 (Skew Corner), RSSM (Root-Sum-Square Method), 몬테카를로 시뮬레이션 (MCM, Monte-Carlo Method)을 기반으로 한 기법, SRM (Surface Response Method)를 기반으로 한

기법으로 나눌 수 있다. 전통적인 3- σ Skew Corner와 RSSM은 사용이 간편하고 직관적으로 이해하기 쉬우나, 관련된 모든 변수와 배선의 기생 요소들을 독립적으로 취급함으로써, 이들을 통해 계산된 worstcase 값이 실제보다 최대 70% 크게 계산됨을 알 수 있다^[12]. MCM을 기반으로 한 기법들은 비교적 정확한 worstcase값들을 계산해 주나, 계산 시간이 많이 걸리는 단점이 있다^[13]. 이에 대한 대안인 SRM은 기준 공정 값 (nominal process value)을 중심으로 회로의 특성을 선형적으로 확장하는 방식으로 PCA (Principal Component Analysis)와 병행하여 사용한다. 이 방법은 변수의 상관관계가 복잡하거나 극도로 비선형인 경우에 많은 제약을 받는다^[10]. 계산된 worstcase에 물리적인 의미를 부여하고, 다른 틀들과의 호환을 위하여, 배선의 폭, 배선의 길이, 배선의 높이, 배선의 전도도, 유전체의 유전율, 유전체의 두께등과 같은 설계 및 공정 관련 worstcase 변수를 최적화하는 것이 필요하다. 이를 위하여, 계산된 worstcase 값에 대하여 배선 구조를 최적화시키는 방법으로는 최적화 (optimization) 방법^[14] 또는 배선 구조에 직접 worstcase 값을 대응시키는 물리적인 대응 (Physical Mapping) 방법^[15]이 SRM이나 MCM과 병행하여 사용된다. 그러나, 이러한 방법들은 비정규분포를 갖는 실제 worstcase 값을 정확히 예측하는데 한계를 가지고 있으며, optimizer를 사용하여 worstcase를 최적화시키는데 많은 시간이 소요되는 단점을 가지고 있다. 따라서, 본 논문은 기존의 방법들이 갖는 문제점을 개선하기 위한 새로운 worstcase 최적화 방법을 제안하였다. 본 방법은 공정에 의해 발생하는 편차에 의한 배선의 영향을 0.13 μ m 이하의 설계에 정확하고 빠르게 반영할 수 있도록, 새로운 worstcase 최적화 방법과 그를 기반으로 한 설계 환경을 제안하였다. 배선은 소자와 달리 수반되는 설계 관련 변수들이 적고 회로에 영향을 미치는 공정 및 환경 관련 변수들이 제한되어 있으므로 변수 최적화 방법을 사용하여 기존의 worstcase 기법들이 갖는 문제점들을 해결하였다. 제 II 장에서는 기존 worstcase 기법의 문제점들을 논의한 후, 이러한 문제점, 즉 정확도 향상 및 worstcase 변수들 간의 일관성 향상을 위하여 개발된 Common Geometry와 Maximum Probability를 바탕으로 한 새로운 worstcase 기법을 제안하였다. 제 III장에서는 공정 편차를 고려한 배선의 worstcase 최적화를 위하여 제안된 새로운 worstcase 기법을 컴퓨터상에서 구현한 공정 편차를 고려한 배선의 worstcase 설계 환경에 대하여

논의하였다. 제 IV장에서는 제 III장에서 제안된 새로운 worstcase 설계 환경에 대한 정확도와 속도를 측정치와 비교하여 검증하였다. 검증은 31단 Ring Oscillator를 설계, UMC 0.13 μ m Logic 공정을 사용하여 제작한 후 측정하였다. 끝으로, 제 V장에서 결론을 맺었다.

II. Worstcase Modeling

1. Common Geometry

MCM 또는 RSM을 통하여 얻어진 배선의 worstcase 값들은 배선 구조에 대한 최적화를 수행함으로써 물리적인 의미를 가질 수 있다.

일반적으로 worstcase 시뮬레이션시, 그림1과 같은 형태의 유효 배선 구조를 사용한다^{[2],[9]}. 그림 1과 같은 유효 배선 구조를 사용하여 worstcase 값을 최적화할 경우, 유효 배선 구조들은 서로 독립적으로 최적화된다. 따라서, 같은 공정을 사용했음에도 불구하고, 최적화된 유효 배선 구조들은 서로 다른 변수들의 조합을 가지게 된다. 그림1의 (a)의 메탈1과 기판사이의 절연체 두께와(b)의 메탈1과 기판사이의 절연체의 두께는 서로

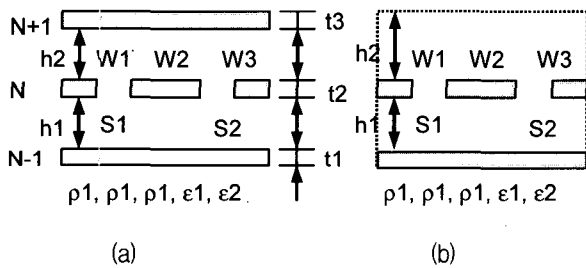


그림 1. 유효 배선 구조 및 관련 변수들 (a) 상위 도체가 있는 경우 (b) 상위 도체가 없는 경우

Fig. 1. The effective interconnect structure and parameters (a) with top plate (b) without top plate.

표 1. 유효 배선 구조 사용하여 최적화된 변수들.

Table 1. Optimized parameters using effective interconnect structure.

	t1[μ m]	t2[μ m]	t3[μ m]	h1[μ m]	h2[μ m]
(a)	0.312	0.312	0.312	0.524	3.208
(b)	0.314	0.315	N/A	0.567	4.540

	W[μ m]	S[μ m]
(a)	0.177	0.223
(b)	0.182	0.218

for (a) and (b)
 $\rho_1 = \rho_2 = \rho_3 = 1.308\Omega/\mu\text{m}$
 $\epsilon_1 = \epsilon_2 = 3.70$
 $W = W_1 = W_2 = W_3$
 $S = S_1 = S_2$

같아야 한다. 그러나 표 1에서 보는 바와 같이 (a)의 경우 0.525 μ m, (b)의 경우 0.577 μ m로 약 10% 차이가 남을 알 수 있다. 이러한 유효 배선 구조는 간단하기 때문에 배선 시뮬레이션 또는 해석에 유용하게 사용할 수 있으나, worstcase 최적화시 공정 및 설계 관련 변수들 간의 일관성이 결여된다. 이러한 일관성의 결여는 배선의 worstcase를 기존의 설계 환경에 적용하거나 최적화된 worstcase 관련 변수들의 값을 필요로 하는 경우, 사용에 많은 제약을 받게 된다.

유효 배선 구조를 사용하여 최적화된 worstcase 변수들이 서로 다른 이유는, MCM 또는 SRM을 통하여 얻어진 배선의 worstcase 값들을 만족시키는 최적화된 변수들의 집합이 많이 존재하기 때문이다. 따라서, 본 논문에서는 Common Geometry라는 새로운 개념을 도입하여 이 문제를 해결하였다.

N을 계산하고자 하는 도체의 순서로 정의하면, 유효 배선 구조의 이름은 N/N-1/N+1로 표현할 수 있다. 따라서, 그림 1의 (a)는 N/N-1/N+1로, (b)는 N/N-1로 표현된다. 3층 금속 배선의 경우, 10개의 기본 유효 배선 구조(M1/Sub, M1/Sub/M2, M1/Sub/M3, M2/Sub, M2/Sub/M3, M2/M1, M2/M1/M3, M3/Sub, M3/M1, M3/M2)와 모델링 기법이나 특수 목적에 따라 별도의 특수 배선 구조를 가진다. 여기서 생성된 M1/Sub/M2, M2/M1/M3, M3/M2를 기반으로 주어진 설계 변수들을

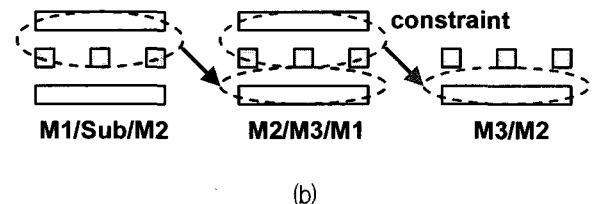
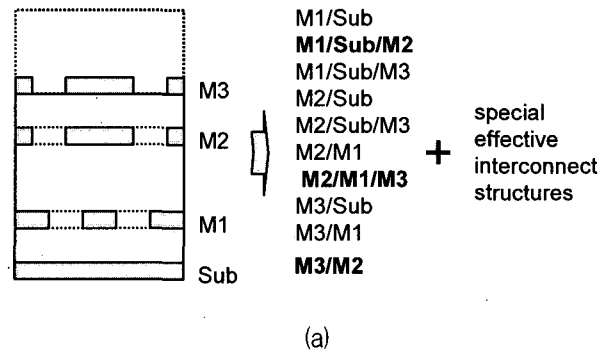


그림 2. 유효 배선 구조를 이용한 Common Geometry 형성 (a) 유효 배선 구조, (b) 개념도.

Fig. 2. Creation of Common Geometry with effective interconnect structure (a) effective interconnect structure (b) diagram of concept.

```

Procedure Common_Geometry_Interface
Begin
Set all process variables from NTF
Do Signal=poly to top metal
Step 1. Set lower and upper conductors,
Lower=Signal-1, Upper=Signal+1
Step 2. Find structure,
S=structure(Signal, Lower, Upper)
Step 3. Find process variations dV with worstcase,
dV=find_process_variation(S, V±3σ, worstcase)
Step 4. Set thickness of dielectrics between Signal and Lower,
set_thickness(Lower, Signal, 3σ*dH)
Step 5. Set thickness of Signal,
set_thickness(NULL, Signal, 3σ*dT)
End Do
End
    
```

그림 3. Common Geometry를 이용한 worstcase 최적화 알고리즘.

Fig. 3. Algorithm of worstcase optimization using Common Geometry.

만족시키는 새로운 구조를 만들 수 있다. 그림 2를 참고로, 1) 먼저 M1/Sub/M2를 사용하여 최적화한 후, 2) M2/M1/M3에 constraint를 주어 최적화한다. 이때, constraint는 이미 M1/Sub/M2에서 구한 M1의 두께 및 전도도, M1과 M2사이의 유전체의 두께 및 유전율로 설정하여 최적화한다. 3) M2/M3도 2)와 같은 방법을 사용하여 최적화를 시킨다. 4) 앞의 과정을 통해 얻어진 최적화된 worstcase 배선 구조들을 사용하여, 새로운 집적화된 배선구조를 형성시킨다. 5) 끝으로, 이렇게 구해진 새로운 구조를 기준으로 나머지 유효 배선 구조들에 대한 worstcase 최적화 및 수치 값 검증을 동시에 수행한다. 같은 방식으로 N을 무한대로 확장시켜 일반화할 수 있다. 그림 3은 Common Geometry 생성 알고리즘을 도시하였다.

이 Common Geometry는 수치적으로 계산된 worstcase 값을 만족시키는 worstcase 배선 구조이므로, 모든 유효 구조들에 대하여 공통적으로 사용할 수 있다. 또한, 기존의 optimizer를 사용한 최적화에 비하여, 최적화된 worstcase 구조와 worstcase 설계 및 공정 관련 변수들을 정확하고 빠르게 추출할 수 있다.

2. Maximum Probability

Common Geometry를 사용하여 효율적인 worstcase 최적화를 수행하고, 실제 확률 분포와 시뮬레이션에 사용되는 확률 분포들 간의 차이에 부정확성을 개선하기 위하여 새로운 Maximum Probability 방법을 worstcase 최적화에 도입하였다. Worstcase 최적화를 위하여 사용

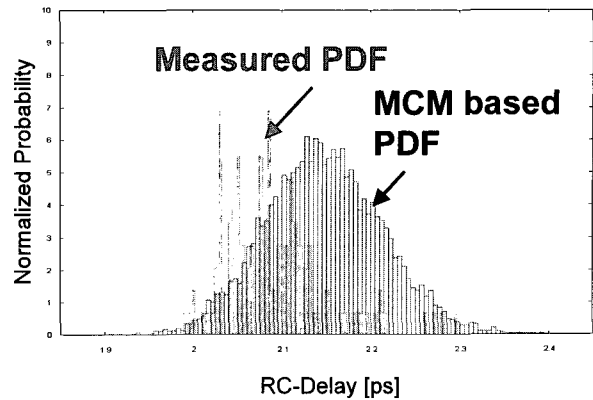


그림 4. 측정으로 구한 RC-Delay 분포와 MCM simulation으로 계산된 RC-Delay 분포 비교^[16]

Fig. 4. RC-Delay distribution comparison between measurement and MCM simulation^[16].

되는 확률 밀도 함수는 일반적으로 MCM을 사용하여 계산되며, 대칭적인 가우시안 (Gaussian) 형태의 분포를 갖는다^[10]. 따라서, 기존의 방법들에 의하여 계산된 worstcase 값들은 bestcase와 worstcase가 서로 대칭성을 갖는다. 그러나, 그림 4에서 보는 바와 같이 MCM에 의하여 계산된 확률 분포와 실제 측정에 의하여 구해진 분포가 다를 수 있다. 이러한 비정규 분포를 정규 분포로 취급할 경우, worstcase 방향과 bestcase 방향의 표준 편차가 서로 다르므로, 이에 의해 부정확한 worstcase 값이 계산되어진다. 이러한 부정확성은 측정으로 얻어진 분포와 MCM 시뮬레이션으로 얻어진 분포 간의 차이가 클 수록 증가함을 알 수 있다^[16].

본 방법은 기존처럼 MCM 으로 얻어진 정규 분포를 사용하여 worstcase를 계산하지 않고, 각 지점에서의 누적 확률을 계산하여 주어진 범위내에서 계산된 확률이 최대인 지점을 worstcase로 정의함으로써 이러한 문제를 해결하였다.

변수의 갯수가 m, 좌표의 수가 n인 임의의 함수에서, j 번째 변수를 V_j , i번째 지점에서의 변수 V_j 를 V_{ji} 라고 가정하면, i번째 지점에서 변수 V_{ji} 가 갖을 확률 $P_i(V_{ji})$ 는 다음과 같다.

$$P_i = \{P_i(V_{1i}) * P_i(V_{2i}) * P_i(V_{3i}) * \dots * P_i(V_{ji})\} \\
 = \prod_{j=1}^m P_i(V_{ji}) \tag{1}$$

여기서 $i = 1, 2, 3, \dots, n, j = 1, 2, 3, \dots, m$ 이다. 이때, 확률 $P_i(V_{ji})$ 는 MCM에 의해서 계산된 확률분포를 사용하여 계산되어진다.

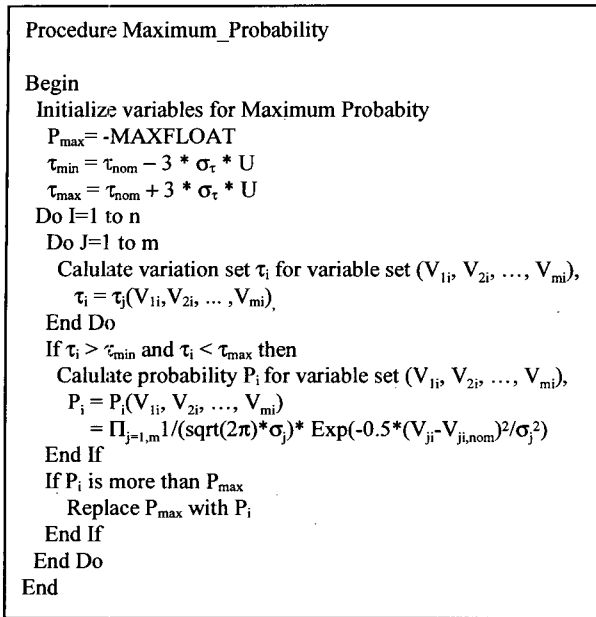


그림 5. Maximum Probability를 이용한 worstcase 최적화 알고리즘.

Fig. 5. Algorithm of worstcase optimization using Maximum Probability.

또한, i 번째 지점까지의 누적 확률이 $P_{i,s}(V_{ji})$ 라면, 주어진 누적 확률 범위 내에서 최대 확률을 가지는 지점을 worstcase로 정의할 수 있다. 본 논문에서는 누적 확률이 95%에서 100%까지의 구간을 기본값으로 설정하였다. 따라서, 최대 누적 확률은 다음과 같이 계산되어진다.

$$\begin{aligned}
 P_{\max,s} &= \text{Max}\{P_{1,s}, P_{2,s}, P_{3,s}, \dots, P_{n,s}\} \\
 &= \text{Max}(P_{i,s}) \quad (2)
 \end{aligned}$$

그림 5에 알고리즘을 도시한 바와 같이, Maximum Probability는 MCM 시뮬레이션에서 얻어진 정규 분포를 사용하여 worstcase를 구하는 기존의 방법과는 달리, MCM에서 생성된 데이터들의 누적 확률을 계산하여, 주어진 누적 확률의 범위 내에서 최대 확률을 갖는 지점을 worstcase로 선택한다. 따라서, 이 방법은, 실제 분포와 MCM의 분포가 다른 경우는 물론이거니와, 비 정규 분포를 갖는 경우에 대해서도 정확한 예측이 가능하다.

III. Process-aware interconnect worstcase 설계 환경 구축

공정 편차에 의하여 발생하는 회로의 특성 변화를 보

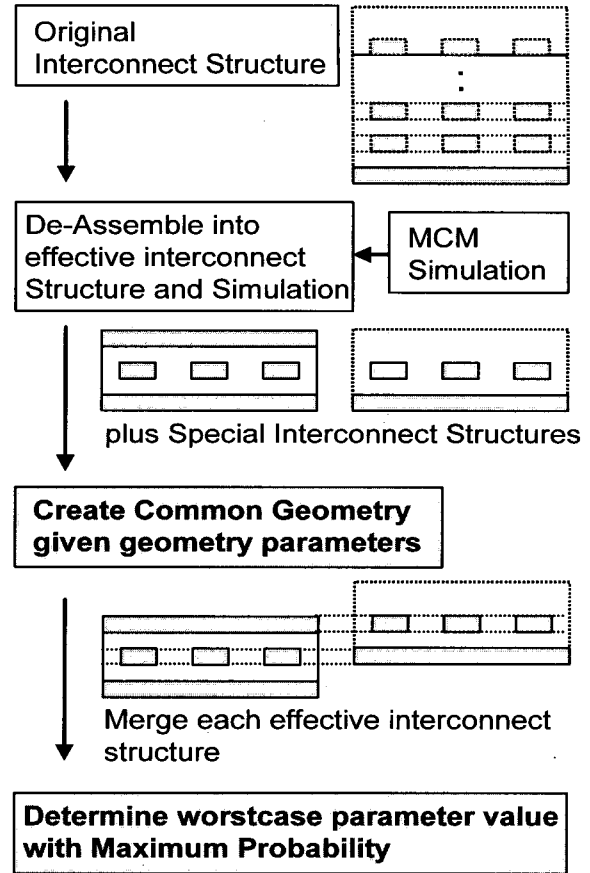


그림 6. 제안한 worstcase 최적화에 대한 개념도.

Fig. 6. Conceptual diagram of proposed worstcase optimization.

다 효율적으로 예측할 수 있도록, Common Geometry와 Maximum Probability를 공정 편차를 고려한 배선의 worstcase 설계 환경인 Nanno-WiN을 구축하였다. 이를 위하여, Common Geometry와 Maximum Probability를 MCM과 결합하여 배선에 대한 worstcase 최적화 알고리즘을 개발하였으며, 그림 6에 알고리즘을 도시하였다.

본 논문에서 구현된 설계 환경은 SUN Solaris 9에서 standard C/C++를 사용해서 메인 엔진들을 구현하였으며, GUI는 Tcl/Tk 8.4와 BLT 2.4를 사용해서 구현되었다. 그림 7에서 보는 바와 같이, 구현된 설계 환경은 모델링 DB 생성 특성에 따라 P-Wrapper, M-Wrapper, 그리고 W-Wrapper로 구분된다. P-Wrapper는 공정 정보와 공정 변수들이 기술되어 있는 NTF 화일을 사용하여, 가능한 유효배선 구조들을 생성한다. 생성된 유효배선 구조들에 대해서, 유한차분법 (FDM : Finite Difference Method)을 사용하는 필드 솔버 (Field Solver)를 사용하여, 배선의 기생 요소들을 추출하여 PDB (Parasitic Database)를 구축한다. M-Wrapper는 P-Wrapper에서 구축된 PDB와 NTF에서 주어진 공정

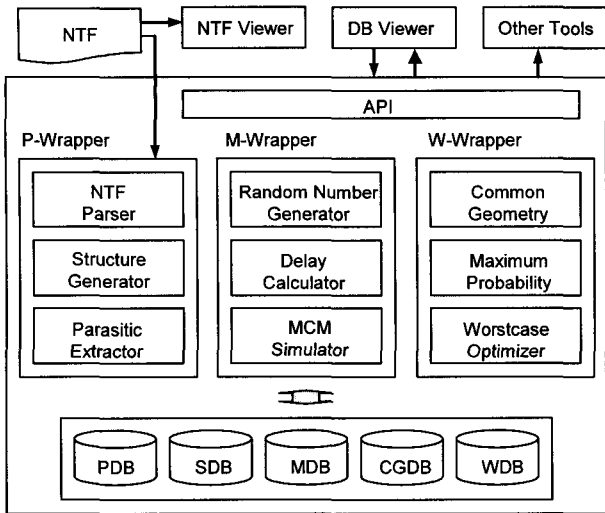


그림 7. Process-aware interconnect worstcase 설계 환경.

Fig. 7. Process-aware interconnect worstcase design environment.

변수들의 편차를 입력으로 하여, MCM 시뮬레이션 을 사용하여 worstcase를 위한 모델 DB인 MDB (Model Database)를 구축한다. MCM 시뮬레이션에서 사용되는 랜덤 넘버 생성기는 linear congruent 알고리즘과 48 비트 연산을 사용하여 의사 랜덤 (Pseudo Random) 변수 들을 생성하여 사용하였다. 또한, 박스-물러 (Box-Muller) 정규난수법을 사용하여 상호 독립적인 변수들 의 분포를 생성한다. M-Wrapper에서는 각 공정 변수 들의 편차에 의한 기생 요소들의 변위들을 SDB (Sensitivity DB)로 구축하였으며, 이는 worstcase 최적 화시 실행시간의 단축과 정확도를 가능하게 해 준다. 내부에 자체적인 모델 계산기 (Model Calculator)를 사 용하여 배선 시간 지연을 계산한다. W-Wrapper는 P-Wrapper와M-Wrapper에서 구축된 PDB, SDB 그리 고 MDB를 사용해서, worstcase 최적화를 수행하여 WDB (Worstcase Database)를 구축한다. 먼저, 새롭게 제안된 Common Geometry 기법와 Maximum Probability 기법을 사용해서, 유효 배선 구조들에 대한 공통적인 공정 변수들을 계산한다. 계산된 공정 변수들 을 기반으로 worstcase 최적화를 수행함으로써 WDB를 구축한다. 또한, 사용자의 편의를 위하여 라이브러리 형 태의 API를 제공함으로써, 기존의 다른 툴들과 접목해 서 사용할 수 있도록 구성되어 있다. 또한, 구축된 DB 들을 그래픽으로 표현할 수 있는 DB Viewer와 입력으 로 사용된 NTF를 직접 그래픽으로 확인할 수 있는 NTF Viewer를 제공한다.

IV. 검증 및 토의

공정 편차에 의해 발생하는 배선 기생 요소들의 편차 가 회로의 시간 지연에 미치는 영향을 보다 정확히 측 정하기 위하여 1) 소자 및 배선 관련 변수에 대해 민감 하게 반응하고, 2) 직접적인 회로 수준의 타이밍을 쉽게 측정할 수 있는 Ring Oscillator를 설계, 제작하였다^[17]. 설계된 Ring Oscillator는 16mm 배선을 부하로 갖는 31 단 Ring Oscillator와 부하를 갖지 않는 31단 Ring Oscillator들로 구성되었다. Ring Oscillator들은 메탈1 위를 지나가는 메탈 2를 신호선으로 사용하였으며, 상 위 도체로 메탈3가 있는 경우와 없는 경우로 나누어 설 계하였다. 사용된 메탈2의 배선 폭은 0.2 μ m, 메탈2와 메탈2 사이의 간격은 0.2 μ m로 공정에서 제공한 최소 설 계 규칙(minimum design rule)을 사용하였다. 설계된 Ring Oscillator들은 구리를 배선으로 사용하는 UMC 0.13 μ m Logic공정^[18]을 사용하여 제작되었다.

공정에서 발생하는 편차를 정확하게 측정하기 위하 여, Die-to-Die 편차, Wafer-to-Wafer편차, 그리고 Lot-to-Lot 편차가 고려되도록 측정 샘플을 구성하였 다. 측정은 3개의 서로 다른 lot에서 4장씩의 웨이퍼를 임의로 선택하여 웨이퍼당 12 dies를 측정하였다. 따라 서, Ring Oscillator당 총 144회의 측정을 수행하였다. 구현된 설계 환경의 정확도 및 속도에 대한 검증을 위 하여 MCM 시뮬레이션 후 worstcase 최적화시에 optimizer를 사용한 기존의 방법과 본 논문에서 제안한 알고리즘을 사용한 새로운 방법을 통해 얻은 결과들을 각각 측정치와 비교하였다. 이때, 사용된 optimizer는 최적화시 다운힐 심플렉스 (Downhill simplex) 알고리 즘을 사용하였다. 또한, 참조를 위하여 MCM 시뮬레이 션만 사용하고 최적화를 하지 않았을 경우도 측정치와 비교 검증하였다.

신호선인 메탈2가 메탈1 위를 지나며, 상위 도체로

표 2. 상위 도체가 있는 구조에 대한 배선의 시간 지연 비교

Table 2. Delay comparison result for structure with top plate.

M2/M1/M3	Measured	New	Old	MCM Only
WorstCase	13.61ns	13.77ns	14.18ns	14.60ns
BestCase	11.14ns	11.13ns	11.19ns	10.36ns
Mean (μ)	12.16ns	12.25ns	12.48ns	12.48ns

메탈3가 있는 M2/M1/M3구조에 대한 Ring Oscillator 측정 결과를 표 2에 정리하였다. Worstcase 최적화를 하지 않고 MCM 시뮬레이션만 한 결과, 측정치를 기준으로 상대 오차가 worstcase는 약 7.27%, bestcase는 12.13%였다. 이러한 worstcase와 bestcase간의 상대 오차가 많은 차이를 보이는 이유는, 그림 8에서 보는 바와 같은 비정규 분포를 정규 분포로 취급하므로써 생기는 현상이다. MCM 시뮬레이션을 한 후 optimizer를 사용하여 최적화를 한 경우, 측정치를 기준으로 상대 오차가 worstcase는 4.19%, bestcase가 1.00%이하로 일치하였다. 이 경우 역시 그 차이가 줄어들기는 하였으나, worstcase와 bestcase사이의 상대 오차가 차이가 큼을 알 수 있었다. 또한, 두 경우 모두 평균값이 측정치와 비교하여 약 2.6%의 상대 오차를 가짐을 알 수 있었다. 이러한 원인은 그림 8에서 보는 바와 같이, 측정으로 얻어진 분포가 bestcase 쪽으로 치우쳐 있음을 worstcase 계산시 충분히 반영하지 못하기 때문에 생기는 문제로 판단된다. 이상의 결과로 optimizer를 이용한 worstcase 최적화로는 비정규 분포를 정규 분포로 취급함으로써 발생하는 문제점을 해결할 수 없음을

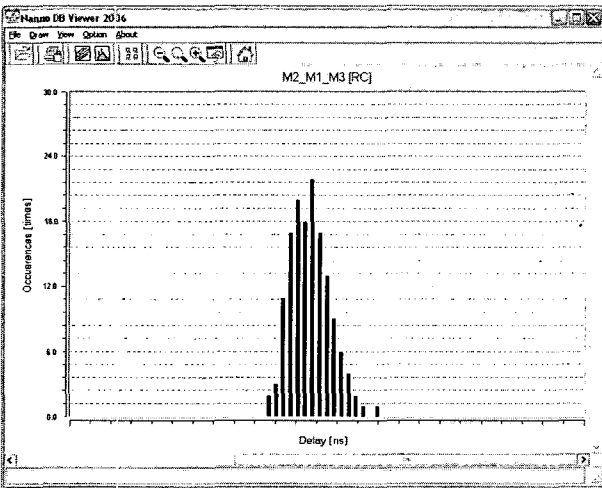


그림 8. M2/M1/M3 측정 결과에 대한 히스토그램.

Fig. 8. Histogram for M2/M1/M3 Measurement.

표 3. 상위 도체가 없는 구조에 대한 배선의 시간 지연 비교

Table 3. Delay comparison result for structure without top plate.

M2/M1	Measured	New	Old	MCM Only
WorstCase	13.13ns	13.23ns	14.51ns	13.84ns
BestCase	10.72ns	10.58ns	10.61ns	10.05ns
Mean (μ)	11.64ns	11.71ns	11.94ns	11.94ns

알 수 있다. 반면에, MCM시뮬레이션 후 Common Geometry와 Maximum Probability를 사용하여 worstcase 최적화를 수행하는 새로운 알고리즘을 사용한 경우, 상대 오차는 worstcase는 1.2%, bestcase는 1.0%이하로 실제 측정에서 얻은 결과와 잘 일치할 뿐만 아니라 bestcase와 worstcase간의 상대오차가 거의 비슷함을 알 수 있다. 또한, 평균값도 측정치의 경우 12.16ns, 새로운 알고리즘을 사용할 경우 12.25ns으로 매우 잘 일치함을 알 수 있었다. 따라서, 새로운 알고리즘을 사용할 경우, 분포의 형태와 독립적으로 worstcase를 구할 수 있음을 알 수 있다.

신호선인 메탈2가 메탈1 위를 지나고 상위 도체인 메탈3가 있는 없는 경우에 대한 측정 결과를 표 3에 정리하였다. 표 3과 그림 8에서 보는 바와 같이 M2/M1/M3와 동일한 경향을 보임을 알 수 있다. Worstcase 최적화를 하지 않고 MCM 시뮬레이션만 한 결과, 측정치를 기준으로 상대 오차가 worstcase는 약 5.41%, bestcase는 6.25%였다. MCM 시뮬레이션을 한후 optimizer를 사용하여 최적화를 한 경우, 측정치를 기준으로 상대 오차가 worstcase는 2.89%, bestcase가 1.31%였다. 또한, 두 경우 모두 평균값이 측정치와 비교하여 약 2.58%의 상대 오차를 가짐을 알 수 있었다. 반면에, MCM시뮬레이션 후 Common Geometry와 maximum Probability를 사용하여 worstcase 최적화를 수행하는 새로운 알고리즘을 사용한 경우, 상대 오차는 worstcase는 1.00%이하, bestcase는 1.31%로 실제 측정에서 얻은 결과와 잘 일치할 뿐만 아니라 bestcase와 worstcase간의 상대오차가 거의 비슷함을 알 수 있다. 또한, 평균값도 측정치의 경우 11.64ns, 새로운 알고리즘을 사용할 경우 11.71ns으로 매우 잘 일치함을 알 수 있었다. 전체적으로 상위 메탈3에 의한 정전 용량의 감소로 시간 지연은 M2/M1/M3에 비해 상대적으로 줄어들었다.

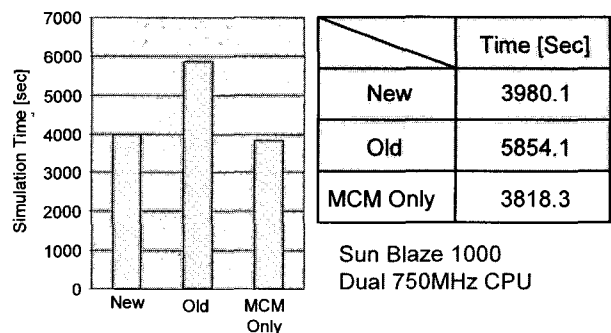


그림 9. 시뮬레이션 시간 비교 결과

Fig. 9. Simulation time comparison result.

시스템의 속도 검증을 위해 SUN Blade 1000/Dual 750MHz CPU를 사용하여 1Poly 8Metal을 갖는 UMC 0.13 μ m공정에 대해서 생성 가능한 총 165개의 유효 배선 구조를 worstcase 최적화하였다. 따라서, 검증은 optimizer를 사용한 기존의 최적화 방법을 사용했을 때의 worstcase 최적화 시간과, Common Geometry와 Maximum Probability를 사용한 새로운 worstcase 최적화 방법을 사용했을 때의 worstcase 최적화 시간을 직접 비교하였다. 사용된 배선의 폭은 0.2 μ m, 배선간의 간격은 0.2 μ m 이었다. 그림 9에서 보는 바와 같이 기존의 방법을 사용하여 worstcase 최적화를 수행했을 경우 약 5854.1[sec], 새로운 알고리즘을 사용했을 경우 3980.1[sec]의 CUP 시간이 사용되었다. 새로운 알고리즘을 사용할 경우 기존의 optimizer를 사용한 경우에 비하여 약 32.01% 속도가 향상되었음을 확인하였다. 이러한 속도의 향상은 Common Geometry를 구축할 때 사용되는 변수들의 갯수를 고정시켜주므로, 일반적 optimizer에서 사용되는 변수의 갯수보다 작은 수의 변수들의 가치로 최적화하기 때문이다. 또한, Common Geometry 구축때 소요되는 시간을 검증하기 위하여 새로운 알고리즘을 MCM 시뮬레이션만을 사용할 경우와 비교하였다. 따라서, Common Geometry 구축시 소요되는 시간은 약 161[sec]로 총 simulation 시간의 4.05% 임을 확인하였다.

V. 결 론

레이아웃상의 데이터와 실제 웨이퍼상의 데이터간의 차이를 정량화하여 이를 설계에 반영할 수 있도록 새로운 worstcase 최적화 알고리즘을 제안하였으며, 이를 위해 Common Geometry와 Maximum Probability 기법을 개발하였다. 또한, SUN Solaris 9에서 standard C/C++를 사용하여 새로운 worstcase 설계 환경을 구현하였다. 이에 대한 정확도 검증은 UMC 0.13 μ m Logic 공정을 사용하여 제작된 31단 Ring Oscillator의 시간 지연을 새로운 환경을 사용하여 계산된 시간 지연과 비교하였다. 검증 결과, 신호선 위에 또 다른 금속 배선이 있는 경우와 없는 경우 모두 측정값과 비교하여 1% 내외의 상대 오차를 가져 기존의 optimizer를 사용하여 최적화 한 경우에 비하여 두 배 이상 정확함을 확인하였다. Worstcase 최적화시 소요 되는 시간을 검증한 결과, Common Geometry와 Maximum Probability를 기반으로 한 새로운 알고리즘에 의해 소요되는 시간은 전

체 시뮬레이션 시간의 4.01%였으며, optimizer를 사용하여 최적화하는 기존의 worstcase 최적화 방법에 비하여 약 32.01% 최적화 시간이 단축됨을 알 수 있었다. 따라서, 본 논문에서 제안된 공정 편차를 고려한 배선의 worstcase 설계 환경을 사용할 경우, optimizer를 사용한 기존의 worstcase 최적화에 비하여 정확하고 빠르게 최적화된 worstcase 구조와 worstcase 설계 및 공정 관련 변수들을 추출할 수 있었다. 더불어, 실제 분포와 MCM의 분포가 다른 경우는 물론이거니와 비정규 분포를 갖는 분포에 대하여 잘 예측함을 확인하였다.

끝으로, 본 논문에서 제안한 설계 환경을 사용할 경우, 공정에 의한 회로 특성의 변화를 0.13 μ m 이하의 설계에 정확하고 빠르게 반영할 수 있다. 따라서, 설계자들은 실제 레이아웃상의 데이터와 웨이퍼상의 데이터 사이의 차이를 설계 단계에서 고려할 수 있으므로 설계하고자하는 회로의 특성을 향상시킬 수 있을 뿐만 아니라 궁극적으로는 회로의 수율을 극대화시킬 수 있을 것으로 판단된다.

참 고 문 헌

- [1] International Technology Roadmap for Semiconductors. 2005 Edition, available online. <http://www.itrs.net/Common/2005ITRS/Home2005.htm>
- [2] N. Nagaraj, T. Bonifield, A. Singh, F. Cano, U. Narasimha, M. Kulkarni, P. Balsara, and C. Cantrell, "Benchmarks for interconnect parasitic resistance and capacitance," Proc. of ISQED, pp. 163-168, March 2003.
- [3] J. Joyner, P. Zarkesh-Ha, and J. Meindl, "A global interconnect design window for a three-dimensional system-on-a-chip," Proc. of the IEEE 2001 ITC, pp. 154 -156, June 2001
- [4] V. Mehrotra and D. Boning, "Technology scaling impact of variation on clock skew and interconnect delay," Proc. of the IEEE 2001 ITC, pp. 122-124, June 2001.
- [5] Y. Liu, S.R. Nassif, L.T. Pileggi, and A.J. Strojwas, "Impact of interconnect variations on the clock skew of a gigahertz microprocessor," Proc. of Design Automation Conference, pp.168 - 171, June 2000.
- [6] K. Takeuchi, K. Yanagisawa, T. Sato, K. Sakamoto, and S. Hojo, "Probabilistic crosstalk delay estimation for asics," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, pp. 1377-1383, September 2004.

- [7] P. Zarkesh-Ha, S. Lakshminarayann, K. Doniger, W. Loh, and P. Wright, "Impact of interconnect pattern density information on a 90nm technology asic design flow," Proc. of ISQED, pp. 405-409, March 2003.
- [8] A. Teene, B. Davis, R. Castagnetti, J. Brown, and S. Ramesh, "Impact of interconnect process variations on memory performance and design," Proc. of ISQED, pp. 694-699, March 2005.
- [9] O.S. Nakagawa, N. Chang, S. Lin, and D. Sylvester, "Circuit impact and skew-corner analysis of stochastic process variation in global interconnect," Proc. of International Interconnect Technology Conference, pp. 230-232, May 1999.
- [10] Y. Cao and L.T. Clark, "Mapping statistical process variations toward circuit performance variability: analytical modeling approach," Proc. of Design Automation Conference, pp. 658-663, June 2005.
- [11] E. Matoglu, M. Swaminathan, N. Pham, D. Araujo, and M. Cases, "Statistical signal integrity analysis and diagnosis methodology for high-speed systems," IEEE Trans on Advanced Packaging, vol.27, no.4, pp.611 - 629, November 2004.
- [12] W.Y. Jung, S.Y. Oh, J.T. Kong, and K.H. Lee, "Interconnect modeling in deep-submicron design," IEICE Trans. on Electronics, vol. E83-C, no. 8, pp. 1311-1316, August 2001.
- [13] A. Agarwal, V. Zolotov, and D. Blaauw, "Statistical clock skew analysis considering intradie-process variations," IEEE Trans. on CAD of Integrated Circuits and Systems, vol. 23, no. 8, pp. 1231-1242, August 2004.
- [14] Y. Xu, K. L. Hsiung, X. Li, I. Nausieda, S. Boyd, and L.T. Pileggi, "OPERA: optimization with ellipsoidal uncertainty for robust analog IC design," Proc. of Design Automation Conference, pp. 632-637, June 2005.
- [15] W.Y. Jung, S.Y. Oh, K.H. Lee, and J.T. Kong, "Interconnect modeling in dsm design using a statistically-based worstcase interconnect model generator SWIM)," Proc. on DATE, pp. 113-116, March 2000.
- [16] W.Y. Jung, H. Kim, K.H. Seo, and J.K. Wee, "The statistical interconnect worst-case corner determination with maximum probability," Proc. on Korean Conference on Semiconductors, pp. February 2006.
- [17] D. Boning, "Layout practice impact on timing and yield," Tutorial, ISQED, San Jose CA, March 2003.
- [18] UMC 0.13um 1P8M Logic Cu BEOL Process with FSG Dielectric Process Interconnect Capacitance Model (Rev. 0.2), UMC, SPEC No:G-04-LOGIC13-1P8M-CU_FSG-INTERCAP 07.07.2003.

저 자 소 개



정 원 영(평생회원)
 1988년 성균대학교 물리학과
 학사 졸업
 1996년 한양대학교 전자공학과
 석사 졸업
 2003년~현재 숭실대학교
 전자공학과 박사과정

1988년~1998년 LG 반도체 선임 연구원
 1998년~2000년 미국 Ingenuus Cooperation
 수석연구원
 2000년~2003년 미국 Cadence System
 Sr. Engineering Manager
 2003년~현재 미국 Nanno Solutions, Inc.
 CTO/Executive VP

<주관심분야 : CAD & VLSI, Interconnect
 analysis and simulation, Process Variation
 Modeling, DFM/DFY>



김 현 곤(정회원)
 1982년 한양대학교 전자공학과
 학사 졸업
 1987년 한양대학교 전자공학과
 석사 졸업
 1989년~2005년 셀로코 연구소장
 2005년~현재 Nanno SOLUTIONS
 기술이사

<주관심분야: CAD&VLSI, Process Modeling,
 DFM/DFY>



위 재 경(정회원)
 1998년 연세대학교
 물리학과 학사 졸업
 1990년 서울대학교
 물리학과 석사 졸업
 1998년 서울대학교
 전자공학과 박사 졸업

1990년~2002년 하이닉스 메모리 연구소 근무
 2002년~2004년 한림대학교 정보통신공학부
 조교수
 2004년~현재 숭실대학교 정보통신전자공학부
 조교수

<주관심분야 : System-in-Package 설계 및 고속
 SoC, high speed I/O interface, DLL/PLL,
 DFM/DFY>