

논문 2006-43SD-10-15

다중모드/다중대역 무선통신 수신기를 위한 재구성 가능 CMOS 저잡음 증폭기

(Reconfigurable CMOS low-noise amplifier for multi-mode/multi-band wireless receiver)

황 보 현*, 정 재 훈*, 김 신 녕*, 정 찬 영*, 이 미 영*, 유 창 식**

(Bo-Hyun Hwang, Jae-Hoon Jung, Shin-Nyoung Kim, Chan-Young Jeong, Mi-Young Lee, and Changsik Yoo)

요 약

다중모드/다중대역 무선 통신 수신기에 사용할 수 있는 재구성 가능한 CMOS 저잡음 증폭기를 개발하였다. 입력단에 common-gate 트랜지스터 회로를 사용함으로써 출력단의 impedance 만을 조절하면 여러 주파수 대역에서 최적의 특성을 갖도록 하였다. 통상적인 common-gate 형태의 저잡음 증폭기는 3dB 이상의 높은 잡음 지수를 갖는데, 부귀환 회로를 사용하여 2dB 이하의 잡음 지수를 갖도록 하였다. 무선 수신기의 선형성 특성을 최적화할 수 있도록 저잡음 증폭기의 전압 이득을 조절할 수 있도록 하였다. 0.13mm CMOS 공정을 이용하여 개발하였으며 1.8~2.5GHz 대역에서 전압 이득은 19~20dB, 잡음 지수는 1.7~2.0dB, third-order input intercept point (IIP3)는 -2dBm이다. 1.2V의 공급 전압에서 7mW의 전력을 소모한다.

Abstract

Reconfigurable CMOS low-noise amplifier (LNA) has been developed for multi-mode/multi-band wireless receiver. By employing common-gate input stage, the performance can be optimized for multiple operation bands by simply controlling the output load impedance. Although the conventional common-gate LNA has larger than 3dB noise figure (NF), the newly developed negative feedback scheme enables the common-gate input LNA to have less than 2dB NF. To have optimum linearity performance of wireless receiver, the gain of the LNA can be controlled. The LNA implemented in a 0.13mm CMOS technology shows 19~20dB voltage gain, 1.7~2.0dB NF, -2dBm IIP3 at 1.8~2.5GHz frequency range. The LNA dissipates 7mW from a 1.2V supply voltage.

Keywords : multi-mode, multi-band, low noise amplifier, negative feedback, reconfigurable, CMOS

I. 서 론

차세대 개인 휴대통신 서비스는 복합 다기능의 차세대 시장을 목표로 점차 고속의 데이터, 패킷, 영상 등

멀티미디어 개인통신을 지원하는 종합적이고 다양한 서비스로 발전하고 있다. 이러한 무선통신 기술동향을 살펴 볼 때 다양한 서비스를 제공하기 위한 단말기 보급의 보편화를 위해 단말기 제작에 있어, 기술적인 측면에서 저 가격, 저 전력, 소형, 경량화와 다중모드/다중대역을 처리할 수 있는 RF Front-End 단일 칩이 필요하다. 또한 무선 이동통신은 음성 중심의 협대역 데이터를 전송하는 2세대 방식에서 광대역 데이터를 전송하는 3세대/4세대 방식으로 전환되고 있지만 2세대 무선통신(디지털) 서비스는 큰 성공을 거두었기 때문에 향후 3세대, 4세대 이동통신 서비스가 시작 하더라도 한동안 사라지지 않을 전망이다. 그리고 3세대 시스템은 2세대

* 학생회원, 한양대학교 전자통신컴퓨터공학
(Div. of Elec. and Computer Eng., Hanyang Univ.)

** 평생회원, 한양대학교 전자전기컴퓨터공학부
(Div. of Elec. and Computer Eng., Hanyang Univ.)

※ 본 연구는 대학 IT 연구센터 육성 지원 사업의 연구 결과로써 HY-SDR 연구센터의 연구비 지원으로 수행되었음. 사용되어진 CAD Tool은 IDEC에 의해 제공되었음.

접수일자: 2006년6월27일, 수정완료일: 2006년9월15일

디지털 시스템에 기초를 두고 발전되었으며, 4세대 역시 3세대를 기초로 발전될 것이기 때문에 3세대, 4세대 시스템은 다중모드/다중대역을 수용할 수 있는 구조이어야 한다.

최근 들어 다중모드/다중대역 RF 수신기를 구성하는 여러 방법이 고안되고 있다. 그 첫 번째는 병렬 단일 밴드 수신기(parallel single band receiver)방식^[1]으로 지원하는 표준의 개수만큼 저잡음 증폭기 및 하향 변환기를 사용하는 방법이다. 이는 부품의 개수가 많으므로 가격이 높고 크기가 커지는 단점이 있다.

두 번째는 재구성 가능한 하향 변환기(reconfigurable mixer receiver)방식^[2]으로 하나의 하향 변환기와 여러 개의 저잡음 증폭기를 이용한다. 세 번째는 첫 번째와 두 번째를 혼용하는 재구성 가능한 저잡음 증폭기 수신기(reconfigurable LNA receiver)방식^[3]으로 두 번째의

구성 가능한 하향 변환기 수신기 방식에 비해 매우 넓은 주파수 대역을 지원할 수 있는 특징이 있지만 첫 번째와 같이 가격과 크기 문제를 완벽히 해소할 수 없다. 마지막 방식은 단일 경로 RF 수신기(single path RF receiver)방식^[4]으로 하나의 저잡음 증폭기와 하향 변환기를 이용하는 방법으로 가장 간단하면서도 이상적인 방법이나 넓은 주파수 대역과 높은 성능을 동시에 지원하기 힘든 방식이다. 현재까지는 여러 다중모드/다중대역 RF 수신기를 구현 방식 가운데 넓은 주파수 대역과 높은 성능을 동시에 보장 받기 위해서는 여러 개의 저잡음 증폭기를 사용하는 병렬 단일 밴드 수신기 방식이나 재구성 가능한 저잡음 증폭기 또는 하향 변환기 방식을 사용해야 한다.

이 논문에서는 다중모드/다중대역을 수용하기 위한 다중모드/다중대역 수신회로 구조를 제안하고 이에 적합한 저잡음 증폭기를 설계하였다.

II. 본 론

현재 무선통신 시스템에서 가장 잘 개발이 되어 있고 또한 특성이 우수한 구조는 슈퍼헤테로다인(Super-heterodyne)이지만 다중모드/다중대역 수신회로에 적용하기에는 그 복잡성으로 인하여 특히나 적합하지 않다.

직접 변환 수신기(Direct conversion receiver)는 이미지 억제 필터(image reject filter)가 필요하지 않고 단순한 구조를 가지므로 높은 집적도가 가능하여 다중모드/다중대역 수신회로에 적합한 구조이다.

제안되는 저잡음 증폭기는 다중모드/다중대역에서 표준의 주파수 대역에 따른 서로 다른 특성을 만족해야

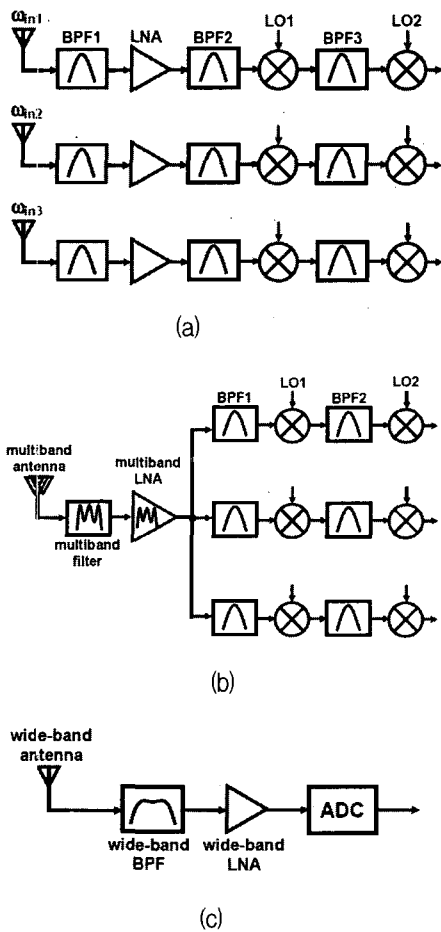


그림 1. 다중모드/다중대역 수신회로 구조 (a) 병렬 단일 밴드, (b) 재구성 가능한 저잡음 증폭기, (c) 단일 경로

Fig. 1. multi-mode/ multi-band receiver architecture (a) parallel single band, (b) reconfigurable mixer, (c) single path.

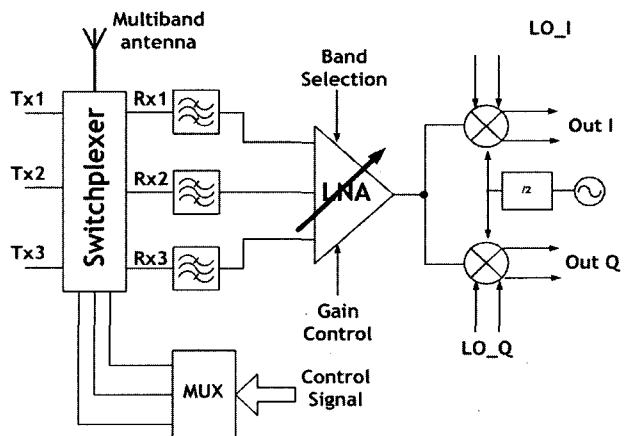


그림 2. 다중모드/다중대역 직접 변환 수신회로 구조
Fig. 2. multi-mode/ multi-band direct conversion receiver architecture.

하므로, 적절한 구조의 선택이 선행 되어야 한다. 그림 2와 같이 재구성 가능한 하향 변환기 수신 방식에 적합한 저잡음 증폭기를 설계함에 있어 각각의 지원하는 표준의 개수만큼 저잡음 증폭기를 사용하는 것이 아니라 전력 소모를 줄이고 전체 크기를 줄이기 위해 입력 단자는 다르지만 하나의 전원 회로를 사용하는 재구성 가능 저잡음 증폭기 설계하였다. 안테나를 통해 들어온 다중 대역의 신호는 송수신과 주파수 대역을 분리시켜 주는 스위치 플렉서(switchplexer)를 통해 사용하고자 하는 표준의 수신 주파수 대역으로 분리가 되고 RF 필터를 거친 후 해당되는 각각의 저잡음 증폭기 입력중 하나로 들어온다. 저잡음 증폭기에서는 들어온 미약한 신호를 기저 대역에서 신호처리가 가능하도록 일정한 크기의 신호로 증폭해주고 주파수 합성기에서는 사용하고자 하는 표준의 기저 대역에서 처리 가능한 주파수로 하향 주파수 변환을 시켜준다.

1. 저잡음 증폭기 설계

전형적인 이동통신 단말기 고주파 블록을 보면 크게 수신부와 송신부로 나눌 수 있는데, 수신기는 저잡음 증폭기(LNA), 하향 변환기(MIXER), 국부 발진기(LO)로 구성된다. 저잡음 증폭기는 이동통신기의 감도를 결정하는데 가장 큰 역할을 하는 부분으로 큰 잡음에 노출된 매우 약한 송신 신호를 받아 증폭시킨 다음 하향 변환기에 인가한다. 전체 시스템을 볼 때 첫 단의 잡음 특성은 전체 잡음 특성을 좌우한다. 첫 단에서 발생된 잡음은 뒷 단에 계속적으로 증폭되어 영향을 주기 때문이다.

저 잡음 증폭기 설계 시 고려사항을 보면 잡음지수, 이득, 임피던스 정합, 선형성, 전력소모 등이 있는데 상호 관계는 trade-off를 이루므로 적절한 최적화가 필요하다. 회로에서 잡음을 살펴보면 생성 원인에 따라 열잡음(thermal noise), flicker noise, shot noise, burst noise, avalanche noise등이 있다. CMOS에서는 이중에 열잡음의 영향이 가장 크고 문제가 되는데, 열잡음은 폴리 실리콘 저항에 의한 잡음과 트랜지스터의 채널에 의한 잡음으로 구분 할 수 있다.

일반적으로 저잡음 증폭기는 입력 단에서 50Ω 매칭을 위하여 여러 가지 구조를 사용하고 있다. 그림 3은 많이 사용되는 저잡음 증폭기의 기본 구조를 나타낸 것으로 resistive termination 구조, common-gate 구조, shunt-series feedback 구조, source degeneration 구조 등이 있다.^[5]

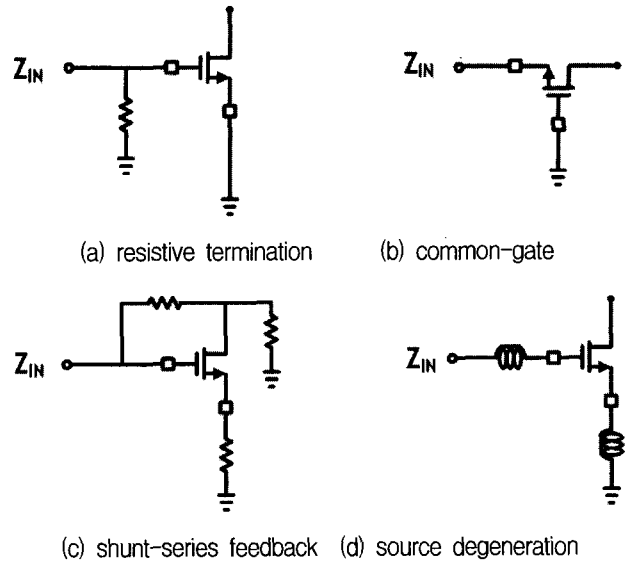


그림 3. 일반적인 저잡음 증폭기의 여러 구조
Fig. 3. commonly used LNA topology.

직접 저항을 연결하는 resistive termination 구조는 광대역 매칭이 가능하나 저항 자체의 열잡음이 발생하여 잡음지수에 불리하다.

common-gate 구조는 회로의 입력 임피던스는 $1/gm$ 으로, 트랜지스터의 W/L과 바이어스 전류를 조절하여 50Ω 입력 임피던스 매칭을 한다. 하지만 회로의 구조상 잡음지수는 트랜지스터가 long channel인 경우 최소 2.2 dB 이상이 되고 트랜지스터가 short channel 인 경우에는 더욱 더 회로의 잡음지수는 올라가게 된다.

저항을 이용한 shunt-series feedback 구조는 회로의 매칭 대역폭은 넓어지지만 내부에 사용된 저항이 첫 번째 방법과 마찬가지로 잡음 지수를 증가시킨다.

인덕터를 이용한 source degeneration 구조는 게이트와 소스에 인덕터를 삽입하여 잡음지수 특성은 좋지만 광대역 매칭을 하기가 용이하지 않고 또한 인덕터를 사용함으로 전체적으로 크기가 훨씬 커지게 된다.

사실 다중대역을 만족하는 저잡음 증폭기와 하향 변환기를 설계하는 것은 어렵다. 왜냐하면 서로 다른 주파수 대역에서 입력 임피던스 정합과, 특성, 잡음 지수, 높은 이득 그리고 좋은 선형성(linearity)을 이루기 어렵기 때문이다. 그러므로 다중대역에 적합한 구조를 선택하고, 설계 파라미터 값들이 서로 trade-off 되어야 한다.

2. 부귀환 저잡음 증폭기 설계

그림 3과 같이 임피던스 매칭을 위한 저잡음 증폭기의 구조로는 광대역 매칭이 좋은 common-gate 저잡음

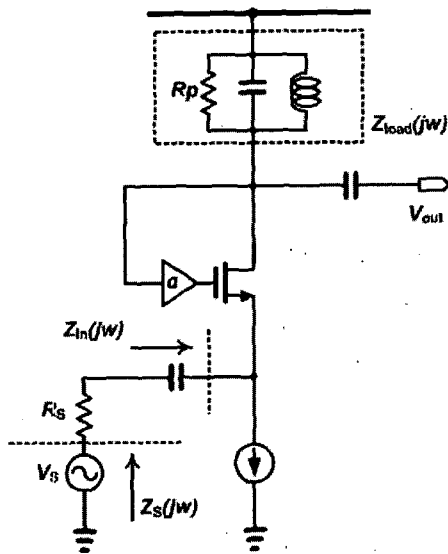


그림 4. 부귀환 common-gate 저잡음 증폭기
Fig. 4. Negative feedback common-gate LNA.

증폭기 구조를 선택하였고 다중모드/다중대역에 따른 출력 정합은 출력의 커패시터를 RF 스위치를 이용하여 가변적인 정합회로로 사용하였다. 그리고 다시 전압의 부귀환 회로를 이용하여 출력 임피던스를 가지고 입력 임피던스 정합을 맞출 수 있는 구조로 설계 하였다.

일반적인 common-gate 저잡음 증폭기의 입력 임피던스와 잡음지수는 식(1)이 성립한다.

$$Z_s = R_s + \frac{1}{gm} \tag{1}$$

$$NF \approx 1 + \frac{R_s}{R_p} \left(1 + \frac{1}{gmR_s}\right)^2 + \gamma \frac{1}{gmR_s}$$

입력 임피던스는 $1/gm$ 이 되어 주파수에 무관한 함수가 되어 따로 인덕터를 달지 않아도 입력 임피던스 정합이 가능하게 된다. 하지만 입력 임피던스 50Ω 매칭을 위하여 트랜지스터의 W/L과 바이어스 전류를 조절하여 항상 $R_s=1/gm$ 을 수식을 만족하여야 함으로 이때 잡음지수는 식(2)와 같이 표현된다.

$$NF \approx 1 + \frac{50 * 2^2}{R_p} + \gamma \quad \left(R_s = \frac{1}{gm}\right) \tag{2}$$

트랜지스터가 long channel인 경우 $\gamma=2/3$ 가 되어 잡음지수는 2.2 dB 이상이 되고 트랜지스터가 short channel인 경우 $\gamma>1$ 가 되어 잡음지수는 3 dB 이상이 되어 더욱더 회로의 잡음지수는 올라가게 된다.

하지만 대부분의 표준에서 요구하는 저잡음 증폭기

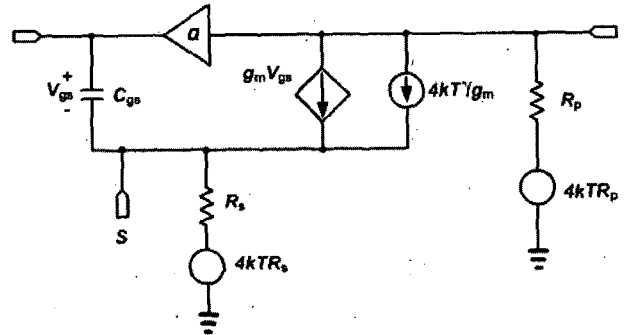


그림 5. 잡음 분석을 위한 부귀환 common-gate 저잡음 증폭기 소신호 등가회로
Fig. 5. Negative feedback common-gate LNA small-signal equivalent circuit for noise analysis.

의 잡음지수는 2dB이하가 되어 common-gate 저잡음 증폭기를 적용하기에는 어려운 점이 많다. 식(1)의 잡음지수 식에서 gm 크계만 가져갈 수 있다면 전체적인 잡음지수는 감소하게 된다. 하지만 gm 을 크게 가져가면 $R_s>1/gm$ 이 되어 입력 임피던스 정합이 틀어지게 된다. 틀어지는 입력 임피던스를 정합하기 위해 전압 부귀환 common-gate 저잡음 증폭기 구조를 사용하여 입력 임피던스를 50Ω 으로 가져 갈 수 있다.

그림 3을 이용하여 부귀환 common-gate 저잡음 증폭기의 입력 임피던스와 잡음지수를 계산하여 보면 식(3)와 같다. 잡음지수의 식은 부귀환 회로에 잡음이 존재하지 않는다고 하면 부귀환을 하지 않은 회로와 동일 하지만 입력 임피던스에는 $\alpha * Z_{load}(j\omega)$ 만큼의 출력 임피던스가 귀환되게 된다.

$$Z_s = R_s + \frac{1}{gm} + \alpha * Z_{load}(j\omega) \tag{3}$$

$$NF \approx 1 + \frac{R_s}{R_p} \left(1 + \frac{1}{gmR_s}\right)^2 + \gamma \frac{1}{gmR_s}$$

그림 4는 다중모드/다중대역의 저잡음 증폭기의 예를 보여주고 있다. 안테나로부터 들어온 신호는 각각의 필터를 거쳐 저잡음 증폭기의 각각의 입력단자로 들어오게 된다. 이때 저잡음 증폭기는 사용하고자 하는 표준의 주파수 대역에 따라 $Va1 \sim Vc1$ 과 $Va2 \sim Vc2$ 의 스위치에 전압을 인가하여 동작 경로를 결정하고 출력에서는 해당되는 표준의 출력 주파수를 스위치 커패시터를 통하여 공진 시키게 된다. 이때 해당되는 주파수의 LC 공진에 의한 결정된 출력 임피던스는 α 배 만큼 입력으로 부귀환 되어 보이게 된다. 따라서 전체 입력 임피던스는 식(3)과 같이 $1/gm + \alpha * Z_{load}(j\omega)$ 으로 보이게 된다.

부귀환 되는 양을 잘 조절을 하면 잡음 지수를 낮게 가져가기 위해 gm을 높게 설계하면서도 입력 임피던스 $1/gm+a*Zload(jW)$ 를 50Ω 으로 가져 갈 수 있다.

3. 이득 조절 회로 설계

여러 표준을 동시에 지원하는 저잡음 증폭기의 구현을 위해서는 넓은 동작영역(dynamic range)과 높은 third-order input intercept point(IIP3)를 가져야 한다. 이를 위해서는 전압 이득 조절(voltage gain control) 기능을 가진 저잡음 증폭기 또는 하향 변환기가 필요하게 된다. 일반적으로 저잡음 증폭기의 전압 이득을 변화시키는 방법으로 바이어스 전류나 전압을 조절하는 방법을 많이 사용한다. 하지만 이 방법은 전압 이득의 변화를 크게 할 수 없고 common-gate 저잡음 증폭기의 입력 단에 사용할 경우 입력 임피던스를 변화 시킬 수 있을 뿐만 아니라 특히 다중모드/다중대역의 저잡음 증폭기의 구조상 각각의 동작경로에 모두 추가적인 회로의 사용해야 함으로 더욱더 복잡해진다. 그리고 Low Gain Mode로 동작 시 사용되는 전류의 감소로 잡음 지수와 IIP3가 열화될 가능성이 있다. 제안하는 이득 조절 구조는 그림 5과 같이 저잡음 증폭기의 출력 단에서 커패시터를 이용한 전압 분배(voltage divider) 구조이다.

높은 이득 상태(High gain mode)에서는 M1 트랜지스터는 켜지고 M2 트랜지스터는 꺼지게 되어 C1과 C2에 대한 영향이 사라진다. 낮은 이득 상태(Low gain mode)에서는 반대로 M1 트랜지스터는 꺼지고 M2 트랜지스터는 켜지게 되어 저잡음 증폭기 출력 단의 신호는 C1과 C2의 커패시터에 의한 전압 분배 형태로 나타나게 된다.

설계 시 M1과 M2의 트랜지스터 사이즈에 따른 켜진 상태에서의 등가 저항에 의한 잡음지수와 기생 커패시터에 의한 출력단의 공진 주파수의 변화도 적절한 고려해야 하며, 특히 C2 값의 선정 시 너무 크지 않은 값을 사용하여야 이득 변화에 따른 공진주파수의 차이를 최소화 할 수 있다.

III. 실험 결과

그림 6은 앞서 기술한 바와 같이 다중모드/다중대역 무선통신에서 사용가능한 주파수 대역(1.8~2.5GHz)을 출력 커패시터의 스위칭에 따라 저잡음 증폭기의 잡음 지수, 전압이득, 입력 매칭, IIP3를 시뮬레이션 한 결과이다. IIP3 시뮬레이션 시 주파수 간격이 2MHz인 2GHz

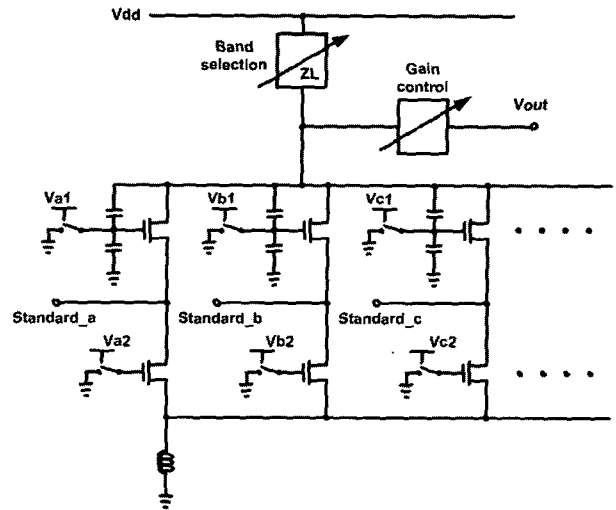
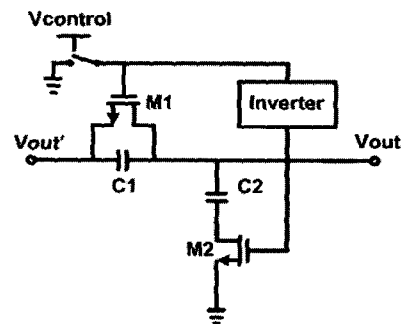


그림 6. 다중모드/다중대역 저잡음 증폭기
Fig. 6. Multi-mode/multi-band LNA.



High Gain Mode (M1: On M2: Off)
 $V_{out} = V_{out}'$

Low Gain Mode (M1: Off M2: On)
 $V_{out} = \frac{C1}{C1 + C2} V_{out}'$

그림 7. 저잡음 증폭기의 이득 조절 회로도
Fig. 7. Gain control circuit of LNA.

와 2.002GHz인 두 개의 신호를 사용하였다.

트랜지스터의 W/L과 바이어스 전류를 조절하여 gm을 크게 가져갔고 또한 커패시터를 이용한 출력 임피던스를 부귀환 하여 입력 임피던스 매칭을 하였다.

출력 단에서 커패시터 스위칭에 따른 공진 주파수에서의 임피던스에 따라 잡음지수와 전압 이득값이 변화시키는 하였지만 잡음 지수는 2dB 이하 그리고 전압 이득은 19~20dB 나타냄을 알 수 있다.

입력 매칭의 정도를 나타내는 S11 또한 -10dB 이하로 주파수에 따른 입력 매칭을 따로 해주지 않아도 입력 매칭이 잘 되었고 선형성을 보여주는 IIP3 또한 -1dBm을 나타내었다.

표 1은 삼중 모드의 표준에 적용해 본 저잡음 증폭기 시뮬레이션 결과이다. WIRBRO는 2.4 GHz 대역이고

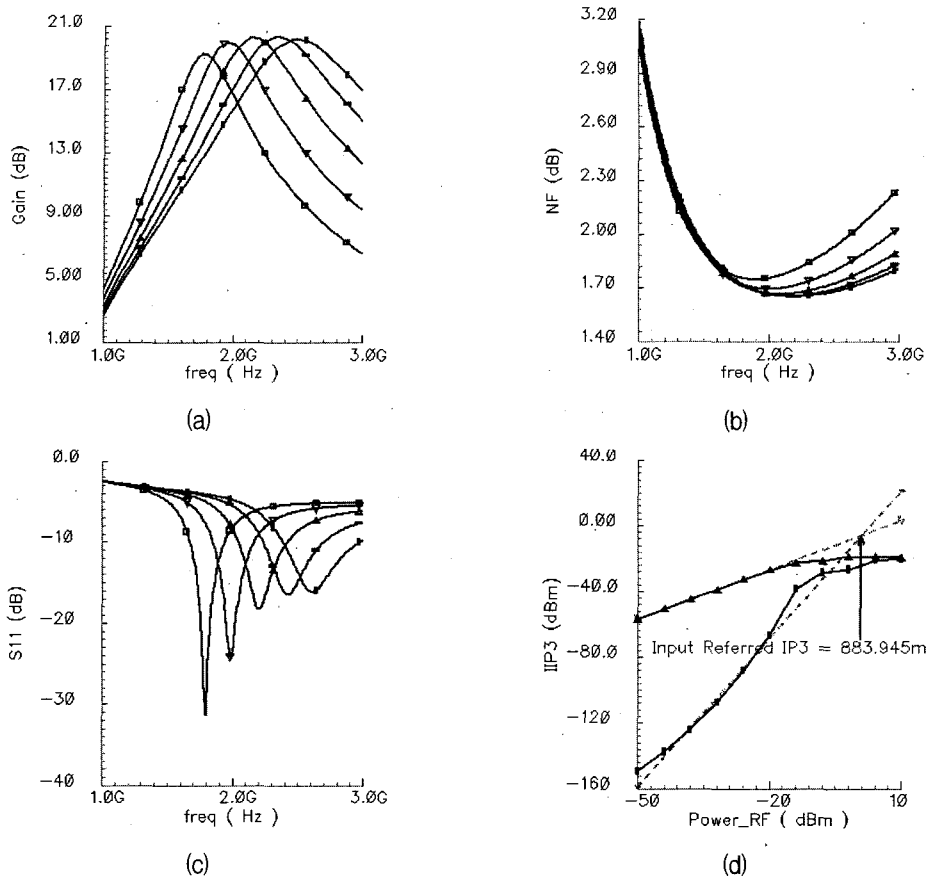


그림 8. 저잡음 증폭기 모의실험 결과 (a)잡음 지수, (b) 전압 이득, (c) 입력 매칭 (d) IIP3
 Fig. 8. LNA simulation result (a)noise figure, (b) voltage gain, (c) input matching, (d) IIP3.

표 1. 삼중 모드 저잡음 증폭기 모의실험 결과
 Table 1. Triple-mode LNA simulation result.

TSMC 0.13um		Spec.	WIBRO	WDCMA	CDMA2000-1x
VDD = 1.2V, IDD=5.8mA					
Voltage	High gain	18	20.1	20.2	19.4
Gain (dB)	Low gain		1.4	1.3	1.4
NF (dB)	High gain	< 2	1.73	1.76	1.8
S11 (dB)	High gain	< -10	-16	-18	-34
	Low gain		-20	-26	-25
IIP3 (dBm)	High gain	> -12	-1.3	-1.3	-1.4
Inband	Low gain		-0.8	-0.8	-1.4

WCDMA는 2.1 GHz 대역이며, CDMA2000-1X는 1.8 GHz대역으로 해당되는 주파수 대역 내에서 전압 이득은 20dB, 잡음 지수는 2dB이하 그리고 입력 매칭과 IIP3 또한 충분한 성능을 나타낸다.

IV. 결 론

본 고에서는 다중모드/다중대역 수신회로에 사용 가능한 저잡음 증폭기의 구조를 제안하고 0.13um CMOS 모델을 이용하여 Cadence사의 SpectraRF를 이용하여 Simulation 하였다. Common-gate 저잡음 증폭기 구조에서 최소 발생될 수 있는 잡음지수를 전압 부귀환 Common-gate 저잡음 증폭기 구조를 사용함으로 기본 구조의 최소 잡음지수 이하로 가져갈 수 있다. 또한 다양한 표준에 따른 저잡음 증폭기 입력단자의 임피던스 매칭을 위한 여러 개의 인덕터가 필요 없게 되어 광대역 매칭에 유리하고 특히 회로를 집적화하는데 유리하다.

참 고 문 헌

[1] Zhongming Shi and Reza Rofougaran, "A

- Single-chip and multi-mode 2.5/5 GHz RF transceiver for IEEE 802.11 Wireless LNA," *ICMMT 2002*, pp. 229-232, 2002.
- [2] Xiaopeng Li and Mohammed Ismail, "A Single-Chip CMOS Front-End Receiver Architecture for Multi-Standard Wireless Applications," *ISCAS 2001*, Vol. 4,374 377, 2001.
- [3] Rahul Magoon, Alyosha Molnar, Jeff Zechan, Geoff Hatcher, and Woogeun Rhee, "A Single-Chip Quad-band(850/900/1800/1900 MHz) Direct Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer," *IEEE J. Solid-State Circuits*, Vol. 37, No. 12, pp. 1710-1720, 2002.
- [4] Munenari Kawashima, Hitoshi Hayashi, Tadao Nakagawa, Kenjiro Nishikawa and Katsuhiko Araki, "A 0.9~2.6 GHz Broadband RF Front-end For Direct Conversion Transceivers," *IEEE MTT-S Digest*, Vol.2, pp. 927-930, 2002.
- [5] B. Razavi, *RF Microelectronics*, Prentice, Hall, p. 170-180, 1998.

저 자 소 개



황 보 현(학생회원)
 2000년 한양대학교 전자공학과 학사 졸업.
 2000년~현재 삼성전기 RFIC부분 선임연구원 재직 중
 2005년~현재 한양대학교 전자통신컴퓨터공학과 석사 재학 중.

<주관심분야 : 아날로그회로 설계, 무선통신 시스템>



김 신 녕(학생회원)
 2006년 한양대학교 전자전기 컴퓨터공학부 학사 졸업.
 2006년~현재 한양대학교 전자통신컴퓨터공학부 석사 재학 중.

<주관심분야 : 아날로그회로 설계, 무선통신 시스템>



이 미 영(학생회원)
 1999년 전북대학교 정보통신 공학과 학사 졸업.
 2001년 전북대학교 정보통신 공학과 석사 졸업
 2003년~현재 한양대학교 전자통신전과공학부 재학 중.

<주관심분야 : 아날로그회로 설계, 무선통신 시스템>



정 재 훈(학생회원)
 2004년 한양대학교 전자컴퓨터 공학부 학사 졸업.
 2006년 한양대학교 전자통신 컴퓨터공학부 석사 졸업.
 <주관심분야 : 아날로그회로 설계, 무선통신 시스템>



정 찬 영(학생회원)
 2000년 한양대학교 전자공학과 학사 졸업.
 2005년 한양대학교 전자통신 컴퓨터공학부 석사 졸업
 2005년~현재 한양대학교 전자통신컴퓨터공학부 박사 재학 중.

<주관심분야 : 아날로그회로 설계, 무선통신 시스템>



유 창 식(평생회원)
 1992년 서울대학교 전자공학과 학사 졸업.
 1994년 서울대학교 전자공학과 석사 졸업.
 1998년 서울대학교 전자공학과 박사 졸업.

2002년~현재 한양대학교 전자전기컴퓨터공학부 부교수

<주관심분야 : 유무선 통신용 혼성 신호 회로 설계>