

논문 2006-43SD-10-16

# DC-DC 컨버터용 높은 슬루율의 OTA 설계

## ( Design of high slew-rate OTA for DC-DC converters )

김인석\*, 류성영\*, 노정진\*\*

( Insuk Kim, Seouyoung Ryu, and Jeongjin Roh )

### 요약

휴대용 전자제품의 증가에 따라 배터리의 사용 시간을 증가시키기 위한 파워 매니지먼트 회로의 설계는 매우 중요해 지고 있다. 이에 따라 전원공급 시스템, 특히 파워 효율이 높은 스위칭 방식의 DC-DC 변환기의 필요성은 더욱 커지고 있다. 본 논문에서 제안된 새로운 에러 앰프는 고속으로 동작하는 DC-DC 컨버터를 위해 고성능의 구조를 구현하고 있다. 본 앰프는 높은 전력변환 효율을 위해 낮은 대기 전류를 갖지만, 큰 입력신호 구간에서는 충분한 전류를 공급할 수 있도록 설계되었다. 두 개의 비교기가 구현되어 큰 신호의 변화를 감지해서 여분의 전류 공급기를 턴-온 시켜서 필요한 전류를 공급해준다. 피드백 동작하는 DC-DC 컨버터의 특성상 다양한 동작 환경에서 시스템의 안정성을 보장하기 위해서는 여분의 전류의 양이 잘 조절되어야 한다. 시뮬레이션 결과는 시간 천이 반응에서 새로운 앰프가 기존의 앰프보다 뛰어난 성능향상을 얻을 수 있음을 보여준다.

### Abstract

A new error amplifier is presented for fast transient response of DC-DC converters. The amplifier has low quiescent current to achieve high power conversion efficiency, but it can supply sufficient current during large signal operation. Two comparators detect large-signal variations, and turn on extra current supplier if necessary. The amount of extra current is well controlled, so that the system stability can be guaranteed in various operating conditions. The simulation results show that the new error amplifier achieves significant improvement in transient response than the conventional one.

**Keywords :** Error amplifier, OTA, DC-DC converter, pulse width modulation(PWM), transient response, boost converter

## I. 서론

전원 공급 시스템에서 스위칭 방식 DC-DC 컨버터는 널리 사용되어지고 있고, 현대 집적회로 시스템에서 기본적인 블록으로 설계되고 있다<sup>[1]</sup>. 특히 배터리로 동작하는 휴대용 시스템들의 사용은 증가하고 있고, 휴대용 시스템에서는 낮은 파워 효율을 갖는 리니어 전압 레귤레이터를 사용할 수 없기 때문에 스위칭 방식의 DC-DC 컨버터는 필수적인 블록이다.

DC-DC 컨버터에서 사용되는 CMOS 컨트롤러 회로는 낮은 대기 전류를 갖도록 설계되어야 한다. 즉 저 전력, 고속 동작을 해야 한다. 그러나 저 전력과 고속 동작은 서로 상반되는 특성이다. 이러한 상반되는 특성은 DC-DC 컨버터에 사용되는 컨트롤러 회로 설계 시 큰 어려움을 주게 된다.

그림 1은 전류 방식 boost 컨버터의 단순화된 구조를 보여준다<sup>[2]</sup>. 주요 기능은 최소의 전력 소모로 입력 DC 전압을 보다 높은 출력 DC 전압으로 바꿔주는 것이다. 이 컨버터는 전원부와 피드백 컨트롤 회로로 구성되어 있다.  $V_g$ 는 입력 DC 전압을 공급하는 배터리 전압이고,  $V_{out}$ 은 입력 DC 전압을 증폭한 출력 DC 전압이다. 인덕터  $L$ , 다이오드  $D_1$ , 출력 커패시터  $C_0$ 는 모두 큰 크기를 갖기 때문에 칩 외부에 구성된다. 저항  $R_3$ 과

\* 학생회원, \*\* 정회원, 한양대학교, 전자컴퓨터공학부  
(Department of Electrical and Computer Engineering, Hanyang University)

※ 본 논문은 2004년도 한국학술진흥재단의 지원에 의하여 연구되었음. (KRF-2004-041-D00510)

접수일자: 2006년3월20일, 수정완료일: 2006년8월28일

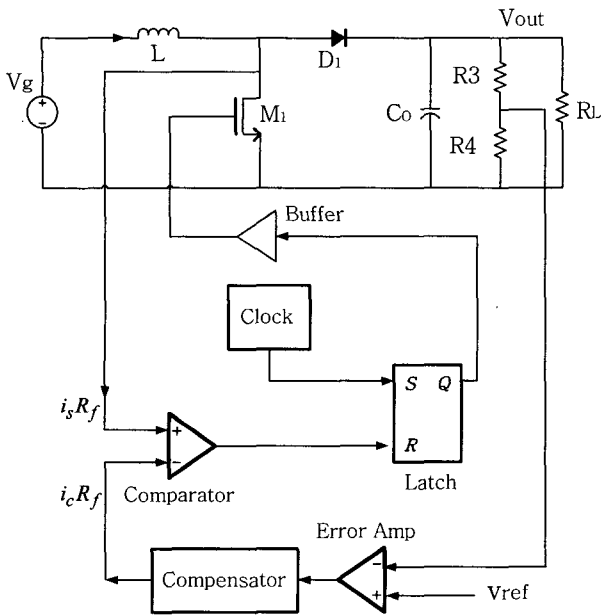


그림 1. DC-DC boost 컨버터의 블록 다이어그램  
Fig. 1. Block diagram of DC-DC boost converter.

$R_4$ 는 출력 전압을 감지하고 에러 앰프의 출력 전압의 크기를 결정한다.  $R_L$ 은 DC-DC 컨버터의 부하, 즉 컨버터가 구동하게 되는 임의의 디지털 또는 아날로그 시스템이다.

그 외의 다른 블록들은 하나의 컨트롤러 회로로 집적된다. 그림 1에서 클럭은 미리 결정된 주기를 갖는 짧은 펄스를 생성하고, SR 래치는 그 펄스에 의해 set 된다. 래치의 reset 타이밍은 에러 앰프의 출력 전압과 M1의 드레인 전압을 비교기를 이용한 비교로 컨트롤하게 된다. M1의 드레인 전압은 흐르는 전류와 트랜지스터의 저항성분에 곱에 의해 결정된다. 만약 출력 전압  $V_{out}$ 을  $R_3$ 과  $R_4$ 을 사용하여 감지된 전압이  $V_{ref}$ 보다 작다면 래치의 reset 시간이 길어지게 되고 보다 많은 전류가 출력 커패시터  $C_o$ 에 충전된다. 즉, 래치에서 발생하는 펄스폭제어 변조 (PWM: pulse width modulation) 신호는 피드백 루프에 의해 컨트롤 된다. 래치의 PWM 출력은 버퍼를 통하여 NMOS 트랜지스터 M1을 구동시킨다. 일반적으로 M1 자체에서 소모하는 전력을 줄이기 위해서 온 저항이  $1\Omega$  이하인 매우 큰 트랜지스터로 구현된다. 에러 앰프는 전체 시스템의 빠르고 정확한 동작에 많은 영향을 주는 중요한 블록이다. 이 앰프는 기준 전압과 출력전압의 차를 감지하고 증폭한다. 이 후 감지된 에러 전압은 DC-DC 컨버터의 안정성을 위해 보상기에서 처리된다. 기타 일반적인 동작 분석은 관련 교재 [2],[3]에 자세히 설명되어 있다.

## II. DC-DC 컨버터의 안정성

스위치 방식 DC-DC 컨버터는 스위칭에 의해 동작하는 비선형 회로 모델이다. 따라서 피드백 루프의 안정성을 분석하기 위해선 선형화된 소 신호 모델이 필요하다. 전류방식 boost 컨버터는 두개의 극점과 right half-plane(RHP) 영점을 갖는다<sup>[2]</sup>. 두 번째 극점은 우성 극점에서 멀리 떨어진 스위칭 주파수 근처에 위치한다. 그러므로 하나의 극점과 하나의 RHP 영점을 갖는 1차 모델을 정확한 모델에서 근사화해서 사용할 수 있다<sup>[2]</sup>. 컨버터의 안정성을 위해 보상 파라미터를 결정할 경우 컴퓨터를 이용하여 정확한 모델을 분석하게 된다. 그러나 이론적인 분석을 위해서는 복잡한 모델보다는 단순화된 1차 모델을 사용하는 것이 훨씬 용이하므로 아래의 수식적인 분석에서는 단순화된 모델을 사용하였다. 식 (1)은 1차 모델의 컨트롤-출력의 전달함수  $G_{vc}$ 를 보여준다.  $D'$ 은 low PWM 듀티 싸이클로서  $D'=1-D$ 의 관계를 갖는다. 여기서  $D$ 는 PWM 파형의 high 구간의 비율을 의미한다.

$$G_{vc}(s) = \frac{v_{out}}{i_c} = \frac{DR_L}{2} \frac{(1 - s \frac{L}{D^2 R_L})}{(1 + s \frac{R_L C_o}{2})} \quad (1)$$

전류 방식 컨버터의 가장 큰 장점은 다른 방식에 비해 안정도를 얻기가 쉽다는 점이다<sup>[2]</sup>. 소 신호 컨트롤-출력의 전달함수인  $G_{vc}(s)$ 는 전압방식 컨버터에 비해 극점이 하나 적다. 그렇기 때문에 lead 네트워크 보상의 사용 없이도 출력전압 컨트롤이 가능하다. 일반적으로 전류방식 컨버터는 단순한 proportional-plus-integral (PI) 보상이 사용되어진다. 이 논문에서도 PI 보상 방법을 사용하였다.

그림 2는 정확한 모델에 의한  $G_{vc}(s)$ 의 Matlab 주파수 분석파형을 보여준다. 이러한 특성에서 알 수 있듯이 보상되지 않은 시스템은 약 10kHz에서 crossover 주파수를 갖는다. 300kHz에 있는 두 번째 극점은 식 (1)에서의 단순한 1차 모델에서는 표현되지 않았다. 앞에서 언급한 바와 같이 두 번째 극점은 crossover 주파수에서 멀리 떨어진 곳에 위치하기 때문에 시스템의 안정도에는 큰 영향을 주지 않는다. 그림 3은 스위칭 주파수의 1/20을 crossover 주파수로 얻기 위해  $G_{ca}(s)$ 를 PI 보상한 회로의 주파수 응답이다.

보상된 에러 앰프의 주파수 특성은 DC-DC 컨버터의

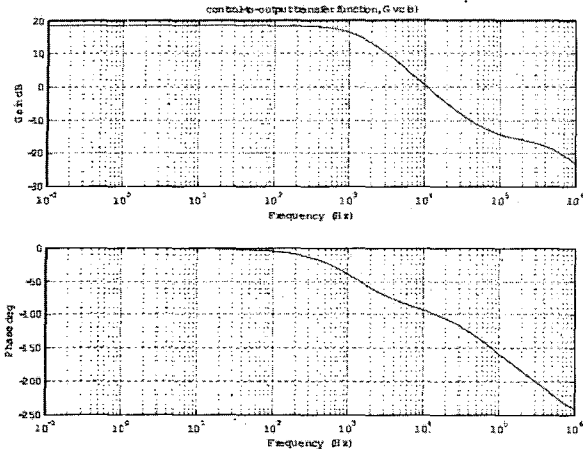


그림 2. 컨트롤-출력 전달함수,  $G_{vc}(s)$   
 Fig. 2. Control-to-output transfer function,  $G_{vc}(s)$ .

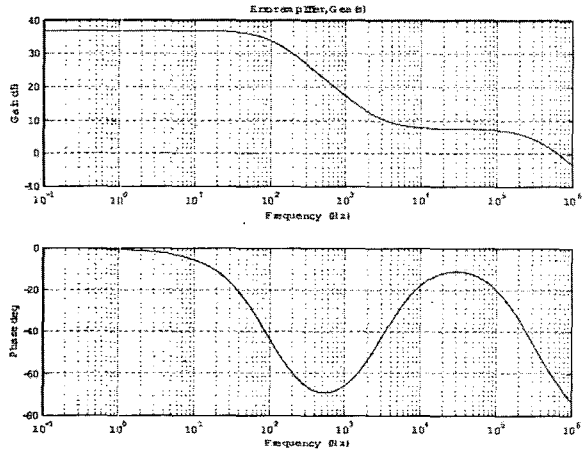


그림 3. 보상된 에러 앰프,  $G_{ea}(s)$   
 Fig. 3. Compensated error amplifier,  $G_{ea}(s)$ .

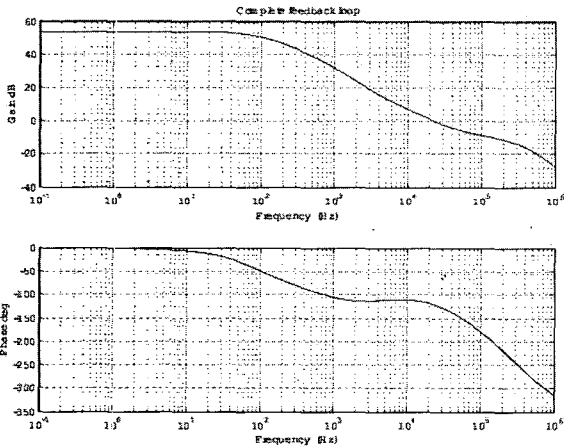


그림 4. 전체 피드백 루프,  $G_t(s)$   
 Fig. 4. Total feedback loop,  $G_t(s)$ .

전체 피드백 루프 특성을 합한 것이다. 전체적으로, 극점과 영점은 충분한 위상 여유를 갖기 위해 DC-DC 컨

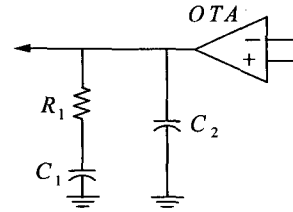


그림 5. 보상된 operational 트랜스컨덕턴스 앰프 (OTA)  
 Fig. 5. Compensated operational transconductance amplifier (OTA).

버터의 전체 피드백 루프 특성의 형태를 결정한다<sup>[3]</sup>. 전체 피드백 루프의 루프 이득 식은 식 (2)에 나타냈고, 그것의 주파수 응답은 그림 4이다. 식 (1)은 입력 컨트를 전류에 관한 식이므로 식 (2)에 전류 감지 저항  $R_f$ 가 포함되어진다.

$$G_t(s) = \frac{G_{vc}(s)}{R_f} \times G_{ea}(s) \tag{2}$$

본 논문의 회로 설계에서  $R_f$ 는 NMOS 스위치의 온 저항 값으로  $0.2\Omega$ 이 되도록 하였다. 다른 회로 파라미터들은 IV절에 요약하였다. 그림 4의 주파수 응답은 최적의 위상 여유인 60에 가까운 59의 위상 여유를 갖는 것을 알 수 있다.

일반적으로, 큰 출력 커패시터  $C_o$ 는 effective series resistance (ESR)을 갖고, 그것은 left half-plane(LHP)  $1/(2\pi R_{esr}C_o)$ 에 영점을 갖게 한다. 본 논문에서는 일반적인 세라믹 커패시터로  $22\mu F$ 의 커패시터 용량에  $50m\Omega$ 의 ESR을 사용하였다. 이 경우에  $145kHz$ 에 LHP 영점이 위치하게 된다. 그림 4에서 전체 피드백 시스템의 crossover 주파수를 보면  $22kHz$ 라는 것을 알 수 있다. 때문에 LHP 영점에 관계있는 ESR은 전류방식 컨버터의 안정도에 큰 영향을 미치지 않는다.

그림 5는 본 논문의 회로 설계에 사용된 에러 앰프의 보상 회로이다. 칩 외부에 구성되는 두개의 커패시터와 저항은 아래 식에 따라 극점과 영점의 위치를 결정한다. 그림 6에 그래프로 나타냈다. 식 (3)에서  $gmR_{out}$ 은 DC 이득을 결정한다. 여기서  $gm$ 과  $R_{out}$ 은 각각 OTA의 트랜스컨덕턴스와 출력 저항을 나타낸다.

$$G_{ea} = \frac{g_m R_{out} \left(1 + \frac{s}{w_z}\right)}{\left(1 + \frac{s}{w_p}\right)} \tag{3}$$

$$w_z = -\frac{1}{R_1 C_1} \tag{4}$$

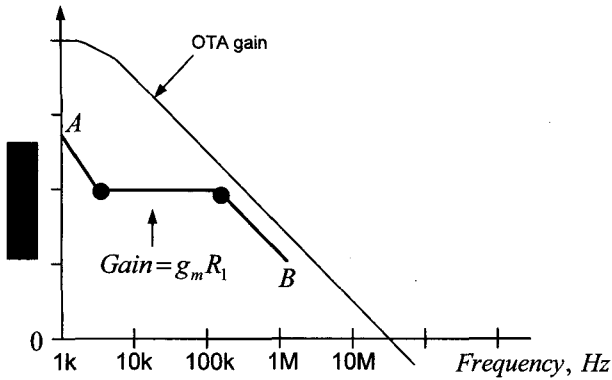


그림 6. 보상된 에러 앰프의 주파수 특성  
Fig. 6. Frequency characteristic of the compensated error amplifier.

$$\omega_p = -\frac{1}{R_1 C_2} \quad (5)$$

OTA의 개방-루프 이득은 극점과 영점에 의해 보상되어지고, 가운데 영역의 이득은 그림 3과 그림 6에서 처럼  $g_m R_1$  이 된다.

### III. 에러 앰프의 설계

그림 5에서 보여 지듯이 보상회로는 OTA와 함께 설계되었다. OTA의 출력 임피던스  $R_{out}$ 은 매우 크고, 저주파수 전압이득은  $g_m R_{out}$ 이다. 여기서  $g_m$ 은 OTA의 트랜스컨덕턴스이다. 칩 외부에 연결되는  $R_1$  저항 값은 그림 6에서 보여 지듯이 가운데 영역 보상 이득의 값을 결정한다.

에러 앰프의 두 가지 중요한 요구조건은 다음과 같이 정리 된다.

- 최대의 전력 보존 효율과 낮은 대기 전류를 위해 대기전류는 최소가 되어야 한다.
- 앰프는 칩 외부에 연결되는 큰 보상 커패시터를 충전/방전 시킬 수 있는 충분한 전류를 공급해야 한다.

그림 7의 기존의 전류 거울 OTA는 에러 앰프로 사용되기에 적절하다. 이 회로설계에는 PMOS와 NMOS 각각의 문턱전압이  $-0.9V$ 와  $0.7V$ 를 갖는 표준  $0.5\mu m$  CMOS 공정이 사용되어졌다.

트랜지스터들은 디바이스의 매칭을 더욱 좋게 하기 위해 디바이스의 폭을 넓히는 방법 대신 단위 트랜지스터를 병렬로 배열하는 방법을 사용하여 OTA를 구현하였다. 단위 PMOS 트랜지스터의 폭과 길이는  $1.0\mu m / 1.0\mu m$  이고, 단위 NMOS 트랜지스터의 폭과 길이는  $0.7$

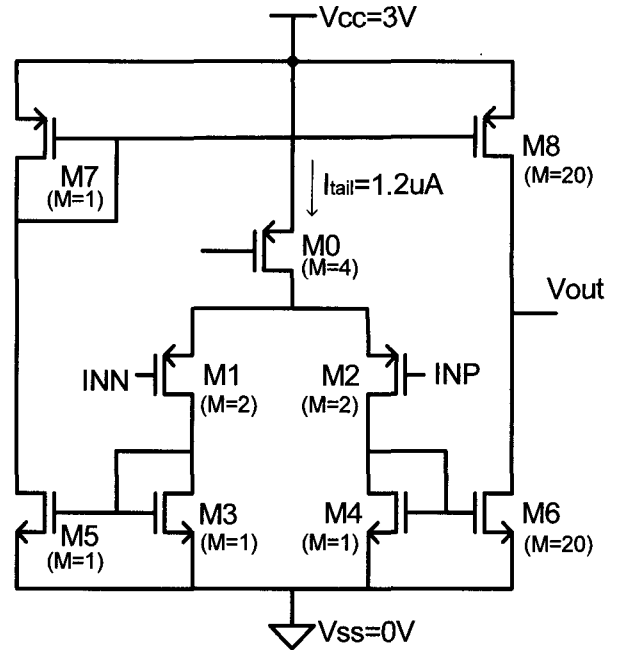


그림 7. 기존의 OTA  
Fig. 7. Conventional OTA.

$\mu m / 1.0\mu m$ 이다. 그림 7에서 트랜지스터의 이름 밑에 있는 M은 병렬로 구성된 단위 트랜지스터의 개수를 나타낸다. 주어진 트랜지스터들의 사이즈는 PMOS 트랜지스터의 overdrive 전압을  $200mV$ , NMOS 트랜지스터의 overdrive 전압을  $140mV$ 가 되도록 설계되었다. M0에 흐르는 전류를  $1.2\mu A$ 로 설계했기 때문에 입력 트랜지스터 M1과 M2의 드레인에 흐르는 전류는 각각  $0.6\mu A$ 가 된다. 식 (6)처럼 표현되는 입력 트랜스컨덕턴스는 OTA의 동작을 향상시키는데 중요한 역할을 한다. 그림 7에서 보여 지듯이 이 입력 트랜지스터의  $M=2$  이므로 상대적으로 낮은  $120mV$ 의 overdrive 전압을 갖는다. 일반적으로 트랜지스터의 overdrive 전압은 적어도  $100mV$  이상의 전압을 가져야 한다. 그렇지 않으면 트랜지스터는 weak inversion 영역의 경계에서 동작하게 된다.

$$g_{m1,2} = \sqrt{2\mu_p C_{ox} \left(\frac{W}{L}\right)_{1,2} I_d} \quad (6)$$

출력단의 전류 거울의 비는 20이므로, 최대 출력 전류는  $20 \times I_{tail}$ , 즉  $24\mu A$ 가 된다. 이 최대 출력 전류는 전류 거울 비를 증가시켜서 늘릴 수 있지만, 그것은 앰프의 대기 전류 증가를 가져오게 되고, 결국엔 바람직하지 못한 DC-DC 컨버터가 된다.

앰프의 높은 DC 전압이득을 위해선 OTA의 출력단을 cascode 회로로 변경해야 하지만<sup>[1]</sup>, 그러한 경우에는

출력 스윙의 제한을 갖게 한다. 본 논문에 cascode를 사용하지 않은 구조로 설계되었다.

제한된 출력 전류를 갖는 전류 거울 OTA는 결과적으로 다음과 같은 낮은 slew rate을 갖는다.

$$SR = \frac{I_{tail} \times N_{4,6}}{C_{load}} \quad (7)$$

$N_{4,6}$ 은 M4와 M6의 전류 거울 비이고,  $C_{load}$ 는 부하 커패시터이다. 만약  $I_{tail}$  또는  $N_{4,6}$ 이 증가한다면, 낮은 대기 전류의 요구에 반하게 된다. 그러므로 이러한 OTA 구조로 구성된 DC-DC 컨버터는 large-signal 변화가 발생하였을 때 느린 시간 천이 반응을 갖는다.

본 논문에서는 에러 앰프의 성능 향상을 위해 그림 8 처럼 새로운 OTA 구조를 설계하였다. M9-M12 트랜지

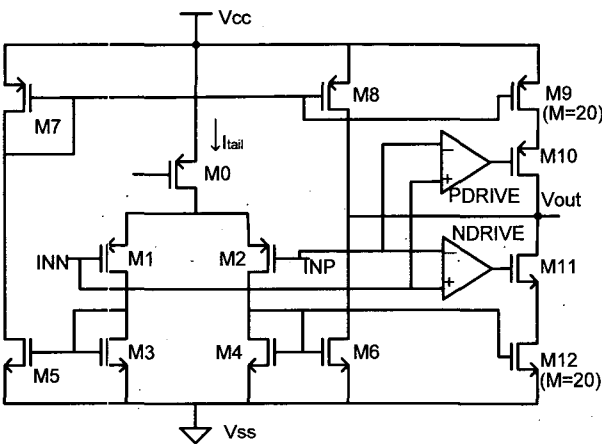


그림 8. 새로운 OTA  
Fig. 8. New OTA.

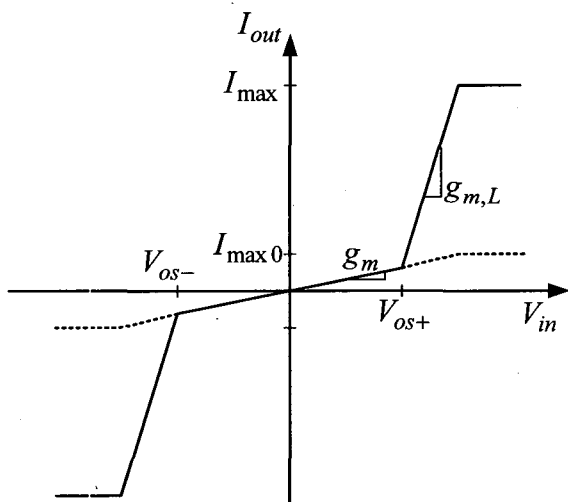


그림 9. 기존과 새로운 OTA의 트랜스컨덕턴스  
Fig. 9. Transconductance of the conventional and new OTA.

스터가 없으면 그림 7의 기존의 것과 동일한 앰프이다. 그러나 새로운 OTA는 PDRIVE와 NDRIVE 라는 각각의 비교기에 의해 제어되는 M10과 M11 트랜지스터가 스위치로서 동작을 하고, 스위치는 여분의 전류를 제어하는 역할을 한다. 비교기는 빌트-인 오프셋 전압을 갖고, quiescent 상태에선 스위치를 꺼지게 한다. DC-DC 컨버터의 출력 전압이 원하는 기준 전압과 차이가 있을 때 PDRIVE 또는 NDRIVE는 폭과 길이가  $2\mu\text{m}/0.5\mu\text{m}$ 인 M10 또는 M11 스위치를 동작시킨다. 동작된 스위치는 여분의 전류를 흘려준다.

최근에 부하 커패시터가 600pF인 평면 디스플레이에 적용한 유사한 앰프 구조가 [5][6]에 제안되었다. 개념적으로, M9과 M12가 제거된다면 그들의 아이디어는 이 논문의 것과 유사하고, 여분의 전류는 large-signal 동작하는 동안 공급된다. 그러나 평판 디스플레이에서 사용된 구조를 DC-DC 컨버터에 적용할 경우는 복잡한 피드백 시스템을 형성하고 있는 DC-DC 컨버터를 불안정하게 만든다. 이점에 대해선 뒤에 다시 설명된다.

그림 9는 트랜스컨덕턴스  $g_m$ 의 기울기를 갖는 에러 앰프의 단순화된 전압-전류 특성을 보여준다. 점선은 기존 OTA의 특성을, 실선은 새로운 OTA의 특성을 나타낸다. 만약 안정된 상태에서의 에러 앰프 입력 신호가 작다면 에러 앰프의 트랜스컨덕턴스  $g_m$ 은

$$g_m = g_{m1,2} \times N_{4,6} \quad (8)$$

트랜스컨덕턴스 식 (6)으로 표현 가능하다. 입력 신호가 커질 경우에는 새로운 OTA는 증가된 트랜스컨덕턴스를 갖는다. Large-signal 동작에서 새로운 트랜스컨덕턴스는

$$g_{m,L} = g_{m1,2} \times (N_{4,6} + N_{4,12}) \quad (9)$$

그림 9에서  $g_{m,L}$ 이 되는 경계는 비교기 PDRIVE 와 NDRIVE의 오프셋 전압  $V_{os}$ 에 의해 결정된다. 오프셋 전압은 비교기의 입력 differential pair의 빌트-인 불일치에 의해 조정된다. IV절에서 에러 앰프 설계 시,  $V_{os}$ 는 30mV로 설계했다. 에러 앰프의 입력은 그림 1의 각각의 값이 500k $\Omega$ 과 100k $\Omega$ 인  $R_3$ 와  $R_4$ 에 의해 조정되는 출력 전압의 값이다. 급격한 부하전류의 변화 등에 의해 DC-DC 컨버터 출력 전압의 변화가  $V_{os}$ 보다 크다면 새로운 OTA에서는 추가적인 전류가 공급되어 피드백 작용을 빠르게 해준다. 추가된 두개의 비교기에는 그림 7의 기본적인 구조가 사용되어졌다.

본 연구에서 개발된 OTA는 두 가지 새로운 장점을

가지게 된다. 첫 번째는 에러 앰프의 slewing 문제를 해결했다. 따라서 다음 절에서 설명하게 될 DC-DC 컨버터의 large-signal 동작 특성을 향상시킨다. 앞에서 언급한 바와 같이, 기존의 OTA 회로는 slewing 문제 때문에 느린 시간 천이 반응을 갖는다. 이 논문에서 설명한 에러 앰프는 이 문제를 극복하고 빠른 slew를 갖게 되었다.

두 번째는 여분 전류 공급단의 완전한 제어이다. 이것은 안정한 DC-DC 컨버터를 위해서 [5][6]에 제시된 높은 slew를 갖는 앰프 특성과 중요한 차이를 갖는다. 즉, 만약 그림 8에서 M9과 M12가 제거 된다면, M10과 M11은 전류 공급기로 동작을 하고 그것은 [5][6]의 앰프와 유사해 진다. 큰 부하 커패시턴스를 갖는 평면 디스플레이 같은 간단한 버퍼에 적용되는 경우, 그 버퍼는 하나의 극점을 갖는 단순한 시스템이다. 이 버퍼는  $g_m$ 이 변화 하더라도 안정하게 동작할 수 있다. 그러나 DC-DC 컨버터는 복잡한 보상으로 몇 개의 극점과 영점을 갖고, 보상기의 전압이득의 변화로 전체 피드백의 안정성에 영향을 미친다. 예를 들어, 만약 전류 공급기가 트라이오드 영역에서 동작한다면, 그 때의 트랜스컨덕턴스  $g_{m11}$ 은  $g_{m11} = \mu_n C_{ox} \frac{W}{L} V_{DS}$  가 될 것이다. 피드백 시스템의 보상 여유<sup>[3]</sup>는  $g_m R_1$ 이 결정하므로  $g_{m11}$  값은 중요하다. OTA의 전체 트랜스컨덕턴스  $g_{m,L}$ 에  $g_{m11}$ 이 미치는 영향은 다음과 같다.

$$g_{m,L} = g_{m1,2} \times N_{4,6} + A_{comp} \times g_{m11} \quad (10)$$

식 (10)에서  $A_{comp}$ 는 비교기의 전압이득이다. 앰프가 [5],[6]의 구조와 같다고 가정하면, 트라이오드 영역에서의 트랜스컨덕턴스는 M11의  $V_{out}-V_{ss}$  또는 M10의  $V_{cc}-V_{out}$ 과 같은  $V_{DS}$  값에 큰 관계가 있다. 그러므로 에러 앰프의 출력 전압이 변한다면, 전체 피드백 특성이 변하게 될 것이다. 또한 대부분의 DC-DC 컨버터는 증폭된 DC-DC 출력 값을 컨트롤러 자체 전원으로 사용하기 때문에 컨트롤러의  $V_{cc}$ 의 변화가 다양하게 생긴다. 이러한 많은 변화에 의해 일부 특정 조건에서 안정한 DC-DC 컨버터가 다른 조건에서 불안정하게 되는 현상을 유발할 수 있다. 이러한 결과는 뒤에서 나오는 실험 결과에서도 확인된다.

그러므로  $V_{cc}$ 와  $V_{out}$ 의 변화에 상관없이 안정하게 동작하는 에러 앰프가 필요하다. 새로운 OTA는 그림 8에서 M9/M7과 M12/M4를 갖는 전류 복사 비에 의해 여분 전류의 양이 결정되고 제어된다. 그 OTA의 전류가

잘 제어되므로 전류 복사에 의해 제어되는 앰프의 트랜스컨덕턴스 또한 제어할 수 있다. 그러므로  $g_m R_1$ 은  $V_{cc}$ 와  $V_{out}$ 의 변화에 상관없이 항상 잘 제어된다.

에러 앰프의 출력 스윙 범위는 출력 트랜지스터의 overdrive 전압에 의해 결정된다. 본 논문의 회로에서는 큰 출력 스윙을 얻기 위해 cascode 출력 단을 사용하지 않았다. cascode 단을 사용하는 대신에 출력 임피던스를 증가시키기 위해 출력 전류 복사 트랜지스터들인 M5 - M9 과 M12의 길이를 증가시켰다. 이러한 크기가 큰 트랜지스터들은 기생 커패시터도 같이 커져서 일반적으로는 문제가 될 수도 있지만, DC-DC 컨버터에서 사용되는 그림 5의 구조를 보면 이미 칩 외부에 매우 커다란 커패시터가 달려있기 때문에 기생 커패시터 성분은 무시할 수 있다.

#### IV. 시뮬레이션 결과

이 절에서의 HSPICE<sup>[7]</sup> 시뮬레이션은 0.5 $\mu$ m CMOS 공정 파라미터를 이용하여 수행되었다. 연구된 새로운 에러 앰프의 출력 대기 전류는 14 $\mu$ A로 설계되었고, 최대 출력 전류는 48 $\mu$ A까지 증가될 수 있다. 이 점은 앞 절에서 설명하였다. DC-DC 컨버터의  $L=33\mu$ H,  $C_0=22\mu$ F, 스위칭 주파수는 500kHz로 설계되었다. 그림 5의 보상회로의  $R_1=10k\Omega$ ,  $C_1=33nF$ ,  $C_2=100pF$ 이다. 이러한 수동소자들의 크기는 상업용 고주파 DC-DC 컨버터에서 흔히 사용되는 일반적인 값들이다.

컨트롤러의 부하 변동률을 측정하기 위해 1ms 때 부하전류를 100mA에서 300mA로 변화시켰다. 부하 전류의 스텝 변화는 큰 출력 커패시터  $C_0$ 를 방전시키므로, 전압 레벨이 떨어진다. 에러 앰프는 이 전압 강하를 감

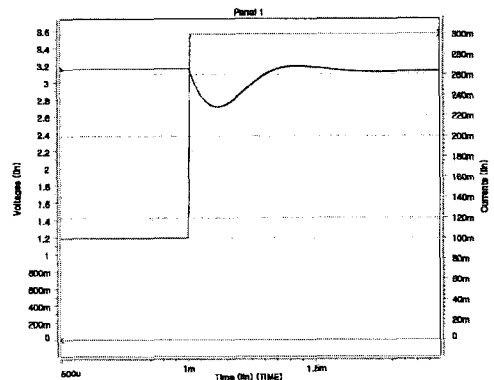


그림 10. 기존 OTA의 시간 천이 반응  
Fig. 10. Transient response with a conventional OTA.

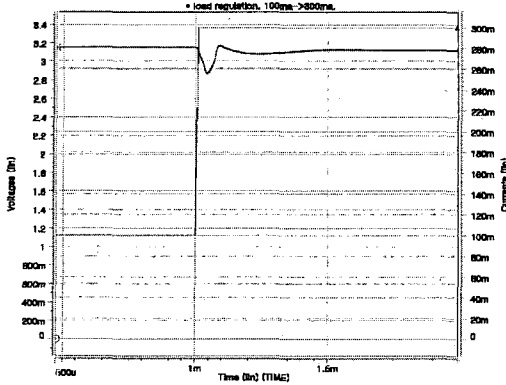


그림 11. 제안된 OTA의 시간 천이 반응  
 Fig. 11. Transient response with a proposed OTA.

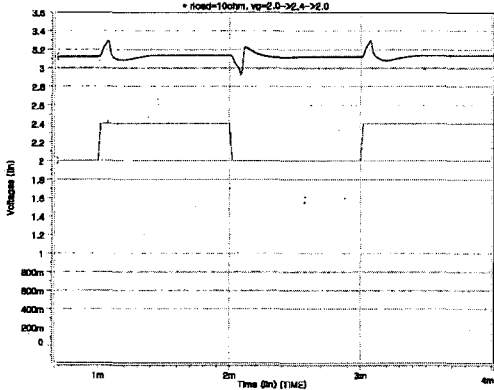


그림 12. 제안된 OTA의 라인 레귤레이션  
 Fig. 12. Line regulation with a proposed OTA.

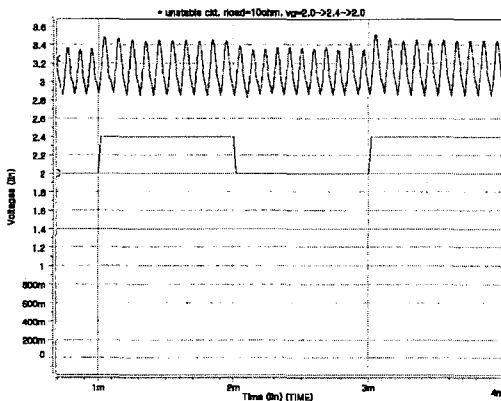


그림 13. 너무 큰 여분 전류가 공급되었을 때 불안정한 출력 전압  
 Fig. 13. Unstable output voltage when too much extra current is supplied.

지해서 PWM 펄스 폭을 증가시켜서 보상기의 출력 전압을 높인다. 빠른 시간 천이 반응을 얻기 위해선, 보상기의 출력 전압이 신속하게 증가해야 한다.

그림 10은 그림 7의 기존의 앰프<sup>[1]</sup>의 시뮬레이션 파

형이다. 이 파형에서 DC-DC 출력의 전압 강하와 복구가 느리게 진행되는 것을 알 수 있다. 부하 전류가 300mA보다 더 큰 전류가 흐르게 되면 출력 전압 강하는 더 심해진다.

새로운 OTA에 대해서도 1ms 때 부하 전류의 스텝 변화를 100mA에서 300mA로 인가하여 시간 천이 반응을 측정하였다. 그림 11은 기존의 회로보다 출력 전압 강하가 작게 발생한 것을 보여준다. 출력 전압의 변화가 크면, 새로운 앰프는 빠른 settling을 위해 여분 전류를 공급한다. 출력 전압이 복구되고 DC-DC 출력 전압이 목표치에 도달한 후에, 여분 전류는 흐르지 않게 된다. 즉 커패시터 전압과 저항에 흐르던 전류에 의해 결정되었던 보상기의 출력전압은 일시적으로 하강하여 보상기의 출력은 커패시터에 충전된 전압으로만 결정된다. 이 전압은 아직 완전히 안정화되지 못한 값으로 충분히 높지 않다. 따라서 DC-DC 출력 전압은 일시적으로 조금 떨어지고 때문에 PWM 듀티 비가 변한다. 이러한 현상에 의해 그림 11에서 보여주듯이 출력전압은 최종 값에서 약간 하락한 후 다시 안정화 과정을 거치게 된다. 즉 여분 전류 공급기의 도움 없이 기존의 회로처럼 최종 전압으로 안정화 되는 과정을 보여준다.

성능 테스트를 위한 또 다른 실험으로, 부하 테스트를 위해 2.0V에서 2.4V의 스텝 입력 전압 값을 그림 12의 아래쪽 그래프와 같이 인가하였다. 이때 DC-DC 컨버터의 부하 저항은 10Ω으로 맞추었다. 그림 12의 위쪽 그래프인 출력 전압은 입력 전압이 변하였을 때 급격한 변화를 나타내지만 에러 앰프와 그 외의 피드백 회로 소자에 의해 빠른 회복을 보여준다. 이 논문에서 강조점은 DC-DC 컨버터의 안정적인 동작을 위해 잘 컨트롤되고 있는 최대 여분 전류와 트랜스컨덕턴스이다.

만약 트랜스컨덕턴스가 잘 조절되지 못한 경우를 가정하여, 그림 9의 에러 앰프  $g_{mL}$ 이 5배 증가한 OTA를 사용한 실험의 경우 그림 13에서처럼 출력 전압의 발진 가능성을 보여준다. 이 경우 출력 전압은 안정되지 못하고 계속 발진한다.

V. 결론

빠른 시간 천이 반응과 낮은 대기 전류는 둘 모두 중요한 사항이다. 그러나 DC-DC 컨버터에서 이 두 가지 사항은 상반되는 설계 요구 조건이 된다. 본 논문에서는 이러한 두 가지 요구 조건을 동시에 만족시키기

위해서 효율적인 앰프 구조를 설계하였다. 설계된 에러 앰프에서는 큰 신호 변화 동안에는 공급 전류가 효율적으로 증가하고 일반 동작 중에는 작은 대기 전류를 유지한다. 또한 시스템의 안정성을 유지하기 위해서 이 논문에서 제안된 에러 앰프의 트랜스컨덕턴스는 잘 컨트롤 되고 있음을 보여준다. 시뮬레이션 결과는 DC-DC 컨버터의 빠르고 안정적인 동작을 보여주고 있다.

참 고 문 헌

[1] C. F. Lee, and P. K. T. Mok, A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique, IEEE J. of Solid-State Circuits, vol. 39, pp.3-14, January 2004.

[2] R. W. Erickson, and D. Maksimovic, Fundamentals of power electronics, 2nd edition, KAP, 2001.

[3] A. I. Pressman, Switching power supply design, second edition, McGraw-Hill, 1998.

[4] P. T. Krein, Elements of power electronics Oxford, 1998.

[5] P.-C. Yu, and J.-C. Wu, A class-B output buffer for flat-panel-display column driver, IEEE J. of Solid-State Circuits, vol. 34, pp.116-119, January 1999.

[6] C.-W. Lu, and C. L. Lee, A low-power high-speed class-AB buffer amplifier for flat-panel-display application, IEEE Trans. on VLSI Systems, vol. 10, pp.163-168, April 2002.

[7] Meta-Software, HSPICE user's manual, Release 1998.2, July 1998.

저 자 소 개



김 인 석(학생회원)  
 2005년 한양대학교 전자컴퓨터 공학과 학사 졸업  
 2005년~현재 한양대학교 전기전자 제어계측공학과 석사과정  
 <주관심분야 : System IC design, DC-DC converter>



노 정 진(정회원)  
 1990년 한양대학교 전기공학과 학사 졸업  
 1996년 삼성전자 선임 연구원  
 1998년 미국 Pennsylvania State University 전기공학 석사 졸업

2001년 Intel. USA, senior design engineer  
 2001년 University of Texas at Austin. 컴퓨터공학 박사.  
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터 공학부 조교수  
 <주관심분야 : CMOS DC-DC converter 설계, Over-sampling delta-sigma data converters>



류 성 영(학생회원)  
 2004년 한양대학교 전자컴퓨터 공학과 학사 졸업  
 2006년 한양대학교 전기전자제어 계측공학과 석사 졸업  
 2006년~현재 삼성전자 System LSI 연구원

<주관심분야 : System IC design, Over-sampling delta-sigma data converter>