

논문 2006-43SD-12-1

자동 온도 보상 기법을 이용한 CMOS 내부 전원 전압 발생기

(CMOS Voltage down converter using the self temperature-compensation techniques)

손 종 필*, 김 수 원**

(Jongpil Son and Soowon Kim)

요 약

본 논문에서는 자동 온도 보상 기법을 사용한 on-chip CMOS 내부 전원 전압 발생기를 제안하였다. PMOSFET의 경우, 게이트 바이어스 전압에 따라 온도의 변화에 대한 소오스-드레인간 전류 특성이 달라진다. 제안된 내부 전원 전압 발생기는 서로 다른 게이트 바이어스 전압에 두 개의 PMOSFET를 놓고, 이의 온도에 대한 서로 상이한 소오스-드레인간 전류 특성을 이용하여 내부 전원 전압 발생기 전체의 온도 의존도를 줄였다. 제안된 회로는 동부-아남 0.18 μm 공정을 이용하여 제작되었으며, 측정 결과로 내부 전원 전압은 $-10^{\circ}\text{C}\sim 100^{\circ}\text{C}$ 의 범위에서 $-0.49\text{mV}/^{\circ}\text{C}$ 의 온도 의존도를 보였으며 $2.2\text{V}\sim 4.0\text{V}$ 의 동작 범위에서 외부 전압에 대하여 내부 전원 전압의 변화는 $6\text{mV}/\text{V}$ 를 나타내었다. 전체 전류소모는 $1.1\mu\text{A}@2.5\text{V}$ 로 저전력을 구현할 수 있었다.

Abstract

An on chip voltage down converter (VDC) using the self temperature-compensation techniques is proposed. At a different gate bias voltage, PMOSFET shows different source to drain current characteristic according to the temperature variation. The proposed VDC can reduce its temperature dependency by the source to drain current ratio of two PMOSFET with different gate bias respectively. Proposed circuit is fabricated in Dongbu-anam 0.18 μm CMOS process and experimental results show its temperature dependency of $-0.49\text{mV}/^{\circ}\text{C}$ and external supply dependency of $6\text{mV}/\text{V}$. Total current consumption is only $1.1\mu\text{A} @ 2.5\text{V}$.

Keywords : VDC, Mobility, Threshold, Reference, Temperature

I. 서 론

최근 CMOS 공정은 집적도의 증가와 더불어 그 스케일이 점점 작아지고 있고, MOSFET이 신뢰성을 가지고 동작할 수 있는 전원 전압도 함께 작아지고 있다. 설계된 IC가 높은 전원 전압에 직접 연결된다면, Hot carrier effect와 같은 현상으로 인한 신뢰성 문제와 IC의 높은 전력 소모가 일어난다. 이런 관점에서 칩 내부

에 내장된 내부 전원 전압 발생기(Voltage down converter, VDC)는 신뢰성 문제와 전력 소모의 좋은 해결책이다.^[1] 또한 VDC를 사용함으로써, 설계된 IC는 공정 스텝의 추가 없이 넓은 범위의 공급 전원을 가질 수 있다. 이상적인 VDC는 외부 전압이나 온도의 변화에 상관없이 일정한 내부 전압을 출력해야 하지만, 실제로 제한된 전류 소모나 공정 조건 등으로 인해 이상적인 특성은 기대하기 어렵기 때문에, 외부 환경 변화에 둔감한 내부 전원 전압 발생기를 만들기 위한 노력이 계속되고 있다.^{[1]-[5]} 밴드갭 기준 전압(Bandgap reference, BGR)발생기는 안정된 전압을 발생하기 위해 널리 알려진 방법이다.^{[1][2]} BGR 발생기는 BJT자체가 가지고 있는 에너지 준위를 이용하여 온도 변화에도 일정한 기준 전압을 형성하는 방법이나, BJT의 특성상 CMOS와는

* 학생회원, ** 정회원, 고려대학교 전자컴퓨터공학과
(Department of Electronics and computer Engineering, Korea University)

※ 본 과제(결과물)는 교육인적자원부, 산업자원부, 노동부의 출연금으로 수행한 최우수실험실지원사업의 연구결과입니다.

접수일자: 2006년7월21일, 수정완료일: 2006년9월28일

달리 정 전류가 없이는 회로가 동작할 수 없기 때문에 소비 전력이 CMOS의 경우보다 크다. 또한 CMOS 공정에서 BJT를 구현하기 위하여 내부 기생 BJT를 이용하므로 그 특성이 좋지 않은 단점이 있다. 한편 CMOS로 구현된 내부 전원 전압 발생기는 BJT로 만든 것에 비해 상대적으로 온도의 변화에 좋지 않은 특성을 나타내고^{[3][4]}, 이를 보완하기 위한 부가적인 전력을 소모하는 온도 보상 회로를 필요로 한다.^[5] 본 논문에서는 새로운 온도 보상 기법을 이용하여 이러한 부가적인 보상 회로와 특별한 다른 공정의 사용 없이도 설계 가능한 내부 전원 전압 발생기를 제안하였다. 그림 1은 제안된 내부 전원 전압 발생기의 구조를 나타낸다.

그림 1에서 보이는 제안된 VDC회로의 구조 중 첫 번째 블록(Ref. generator)은 기준 전압 Vref를 생성한다. 동작 환경에 둔감한 높은 기준 전압을 생성하는 것이 상대적으로 낮은 기준전압을 생성하는 것보다 더 어렵기 때문에, 처음 생성된 Vref는 회로의 전원 전압보다 낮은 값을 가진다.^[6] 두 번째 블록은 입력된 Vref를 이용하여 전원 전압 레벨 수준의 높은 기준 전압(Vsref)을 발생시킨다. 보통 이 Gain stage는 차동증폭기와 그 출력을 두 개의 저항으로 나누어서 다시 입력으로 귀환시키는 구조이며, 두 저항의 비율에 의하여 Vsref의 크기가 정해진다. 마지막 블록은 Voltage follower로서 출력 단에 낮은 임피던스를 제공하기 위하여 사용된다.^[3]

첫 번째 단 출력 Vref는 그림 1의 특성 곡선에서 알 수 있듯이, 실제 온도에 비례하여 조금씩 그 값이 낮아지므로 음의 온도 의존도를 가진다. 일반적으로 두 번째 단에서 Vref를 저항 비율에 따라 높여 Vsref를 출력하기 때문에 첫 번째 단의 온도 의존도역시 비율에 따라 더 커지게 된다.^{[1][2]} 본 논문에서는 추가적인 보상회로 없이, 자동 온도 보상 기법을 이용하여 저항의 비율이 온도에 따라 변화하도록 하여 낮은 온도 의존도를 갖는 회로를 설계하였다.

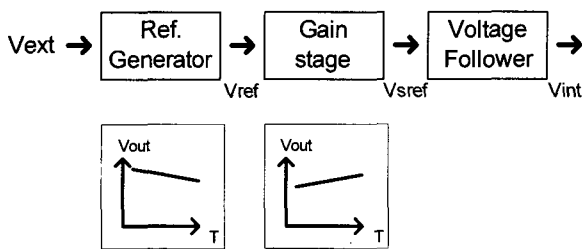


그림 1. 제안된 내부 전원 전압 발생기의 구조
Fig. 1. Proposed voltage down converter architecture.

II. 본 론

1. PMOS의 소오스-드레인간 전류의 온도 특성
포화 영역에 바이어스 되어 있는 Long channel PMOS의 소오스와 드레인사이에 흐르는 전류 식은,

$$I_{sd} = \frac{\mu_p C_{OX}}{2} \frac{W}{L} (V_{sg} - |V_{tp}|)^2 / m \quad (1)$$

로 표기할 수 있다.^{[7][8]} 여기서 μ_p 는 carrier mobility이고, C_{OX} 는 oxide capacitance, V_{tp} 는 threshold voltage, m 은 body-effect coefficient를 나타낸다. 알려진 바와 같이 carrier mobility와 threshold voltage는 온도에 따라 변화하는 특성을 가지고 있다.

온도에 대한 두 인자는 서로 상반되는 특성을 가지고 있다. 주어진 동작 온도 범위(-10°C~100°C)에서, Carrier mobility는 phonon의 scattering에 의하여 온도의 증가에 따라 점점 감소하게 되고, 잘 알려진 것과 같이 식 $\mu \propto T^{-3/2}$ 로 표현 될 수 있다.

Threshold voltage의 경우에는 온도 특성이 실리콘의 band gap과 MOSFET의 실리콘 페르미 준위와 intrinsic 준위(ψ_B)의 온도 특성에 영향을 받는다.^[7] 이 요소들은 실제 실리콘의 이온 doping 농도에 따라 온도 특성이 달라지며, 동부-아남 0.18 μ m 공정에서는 온도 증가에 따라 거의 선형적으로 반비례한다.

그림 2에 동부-아남 0.18 μ m 공정에서 carrier mobility와 threshold voltage의 온도 변화 특성을 나타내었다. 온도가 -10°C에서 100°C까지 증가할 때, carrier

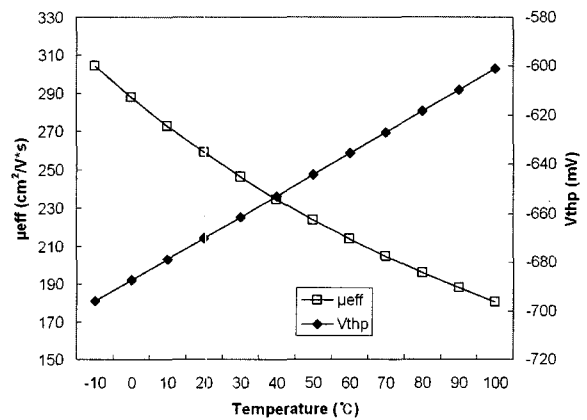


그림 2. 동부-아남 0.18 μ m 공정상 PMOS의 mobility와 threshold voltage의 온도 특성 (L=50 μ m)
Fig. 2. Temperature characteristics of mobility and threshold voltage of PMOS using Dongbu-Anam 0.18 μ m process. (L=50 μ m)

mobility가 41%가량 감소하였고, threshold voltage는 절대치가 95mV 감소한 것을 볼 수 있다.

이를 수식을 통해 살펴보면, PMOS의 포화 전류는 온도에 따라 바뀌며, 이는 carrier mobility와 threshold voltage의 변화에 기인한다. 식 (1)에 나타난 포화 전류를 온도에 대하여 미분 하면,

$$\frac{\partial I_{sd}}{\partial T} = \{A\mu_p(T)(V_{sg} - |V_{tp}(T)|)^2\} / \partial T \quad (2)$$

가 된다. 단, 여기서 $A = \frac{C_{ox} W}{2m L}$ 이다. 식(2)는 $V_{sg} - |V_{tp}|$ 에 대하여 음의 계수를 가지는 2차식으로 나타내어지며,

$$\begin{aligned} V_{sg} - |V_{tp}| &= 0, \\ V_{sg} - |V_{tp}| &= 2\mu_p(T) \frac{\partial |V_{tp}(t)|}{\partial T} / \left(\frac{\partial \mu_p(T)}{\partial T} \right) \end{aligned} \quad (3)$$

에서 두 근을 가진다.

따라서 $V_{sg} - |V_{tp}|$ 가 첫 번째 근인 0보다 크고 두 번째 근인 $2\mu_p(T) \frac{\partial |V_{tp}(t)|}{\partial T} / \left(\frac{\partial \mu_p(T)}{\partial T} \right)$ 보다 작은 영역에 있다면, PMOS의 소오스와 드레인 간 흐르는 전류는 온도에 대하여 증가한다. 만약, $V_{sg} - |V_{tp}|$ 가 두 번째 근보다 큰 영역에 있다면 온도에 따라 그 전류가 감소하는 특성을 보일 것이다.

그림 3에 동부-아남 0.18 μ m 공정에서 시뮬레이션된

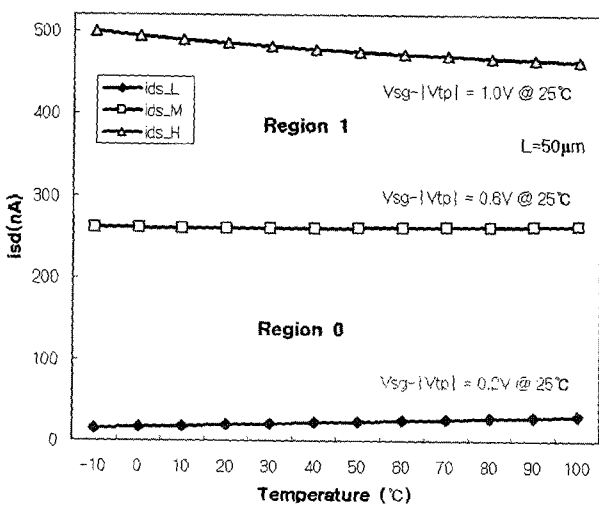


그림 3. $V_{sg} - |V_{tp}|$ 에 따른 PMOS 포화 전류의 온도 특성 (단, $V_{gd} = 0$)

Fig 3. Temperature characteristics of PMOS saturation currents according to the value of $V_{sg} - |V_{tp}|$. ($V_{gd} = 0$)

PMOS 포화 전류의 온도에 대한 특성을 보였다. 그림에서 나타나듯이 $V_{sg} - |V_{tp}|$ 가 0.6보다 낮은 영역 (Region 0)에서는 온도에 대하여 소오스-드레인간 전류가 증가하는 경향을 보이고, $V_{sg} - |V_{tp}|$ 가 0.6보다 큰 영역에서는 반대로 온도에 대하여 전류가 감소하는 경향을 나타낸다.

2. 기준 전압 발생기

그림 4는 제안된 내부 전원 전압 발생기에서 첫 번째 블록인 CMOS 기준 전압 발생기를 나타낸 것이다.^[9] 이 회로는 저항 R1에 의하여 낮은 전력을 소모하고, 출력 값은,

$$V_{ref} = |V_{tp}| \left(1 + \frac{R_{eq}}{R2} \right) \quad (4)$$

으로 주어지며, 여기서 R_{eq} 는 N1, N2의 직렬등가 저항이다. 앞에서 설명한 바가 NMOS에도 그대로 적용될 수 있으므로 V_{ext} 가 충분히 크다면 R_{eq} 는 양의 온도 계수를 가지게 되고, V_{tp} 는 음의 온도 계수를 가진다. 따라서 V_{ref} 는 이들 온도 계수의 상보적인 특성으로 인하여 온도의 증가에 따라 둔감한 특성을 보여야만 한다. 실제로 이 기준 전압 발생기는 온도 변화에 대하여 비교적 안정된 전압을 출력하지만, R_{eq} 가 외부 공급 전압(V_{ext})의 변화에 따라 변하게 되므로, 외부 전압의 변동에는 민감한 특성을 보인다.

외부 전압에 대한 의존도를 낮추기 위해서는, R_{eq} 의 값은 외부 전압의 크기에 따라 그 값이 바뀌기 때문에 식(4)에 따라 저항 R2 값을 매우 키워야만 한다. 그렇지만 저항 R2 값을 키움으로써, R_{eq} 의 온도 계수가 작아지고 $|V_{tp}|$ 의 온도 계수 영향이 상대적으로 커지므로, V_{ref} 는 보다 커진 온도 의존도를 보인다.

따라서 제안된 CMOS 기준 전압 발생기는 외부 전압 의존도와 온도 의존도 사이에 trade-off 관계가 있으며,

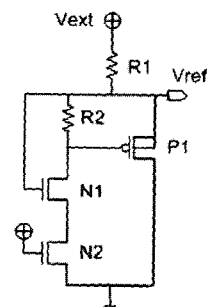


그림 4. CMOS로 구현된 기준 전압 발생기

Fig 4. CMOS Reference Voltage Generator.

설계 시 위 두 영향을 충분히 고려하여야 한다.

실제로 제안된 기준 전압 발생기의 측정된 결과에 의하면, 2.51mV/V의 외부 전압 의존도와 -0.49mV/°C의 온도 의존도를 보인다.

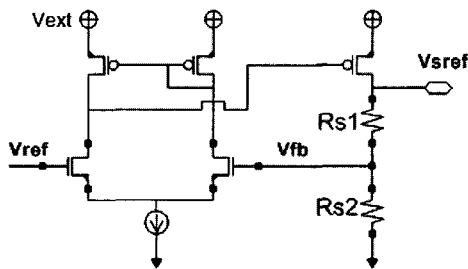
3. 자동 온도 보상 기법을 이용한 Gain stage

첫 번째 단에서 생성된 Vref는 뒤따르는 Gain stage에 의하여 내부 전원 전압 수준의 보다 높은 기준 전압 Vsref로 출력되게 된다. 그림 5 (a)에는 차동 증폭기로 구성된 Gain stage의 회로도가 나타나 있다. 이 회로의 출력은 저항 Rs1과 Rs2에 의하여 나누어지고, 나뉜진 노드 전압 Vfb가 Vref와 비교된다. 이러한 귀환은 Vfb가 Vref와 같아지도록 하여 결국 출력 전압 Vsref는,

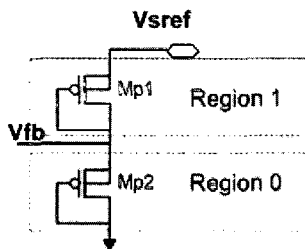
$$Vsref = Vref \left(1 + \frac{Rs1}{Rs2} \right) \quad (5)$$

로 나타낼 수 있다.

식 (5)에 따르면, Gain stage의 출력 Vsref의 온도 의존도는 첫 번째 기준 전압 Vref가 가지는 온도 의존도를 주어진 저항비 $\frac{Rs1}{Rs2}$ 로 곱하게 되어 더욱 큰 값을 가진다. Rs1과 Rs2가 수동 저항 소자라면, 저항 비는



(a)



(b)

그림 5. 자동 온도 보상 기법을 이용한 Gain stage : (a) 차동 증폭기로 구현된 Gain stage (b) 자동 온도 보상을 위한 Divider 구성

Fig. 5. Gain stage with self temperature compensation technique : (a) Gain stage implemented with differential amplifier (b) Divider for self temperature compensation.

온도에 거의 변함이 없게 되고 최종적으로 얻어지는 출력 Vsref는 큰 온도 의존도를 보인다. 본 논문에서는 그림 5(b)에 보인 바와 같이, 게이트와 드레인을 묶은 두 PMOS를 저항 대신 사용하였다.

앞에서 설명한 것과 같이, PMOS에서 소스에서 드레인으로 흐르는 전류는 게이트전압의 바이어스 조건에 따라서 서로 다른 온도 특성을 보인다. Vref의 값은 외부 전압 의존도를 줄이기 위해서 PMOS의 threshold 전압 근처에 있고, 따라서 Mp2는 전술한 Region 0에서 동작된다. 만약 PMOS의 channel length가 threshold voltage를 조절하기 위하여 reverse short channel effect^[10]에 의하여 tuning 되어진다면 더욱 쉽게 Mp2를 Region 0에서 동작시키도록 할 수 있다.

이와 반대로 Mp1의 경우 $Vsg - |Vtp|$ 를 0.6V이상에 놓으면 Region 1에서 동작하게 된다. 본 논문에서는 목표된 Vsref의 값은 2.1V이고, Vref는 860mV이며, Vtp는 600mV정도에 있으므로, Mp1이 Region 1에서 동작할 수 있도록 설계하였다.

이렇게 함으로써 두 PMOS의 등가 저항 비가 온도의 변화에 따라 그 값이 변화한다.

그림 6은 동부-아남 0.18μm 공정에서 시뮬레이션된 온도 변화에 대한 두 PMOS의 등가 저항 비율의 변화를 보여준다. 온도가 증가하면 저항비도 따라서 증가하는 것을 볼 수 있다. 결과적으로 이러한 온도에 대한 저항 비의 변화를 이용해서 첫 번째 기준 전압 Vref의 온도 의존도를 보상할 수 있다. 또한 전술한 바와 같이 reverse short channel effect를 이용하여 크기를 조절한다면 보상 범위를 더욱 넓힐 수도 있다. 따라서 부가적인 외부 보상 회로가 없이, 제안된 방법을 사용하여 더 안정적인 내부 전원 전압 발생기를 만들 수 있다.

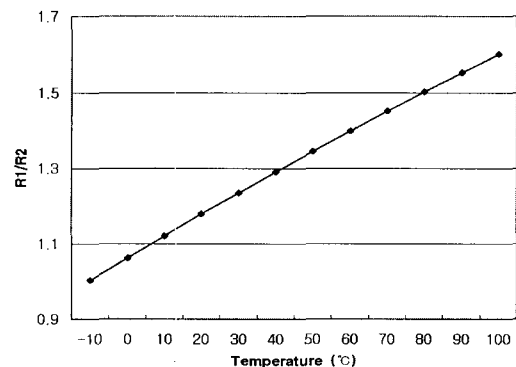


그림 6. 온도 변화에 따른 PMOS 등가 저항 비율의 변화
Fig. 6. The equivalent resistance ratio variation of two PMOSs according to the temperature variation.

III. 실험

제안된 회로는 동부-아남 0.18 μm 공정을 통하여 시물레이션 후 제작되었다. 전체 칩 면적은 1000 μm x 229 μm 이며, 전력 소모를 줄이기 위한 저항이 차지하는 비율이 80%이상이다.

그림 7에서 제안된 칩의 layout과 제작된 Die의 microphotograph를 함께 보여주고 있다. MOSFET이 아닌 일반 저항으로 제작된 Gain stage도 비교를 위하여 함께 포함되어 있다.

그림 8에 제작된 칩으로부터 측정된 결과를 나타내었다. 제안된 내부 전원 전압 발생기는 동작 전원 전압 범위 (2.2V~4.0V)에서 6mV/V의 외부 전압 의존도를 보였다. 이것은 제안된 첫 번째 단에서 후에 보상되어질 온도 의존도를 고려하여 외부 전압 의존도를 줄이는데 중점을 두어 설계되어진 결과이다.

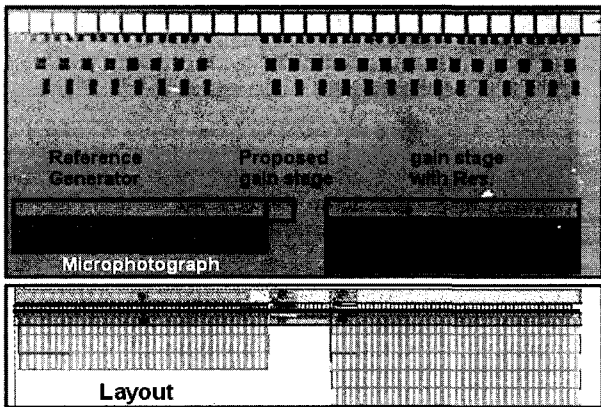


그림 7. 제안된 VDC의 layout과 microphotograph
Fig. 7. Layout and microphotograph of the proposed VDC.

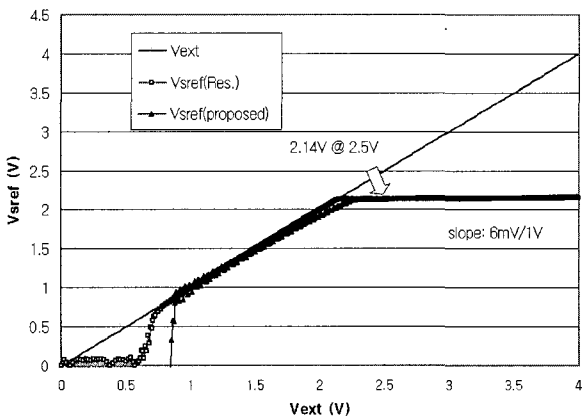


그림 8. 제안된 VDC의 외부 전압 변화에 따른 측정 결과
Fig. 8. Measured output data of the proposed VDC according to the variation of external voltage.

그림 9에 제안된 VDC의 온도 변화에 따른 측정 결과를 보였다. 첫 번째 기준 전압 발생기는 주어진 온도

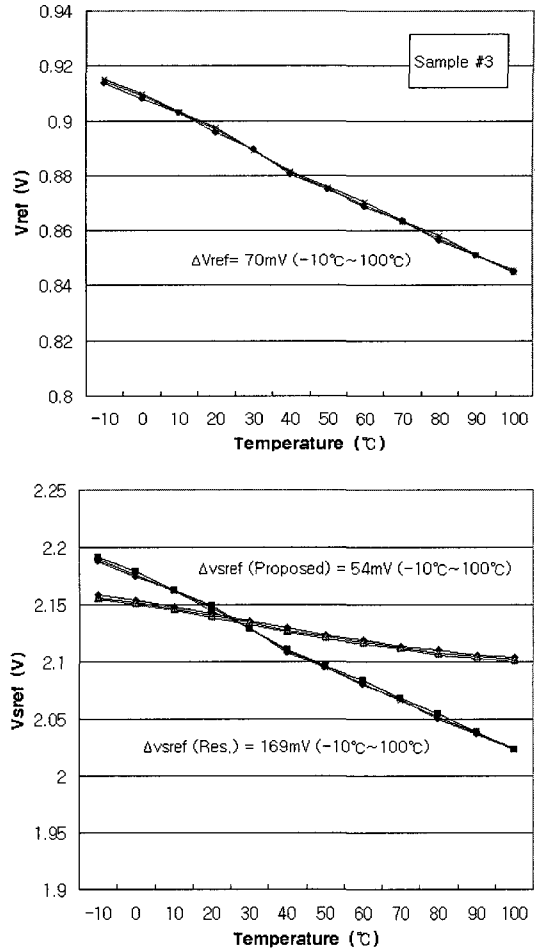


그림 9. 제안된 VDC의 온도 변화에 따른 측정 결과
Fig. 9. Measured data of the proposed VDC according to the temperature variation.

표 1. 제안된 내부 전원 전압 발생기의 특성
Table 1. Characteristics of the proposed VDC.

	Proposed VDC	VDC with resistors
Area (gain stage)	193 μm x 70 μm	805 μm x 229 μm
외부 전압 의존도 (2.2V~4.0V)	6mV	6mV
온도 의존도 (-10°C~100°C)	-0.49mV/°C	-1.54mV/°C
Current consumption@ 2.5V	1.1 μA	1.6 μA

구간 ($-10^{\circ}\text{C} \sim 100^{\circ}\text{C}$)에서 70mV 의 전압 변동을 보였으며 수동 저항 소자로 이루어진 Gain stage에 의해 그 값이 169mV 로 증폭되었다. 반면 제안된 자동 온도 보상 기법을 이용한 Gain stage에 의한 출력은 주어진 구간동안 54mV 로 훨씬 줄어든다. 이는 아무런 보상이 없을 경우의 변동량의 31%에 불과한 크기이며, 제안된 온도 보상 기법이 유효한 설계 방법임을 의미한다.

최종적으로 제안된 회로의 특성을 표1에 요약하였다.

IV. 결 론

본 논문에서는 자동 온도 보상 기법을 이용한 저전력 내부 전원 전압 발생기를 제안하였다. 제안된 자동 온도 보상 기법은 부가적인 보상회로나 전력 소모를 필요하지 않으며, VDC의 온도 의존도를 줄이기 위하여 다만 PMOS의 소오스와 드레인간 전류의 온도 특성을 이용하였다. 제안된 회로는 동부-아남 $0.18\mu\text{m}$ CMOS공정을 이용하여 제작되었으며, 측정 결과 동작 전압 구간 ($2.2\text{V} \sim 4.0\text{V}$)에서 외부 전원 전압 변동에 대하여 6mV/V 의 외부 전압 의존도를 보였으며, 동작 온도 범위 ($-10^{\circ}\text{C} \sim 100^{\circ}\text{C}$)에서 $-0.46\text{mV}/^{\circ}\text{C}$ 의 온도 의존도를 나타내었다. 또한 저전력 소모도 함께 고려되어 설계되었으며, 측정 결과로 2.5V 에서 전류소모는 $1.1\mu\text{A}$ 에 불과하였다. 향후 레이저 트리밍과 같은 미세 조정 기법이 함께 사용된다면 더욱 좋은 결과를 얻을 수 있을 것으로 기대한다.

참 고 문 헌

- [1] Q. Zhou, M. Yu, J. Ma and Y. Ye, "On-Chip DC-DC Voltage Down Converter for low-power IC Chip", 6th International Conference On ASIC(ASICON 2005), Vol.1, pp. 646-650, Oct. 2005.
- [2] E. Kussener, H. Barthelemy, A. Kaiser, A. Roberts, and A. Malherbe, "New Regulated Voltage down converter based on modified band-gap cells", Proceedings of the 26th European Solid-State Circuits Conference (ESSCIRC '00), pp. 304 - 307, Sept. 2000.
- [3] K. Ishibashi, K. Sasaki and H. Toyoshima, "A Voltage Down Converter with Submicroampere Standby Current for Low-Power Static RAM's", IEEE Journal of Solid-State Circuits, Vol.27, Issue 6, pp. 920-926, Jun. 1992.
- [4] S. Jou and T. Chen, "On-chip voltage down converter for low-power digital system", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 45, Issue 5, pp. 617 - 625, May 1998.
- [5] J. Sim, H. Yoon, K. Chun, H. Lee, S. Hong, K. Lee, J. Yoo, D. Seo and S. Cho, "A 1.8-V 128-Mb Mobile DRAM with Double Boosting Pump, Hybrid Current Sense Amplifier, and Dual-Referenced Adjustment Scheme for Temperature Sensor", IEEE Journal of Solid-State Circuits, Vol. 38, Issue 4, pp.631 - 640, Apr. 2003.
- [6] 유희준, "DRAM Design", 홍릉과학출판사, pp. 222-225, 1996.
- [7] Y. Taur and T. H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press, pp. 129-132, 1998.
- [8] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas", IEEE Journal of Solid-State Circuits, Vol. 25, Issue 2, pp. 584-594, Apr. 1990.
- [9] S. Yoo, E. Haq, S. Lee, Y. Choi, S. Cho, N. Kang and D. Chin, "Variable Vcc design techniques for battery-operated DRAM's", IEEE Journal of Solid-State Circuits, Vol. 28, Issue 4, pp 490-498, Dec. 1989.
- [10] C. Mazure and M. Orlowski, "Guidelines for Reverse Short-Channel Behavior", IEEE Electron Device Letters, Vol. 10, Issue 12, pp. 556 - 558, Dec. 1989.

저 자 소 개



손 종 필(학생회원)
 1996년 성균관대학교
 전자공학과 학사 졸업.
 1998년 성균관대학교
 전자공학과 석사 졸업.
 1998년~현재 삼성전자
 반도체총괄.

2005년~현재 고려대학교 전자컴퓨터공학과
 박사과정

<주관심분야 : 저전력 회로 설계, Memory >



김 수 원(정회원)
 1974년 고려대학교
 전자공학과 학사 졸업.
 1976년 고려대학교
 전자공학과 석사 졸업.
 1983년 Texas A&M University
 전기공학과 석사 졸업.

1987년 Texas A&M University 전기공학과
 박사 졸업.

1987년~현재 고려대학교 전기전자전파공학부
 교수

<주관심분야 : 고성능 SOC 설계>