

논문 2006-43SD-12-7

초광대역 통신시스템 응용을 위한 이중채널 6b 1GS/s 0.18um CMOS ADC

(A Dual-Channel 6b 1GS/s 0.18um CMOS ADC for Ultra Wide-Band
Communication Systems)

조영재*, 유시욱*, 김영록*, 이승훈**

(Young-Jae Cho, Si-Wook Yoo, Young-Lok Kim, and Seung-Hoon Lee)

요약

본 논문에서는 초광대역 통신시스템 응용을 위한 이중채널 6b 1GS/s A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 1GS/s의 신호처리속도에서 전력, 칩 면적 및 정확도를 최적화하기 위해 인터폴레이션 기반의 6b 플래시 ADC 회로로 구성되며, 입력 단에 광대역 열린 루프 구조의 트랙-앤-홀드 증폭기를 사용하였으며, 넓은 입력신호범위를 처리하기 위한 이중입력의 차동증폭기와 함께 래치 단에서의 통상적인 킱-백 잡음 최소화기법 등을 적용한 비교기를 제안하였다. 또한, CMOS 기준 전류 및 전압 발생기를 온-칩으로 집적하였으며, 디지털 출력에서는 새로운 버블 오차 교정회로를 제안하였다. 본 논문에서 제안하는 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며, 1GS/s의 동작속도에서 SNDR 및 SFDR은 각각 최대 30dB, 39dB를 보이며, 측정된 시제품 ADC의 DNL 및 INL은 각각 1.0LSB, 1.3LSB 수준을 보여준다. 제안하는 이중채널 ADC의 칩 면적은 4.0mm²이며, 측정된 소모 전력은 1.8V 전원 전압 및 1GS/s 동작속도에서 594mW이다.

Abstract

This work proposes a dual-channel 6b 1GS/s ADC for ultra wide-band communication system applications. The proposed ADC based on a 6b interpolated flash architecture employs wide-band open-loop track-and-hold amplifiers, comparators with a wide-range differential difference pre-amplifier, latches with reduced kickback noise, on-chip CMOS references, and digital bubble-code correction circuits to optimize power, chip area, and accuracy at 1GS/s. The ADC implemented in a 0.18um 1P6M CMOS technology shows a signal-to-noise-and-distortion ratio of 30dB and a spurious-free dynamic range of 39dB at 1GS/s. The measured differential and integral non-linearities of the prototype ADC are within 1.0LSB and 1.3LSB, respectively. The dual-channel ADC has an active area of 4.0mm² and consumes 594mW at 1GS/s and 1.8V.

Keywords : ultra wide-band, flash, kickback, CMOS, ADC

I. 서론

최근 엄청난 속도로 발전하고 있는 VLSI 미세공정기술 및 고속 디지털 신호처리기술과 더불어, 하나의 칩

상에 많은 시스템이 집적되는 System-on-a-Chip (SoC)에 대한 연구가 활발하게 진행되면서, 고화질 비디오 시스템, 차세대 개인휴대용 통신기기, 고속 디지털 통신망, 군사 통신시스템 및 의료용 장비 등의 입출력에 필수적으로 사용되는 고성능 ADC의 요구도 빠르게 증가하고 있다. 특히, 시간과 공간의 제약을 받지 않는 유비쿼터스 (ubiquitous) 개인 무선통신망 (Wireless Personal Area Network : WPAN) 기술의 필요성이 점

* 정회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)
※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」
및 산업자원부 시스템2010과제에 의해 지원되었음.
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

차 대두되고, 이러한 WPAN을 구현할 수 있는 첨단무선 통신기술인 초광대역 (Ultra Wide-Band : UWB) 통신기술은 고속 디지털 베이스 밴드 및 광대역 RF 블록 간 인터페이스에 입력인 아날로그 신호를 디지털 신호로 변환시키기 위해서 6비트 해상도를 가지면서 최소 기저대역폭 260MHz 이상, 변환속도 500MS/s 이상의 성능을 갖는 동시에 휴대가 용이한 단말기 형태의 시스템에 한 블록으로 사용되기 위하여 작은 칩 면적과 적은 전력 소모량을 갖는 고속 ADC가 절실히 필요하다.

통상적으로 고속의 신호 샘플링 주파수를 요구하는 응용 시스템에서는 플래시 (flash), 폴딩 (folding), 서브 레인징 (subranging) 및 파이프라인 (pipeline) 구조 등이 주로 사용되어왔다. 특히, 플래시 구조는 입력 신호에 대해 모든 비교기가 같은 시간에 동시에 결과를 출력하므로 GS/s 이상의 고속 동작이 가능하나, 해상도가 증가할수록 필요한 비교기의 수가 지수 함수적으로 증가하며 그에 따라 면적 및 전력 소모도 지수 함수로 커지는 단점이 있어서 8비트 이하의 비교적 저해상도나 중해상도를 구현하는 ADC 구조로 주로 사용된다^{[1]-[15]}. 또한, 바이폴라 공정으로 많이 사용되던 폴딩 구조의 경우에도 비교적 적은 전력 소모량과 높은 동작 주파수를 가지는 장점이 있으나 높은 정밀도를 가진 폴더의 설계가 쉽지 않고 해상도가 증가할수록 폴더 출력단의 부하성분이 증가하여 수백 MHz 수준으로 동작 속도가 제한되는 경향이 있다^{[16]-[20]}.

최근에 발표된 6비트의 해상도에 500MS/s 이상의 동작 속도를 가지는, CMOS 공정으로 구현된 ADC를 본 논문에서 제안하는 ADC와 함께 샘플링 속도에 대한 전력 소모를 비교하여 그림 1에 나타내었다^{[1]-[13]}.

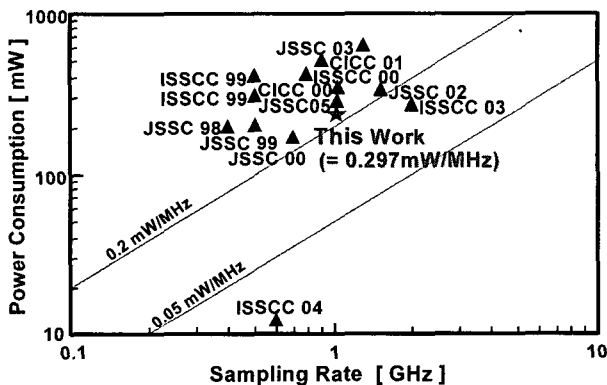


그림 1. 최근에 발표된 고속 6비트 CMOS ADC들의 성능비교

Fig. 1. Performance comparison of recently published high-speed 6b CMOS ADCs.

6비트 해상도 및 1GS/s 이상의 동작 속도를 가지면서 BJT 공정 및 화합물 반도체 공정으로 제작된 ADC의 경우 최대 4GS/s 정도까지는 개발되었지만, CMOS 공정을 사용하여 제작된 ADC에 비하여 전력 소모가 수천 mW 수준으로 상당히 크며^{[14]-[15]}, 전력 소모가 적은 CMOS 공정으로 제작된 ADC의 경우에도 시간공유 (time-interleaved) 구조^[10]와 같은 복잡한 구조를 적용하지 않는 대부분의 ADC는 300mW 이상의 전력을 소모하고 있다. 본 논문에서 제안하는 ADC는 1.8V 전원 전압 및 1GS/s의 동작 속도에서 채널당 297mW의 전력을 소모한다. 응용 시스템의 요구에 따라 출력 단에 전체 칩 면적의 5%에 가까운 DEMUX 등의 부가 회로를 추가한 상태에서의 전력 소모임을 감안할 때 제안하는 ADC 자체는 샘플링 속도에 대한 전력 소모 측면에서 거의 세계적인 수준에 있음을 알 수 있다.

본 논문에서는 6비트 해상도에서 1GS/s의 동작 속도를 만족시키면서 작은 면적과 적은 전력 소모를 가지는 ADC를 구현하기 위해, (1) 입력 단에 500MHz 이상의 높은 입력 주파수가 인가되어도 6비트 수준의 동적 특성을 유지할 수 있도록 고속 트랙-앤-홀드 증폭기 (track-and-hold amplifier : THA)를 사용하였으며, (2) 연결되는 6비트 중간 단 플래시 ADC 블록의 비교기에는 고속 동작 시 후단의 래치로부터의 킥-백 (kickback) 잡음을 최소화하기 위한 2단 구조의 프리앰프 및 더미 (dummy) 스위치를 제안하였고, 사용된 프리앰프의 동작 속도를 높이기 위해 첫 번째 프리앰프에는 클록을 사용하지 않는 이중입력의 차동증폭기 (Differential Difference Amplifier : DDA) 구조를 채택하였다. 한편, (3) 1GS/s 수준의 고속 동작에서 기준 전압의 순간적인 떨림을 방지하기 위하여 온도 및 전원 전압에 독립적으로 동작하는 CMOS 기준 전류 및 전압 발생기를 온-칩으로 집적하는 한편, 전압발생기의 출력 단 및 저항열의 중간노드에 수십 pF 수준의 디커플링 (decoupling) 커패시터를 온-칩으로 집적하였고, 필요에 따라 선택적으로 외부 기준전압을 사용할 수 있도록 하였다. (4) 비교기에서 발생 가능한 디지털 출력 버블 오차를 교정하기 위하여 NAND 와 NOR로 구성된 2단 구조의 버블 교정 회로 (bubble correction logic)를 채택하여 코드오차 교정범위를 넓혔으며, (5) 응용 시스템의 요구 및 측정편의를 위하여 쉬프트 레지스터 (shift register)를 기반으로 하는 DEMUX 및 분주기 (decimator)를 온-칩으로 집적하였다. 그밖에 고속 동작을 위한 회로 설계 기법 및 레이아웃 기법 등을 적절히

사용하였다. II장에서는 제안하는 ADC의 전체 구조를 설명하며, III장에서 제안하는 여러 가지 주요 회로설계 기법 및 레이아웃 기법을 간략히 설명한다. IV장에서는 시제품 ADC의 측정 결과를 정리한 후, V장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 ADC는 6비트 해상도에서 1GS/s의 동작 속도, 소면적 및 저전력 조건을 동시에 만족시킬 수 있도록 그림 2에서 보는 바와 같이 전체적으로 플래시 구조를 가지며, 특히, THA에 연결되는 중간단인 full flash ADC (FLASH) 회로 블록에서 한꺼번에 6비트를 결정하기 위해 64개의 비교기를 사용하게 될 경우 최초 입력 단 THA 회로의 부하 커패시터 성분이 증가하여 1GS/s 이상의 고속 동작을 구현하는데 어려움이 따르는 동시에 비교기에서 오프셋에 의한 출력 코드에 오차의 영향이 직접적으로 나타날 수 있기 때문에, 프리엠프로 5비트를 결정한 후 래치 (latch)로 프리엠프 출력을 인터폴레이션 (interpolation) 하여 추가적으로 남은 1비트를 결정하는 구조를 채택하였다. 또한, 응용 시스템의 요구에 따라 각각 24비트의 출력을 내보내는 이중채널 6b 1GS/s ADC로 구성되며 전체 최종 출력은 48비트가 된다. 각각의 ADC는 단일입력 THA, flash ADC (FLASH), 분주기 및 DEMUX 등으로 구성되며, 설계효율을 위해 하나의 기준전류 및 전압발생기와 클록 타이밍회로를 가지고 이중채널의 ADC에 기준 전류, 전압 및 클록을 제공할 수 있도록 구성하였다.

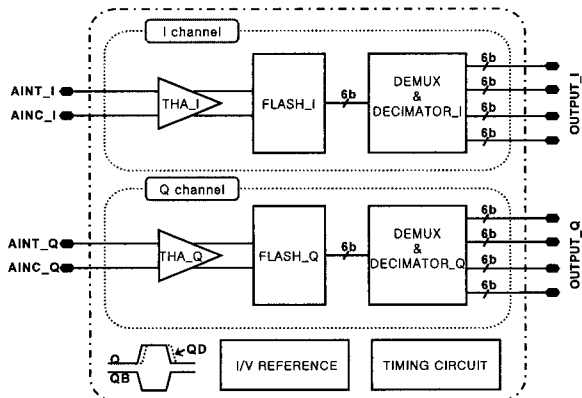


그림 2. 제안하는 이중채널 6b 1GS/s 0.18um CMOS ADC
Fig. 2. Proposed dual-channel 6b 1GS/s 0.18um CMOS ADC.

III. 제안하는 회로 설계 및 구현

1. 높은 입력 주파수를 처리하는 THA 회로

높은 입력 주파수가 인가되어도 최소한 6비트 수준의 동적 특성을 유지할 수 있도록 하는 THA 회로는 여러 가지 구조로 실현 가능하나, 본 논문에서는 필요로 하는 면적과 전력 소모를 최소화하면서도 요구되는 1GHz 수준의 샘플링 속도에서 동작할 수 있도록 그림 3과 같이 샘플링 커패시터에 연결된 NMOS 샘플링 스위치와 더미 스위치 및 PMOS Source Follower를 사용하는 구조로 설계하였다. 또한, 6비트 이상의 선형성과 높은 주파수 대역폭을 가질 수 있도록 샘플링 스위치를 요구사양에 적합하도록 충분히 크게 설계하여 온 저항값을 줄여 스위치의 온 저항 변화에 의한 신호 왜곡을 최소화하였다.

그림 3의 THA에서 신호의 샘플링 및 홀딩 동작은 한 개의 클록 Q와 그 반대 위상의 클록 QB를 사용하여 이루어진다. 우선 그림 3과 같이 클록 Q가 High일 때, 커패시터의 상층 기판에 입력 신호를 열린 루프 형태로 샘플링하고, 샘플링 모드에서 홀딩 모드로의 전환 시 샘플링 스위치가 꺼질 때 QB가 High가 되어 커패시터의 상층 기판에 연결된 더미 스위치를 켜줌으로써, 스위치 및 클록 피드스루 (feedthrough) 오차를 최소화한다. 또한, NMOS 트랜지스터만으로 구성된 스위치는 CMOS 스위치와는 달리 비록 공정 변수의 변화가 있더라도 전하 피드스루를 효과적으로 줄일 수 있기 때문에 요구되는 1.8V 수준의 전원 전압에서 THA 회로의 입력 공통 모드 전압을 0.6V 수준이 되도록 하여 샘플링 스위치와 더미 스위치를 NMOS 트랜지스터로만 구현하였다^[10]. 제안하는 THA 회로는 신호 리셋 (reset)을 하지 않기 때문에 입력 신호의 샘플링 위상에서도

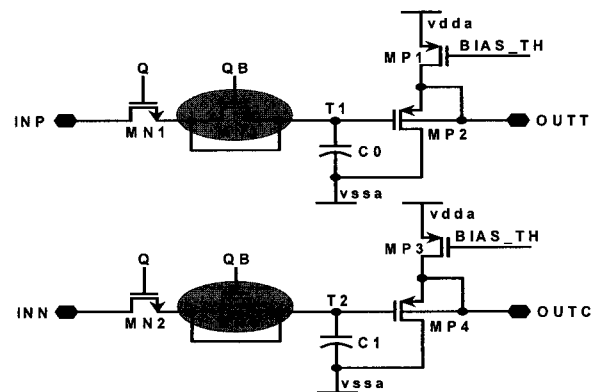


그림 3. 제안하는 트랙-앤-홀드 증폭기
Fig. 3. Proposed Track-and-Hold Amplifier.

PMOS Source Follower를 통한 출력이 상당 부분 정착 (settling) 하고 있으므로 요구되는 정착 시간은 거의 한 주기에 매우 가깝게 된다. 따라서 1GHz의 샘플링 주파수를 사용할 경우, 한 주기인 1ns에서 각각 0.07ns로 모의 실험된 클록의 상승시간 (rising time)과 하강시간 (falling time)을 고려하여, 0.14ns를 제외한 0.86ns 정도의 시간 안에 입력신호가 정착하도록 THA를 설계하였다.

2. 6비트 해상도를 갖는 고속 Flash 구조의 ADC

본 논문에서 제안하는 FLASH 회로블록은 기준 전압을 만들기 위한 저항 열과 비교기 프리앰프, 래치, 버블 코드 교정회로 및 인코더 (encoder) 논리회로의 순서로 구성되며, 저항 열에는 디커플링 커패시터를 전압 발생기의 출력단인 Top 및 Bottom 노드 및 기준 전압의 가운데 노드에 사용하여 고속 동작에서 기준 전압의 변화를 최소화하였으며, 면적 및 전력 소모를 최소화하기 위하여 래치 부분에는 인터플레이션 기법을 적용하였다. 본 논문에서 제안하는 FLASH의 비교기는 6비트의 정확도를 얻기 위해 그림 4와 같이 프리앰프와 래치로 구성된 비교기를 사용하며, 고속 동작 시 래치로부터의 클록에 의한 킥-백 잡음을 최소화하기 위해서 2단 구조의 프리앰프로 충분한 이득을 얻도록 하였으며, 특히, 두 번째 프리앰프의 출력 단에 클록 QB에 시간지연을 둔 클록 QBD로 구동되는 더미 스위치를 사용하였다. 또한, 첫 번째 프리앰프에는 스위치를 사용하지 않는 DDA 구조로 입력 단 샘플링 스위치와 커패시터에 의해 발생하는 글리치 (glitch) 현상 및 이득감소 등의 영향 없이 고속 동작이 가능하도록 하였으며, 각각의 프리앰프의 출력 단에는 고속 신호처리를 위해 각 단에는 큰 이득이 필요 없음을 고려하여 통상적인 능동소자가 아닌 수동소자로 부하저항을 설계하여 기생 커패시턴스 성분을 최대한 제거하였다. 비교기의 최종 출력은 일반적인 flash ADC에서와 같은 온도계 코드 (thermometer code)의 형태이지만, 통상 고속 동작에서 발생할 수 있는 디지털 출력 코드의 버블 오차를 제거하기 위해 버블 교정회로에 인가된다. 버블 교정회로는 NAND와 NOR 게이트로 구성되며 2단으로 연결하여 버블 교정범위를 넓혔다^[21]. 최종적으로 버블 오차가 제거된 출력 신호는 인코더를 통하여 6비트의 이진 코드 (binary code)로 출력된다.

본 논문에서 제안하는 더미 스위치를 사용한 비교기와 사용하지 않은 비교기를 각각 시뮬레이션 한 결과는

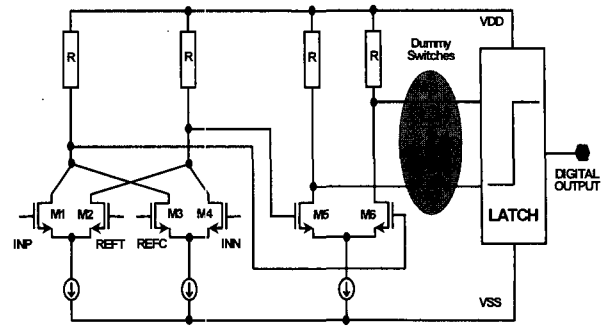


그림 4. 제안하는 6b flash ADC 블록 (FLASH)의 비교기 회로

Fig. 4. Proposed comparator circuit in the 6b flash ADC (FLASH).

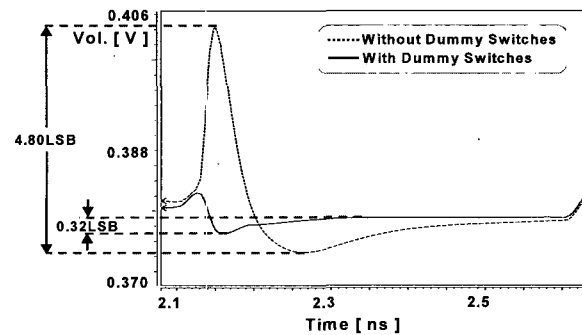


그림 5. 제안하는 비교기의 모의 실험된 킥-백 잡음 감소 효과

Fig. 5. Simulated kickback-noise reduction of the proposed comparator.

그림 5와 같다. 그림 5에서 보는 바와 같이 제안하는 더미 스위치를 사용한 비교기가 사용하지 않은 비교기에 비해서 킥-백 잡음이 1/15 수준으로 고속 동작 시 래치로부터의 킥-백 잡음 감소에 탁월한 효과가 있음을 확인할 수 있다.

3. 온-칩 CMOS 기준 전류 및 전압 발생기

제안하는 시제품 ADC에는 그림 6과 같이 저 전력으로 동작하는 온-칩 기준 전류 및 전압 회로를 집적하여 ADC가 독립적으로 동작할 수 있도록 하였다. 특히, 본 논문에서 제안하는 ADC는 하나의 온-칩 CMOS 기준 전류 및 전압 발생기를 이용하여 2개 채널의 ADC에 기준 전류 및 전압을 동시에 제공할 수 있도록 구성되어 있으며, 용도에 따라 선택적으로 외부 기준전압을 사용할 수 있도록 하였다.

그림 6에서 제안하는 기준 전류 및 전압 발생기는 크게 전류 발생기와 전압 발생기로 이루어진다^[22]. 전류 발생기는 온도의 증가에 따라서 감소하는 전류 성분과 증가하는 전류성분을 각각 공급 전원에 독립적으로 구

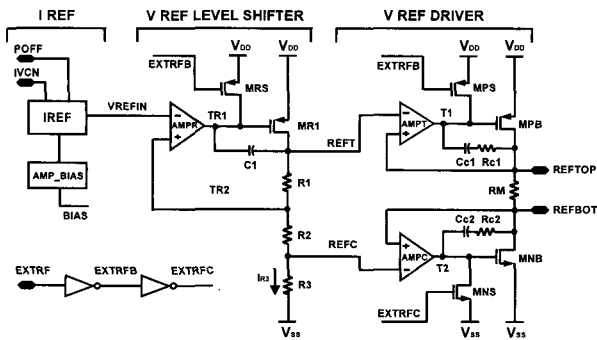


그림 6. 제안하는 온-칩 기준 전류 및 전압 발생기
Fig. 6. Proposed on-chip current and voltage references.

현하여 이들을 합하여 결국 온도와 공급 전원의 변화에 독립적인 전류를 생성한다. 전압 발생기는 전류 발생기에서 생성된 전류를 MOS 다이오드를 통해서 온도와 공급전원의 변화에 독립적인 전압으로 변환하여 ADC에서 필요한 기준 전압을 온-칩으로 제공한다.

제안하는 ADC에서 사용되는 기준 전압은 FLASH 회로블록에 공급되는 과정에서 프리앰프의 입력단 MOS 트랜지스터의 기생 커패시터를 통해 FLASH와 THA에서 발생하는 고주파 스위칭 잡음과 글리치가 전달되어 기준 전압이 일정하게 유지되기 어렵게 된다. 이러한 문제는 전압 발생기의 출력단인 Top과 Bottom 노드 및 중간 노드에 수십 pF 수준의 커패시터를 온-칩으로 집적하여, 높은 주파수에서 생기는 잡음 성분을 통과 (bypass) 시킴으로써 해결할 수 있다. 단, 본 설계의 당초 목표였던 1.6GS/s 정도로, 신호처리 속도가 1GS/s 이상이 될 경우에는 외부에도 바이패스 커패시터를 추가로 연결할 필요가 있다.

4. 온-칩 분주기 및 DEMUX

본 논문에서 제안하는 1GS/s 수준으로 동작하는 시제품 ADC의 성능평가 및 측정을 위해서는 고속으로 동작하는 측정 장비들이 필요하며, 이는 ADC의 총 개발비용을 증가시키는 요인이 된다. 이러한 문제는 고속 동작이 가능한 TSPC (True Single Phase Clock) 논리 회로로 구현된 D 플립플롭을 리플카운터 (ripple counter) 형태로 연결하여 분주기를 칩 내부에 집적함으로써 해결할 수 있다^[23]. 또한, 이와 같은 분주기를 사용할 경우 ADC의 출력 단에서 발생하여 칩 내부로 유입되는 잡음도 부가적으로 줄일 수 있다.

한편, 제안하는 ADC 회로는 요구하는 시스템 사양에 따라 6비트의 출력을 4주기 동안 저장한 후 각각 24비트

의 출력을 내보내는 두 개의 독립적인 6b 1GS/s ADC로 구성되어 전체 ADC의 최종 출력은 48비트가 되며, 이러한 기능을 수행하기 위해서 각각의 ADC에 쉬프트 레지스터를 기반으로 하는 DEMUX를 추가하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 시제품 이중채널 6b 1GS/s ADC는 그림 7에서 보는 것과 같이 0.18um n-well 1P6M CMOS 공정으로 제작되었으며, 칩 상의 여유 공간에는 각 회로블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 온-칩 디커플링 커패시터를 집적하였으며, □ 부분이 PMOS로 구현된 디커플링 커패시터이다.

이중채널 시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 4.0mm²이며, 1GS/s의 동작 속도를 가지고 동작할 때 594mW의 전력을 소모한다. 시제품 ADC

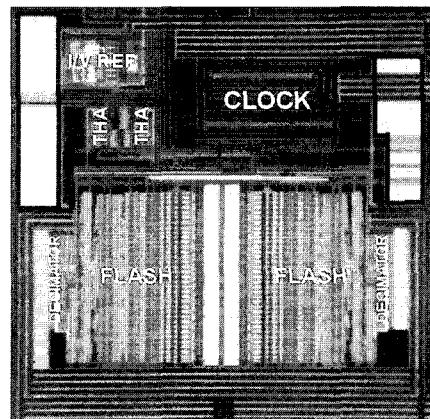


그림 7. 이중채널 6b 1GS/s 0.18um CMOS ADC 시제품 칩 (2.03mm × 1.97mm)

Fig. 7. Die photo of the prototype dual-channel 6b 1GS/s 0.18um CMOS ADC (2.03mm × 1.97mm).

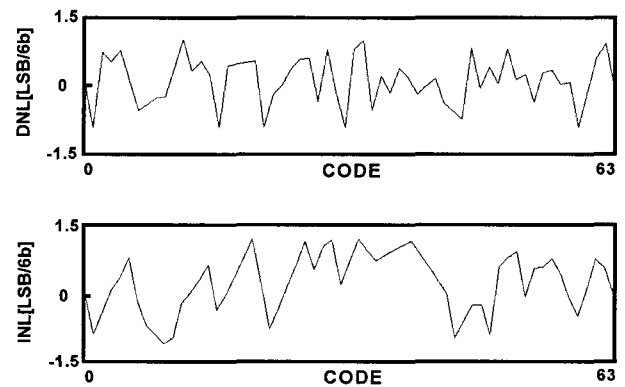


그림 8. 시제품 ADC의 측정된 DNL 및 INL
Fig. 8. Measured DNL and INL of the prototype ADC.

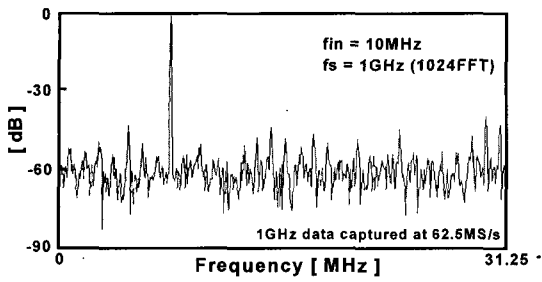
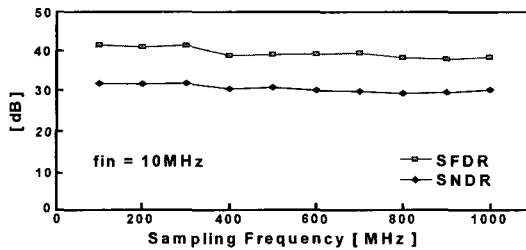
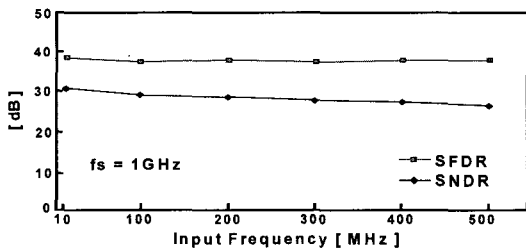


그림 9. 10MHz 입력 주파수에서 측정된 신호 스펙트럼

Fig. 9. Signal spectrum measured with a 10MHz sinusoidal input.



(a)



(b)

그림 10. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 10. Measured dynamic performance of the prototype ADC : SFDR and SNDR versus (a) fs and (b) fin.

측정된 Differential Non-Linearity (DNL) 및 Integral Non-Linearity (INL)는 그림 8에서 보는 바와 같이 각각 6비트에서 최대 1.0LSB, 1.3LSB 수준이다.

그림 9는 시제품 ADC에 10MHz의 입력 주파수를 인가하면서 1GS/s 샘플링 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 1GS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 1GHz의 클럭을 1/16 다운 샘플링 하여 측정하였다.

그림 10은 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 10(a)는 ADC의 동작 속도를 100MS/s에서 1GS/s까지 증가시킬 때, 10MHz의 차동 입력 주파수에서의 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)를 보여준

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	6bits
Max. Conversion	1GS/s
Process	TSMC 0.18um CMOS
Input Range	0.4V _{p-p}
SNDR	30.2dB (at fin = 10MHz)
SFDR	38.8dB (at fin = 10MHz)
DNL	-0.88LSB / +1.00LSB
INL	-1.09LSB / +1.25LSB
ADC Core Power	594mW @ 1.8V (Dual Channel)
Active Die Area	4.0mm ² (= 2.03mm × 1.97mm)

것이다. 샘플링 속도가 1GS/s까지 증가하는 동안 시제품 ADC의 측정된 SNDR과 SFDR은 각각 30dB, 39dB 수준을 유지하고 있다. 그림 10(b)는 1GS/s의 최대 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수인 500MHz까지 증가할 때도 시제품 ADC의 측정된 SNDR과 SFDR은 각각 27dB, 37dB 수준을 유지하는 것을 알 수 있다. 제안하는 시제품 ADC의 주요 성능 측정 결과는 표 1에 요약하였다.

V. 결 론

본 논문에서는 초광대역 통신 시스템 응용을 위한 이중채널 6b 1GS/s 0.18um CMOS ADC를 구현하기 위해 다음과 같은 다양한 설계 기법을 제안하였다.

첫째, 요구되는 1GS/s 동작 속도, 면적 및 전력 소모를 고려하여 5비트 즉 32개의 프리앰프 출력에 연결되는 래치에 인터폴레이션 기법을 적용하여 최종 6비트를 구현하였으며, Nyquist 입력 신호인 500MHz 수준의 높은 입력 주파수가 인가되어도 6비트 수준의 동적 특성을 유지할 수 있도록 입력 단에 고속 THA를 사용하였다. 둘째, 6비트 플래시 ADC에 사용되는 비교기에는 고속 동작 시 래치로부터의 유입되는 킥-백 잡음을 최소화하기 위한 2단 구조의 프리앰프 및 더미 스위치를 제안하였고, 사용된 프리앰프의 고속 동작을 위해서 첫 번째 프리앰프에 DDA 구조를 채택하였으며, 프리앰프의 출력 단에는 능동소자 대신 수동소자로 된 부하저항을 사용하여 기생 커패시턴스 성분을 최대한 제거하였

다. 셋째, 1GS/s의 고속 동작에서 기준 전압의 떨림을 방지하고자 전압 발생기의 출력단인 Top, Bottom 및 중간 노드에 각각 수십 pF 수준의 디커플링 커패시터를 집적하였다. 또한, 비교기에서 발생 가능한 버블 오차를 교정하기 위하여 NAND와 NOR를 이용한 2단 구조의 버블 오차 교정회로를 사용하여 오차 교정범위를 넓혔다. 넷째, 기준 전류 및 전압 발생기를 온-칩으로 집적하였고, 사용자의 필요에 따라서 선택적으로 온-칩 기준 전압 발생기를 사용하거나 외부에서 인가하는 기준 전압을 사용할 수 있도록 하였다. 다섯째, 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 오프-칩(off-chip) 고속 디지털 버퍼와 결합된 온-칩 분주기 및 요구하는 응용 시스템 사양에 따라 쉬프트 레지스터를 기반으로 6비트 출력을 4주기 동안 저장 하였다가 채널 당 24비트의 출력을 내보낼 수 있도록 DEMUX 회로를 동시에 집적하였다. 마지막으로, 고속 동작 시 발생하는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS 커패시터를 구현하였다.

제안하는 회로 설계 기법 및 레이아웃 기법들을 적용하여 0.18um CMOS 공정으로 구현한 이중채널 시제품 6비트 ADC의 칩 면적은 4.0mm²이며, 측정된 DNL 및 INL은 각각 1.0LSB, 1.3LSB 수준을 보인다. 또한, 1GS/s의 동작 속도에서 SNDR와 SFDR의 최대값은 각각 30dB, 39dB이며, 소모 전력은 1.8V 전원 전압에서 594mW 이다.

참 고 문 헌

- [1] K. H. Yoon, S. K. Park, and W. C. Kim, "A 6b 500 MSample/s CMOS flash ADC with a background interpolated auto-zeroing technique," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 326-327.
- [2] I. Mehr and D. Dalton, "A 500-MSample/s, 6-bit nyquist-rate ADC for disk-drive read-channel applications," *IEEE J. Solid-State Circuits*, vol. 34, no. 7, pp. 912-920, July 1999.
- [3] Y. Tamba and K. Yamakido, "A CMOS 6b 500 MSample/s ADC for a hard disk drive read channel," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 324-325.
- [4] K. Nagaraj, D. A. Martin, M. Wolfe, R. Chattopadhyay, S. Pavan, J. Cancio, and T. R. Viswanathan, "A dual-mode 700-Msamples/s 6-bit 200-Msamples/s 7-bit A/D converter in a 0.25-um digital CMOS process," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1760-1768, Dec. 2000.
- [5] K. Sushihara, H. Kimura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6b 800 MSample/s CMOS A/D converter," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 428-429.
- [6] K. Uyttenhove, A. Marques, and M. Steyaert, "A 6-bit 1 GHz Acquisition Speed CMOS Flash ADC with Digital Error Correction," in *Proc. CICC*, May 2000, pp.249-252.
- [7] B. Yu and W. C. Black, Jr. "A 900 MS/s 6b interleaved CMOS flash ADC," in *Proc. CICC*, May 2001, pp.149-152.
- [8] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35-um CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.
- [9] P. C. S. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18-um CMOS using averaging termination," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1599-1609, Dec. 2002.
- [10] X. Jiang, Z. Wang, and M. F. Chang, "A 2GS/s 6b ADC in 0.18um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 322-323, 497.
- [11] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25-um CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1115-1122, July 2003.
- [12] D. Draxelmayer, "A 6b 600MHz 10mW ADC Array in Digital 90nm CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 264-265.
- [13] X. Jiang and M. F. Chang, "A 1-GHz Signal Bandwidth 6-bit CMOS ADC With Power-Efficient Averaging," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 532-535, Feb. 2005.
- [14] T. Wakimoto, Y. Akazawa, and S. Konaka, "Si bipolar 2-GHz 6-bit flash A/D conversion LSI," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1345-1350, Dec. 1988.
- [15] K. Poulton, K. L. Knudsen, J. J. Corcoran, Keh-Chung Wang, R. B. Nubling, R. L. Pierson, M.-C. F. Chang, R. M. Asbeck, and R. T. Huang, "A 6-b, 4 GSa/s GaAs HBT ADC," *IEEE J. Solid-State Circuits*, vol. 30, no. 10, pp. 1109-1118, Oct. 1995.
- [16] H. Hasegawa, M. Yotsuyanagi, M. Yamaguchi, and K. Sone, "A 1.5V video-speed current-mode current-tree A/D converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1994, pp. 17-18.

[17] Y. Nishima, D. Sone, K. Amano, S. Matsuba, and A. Yukawa, "An 8-bit 200Ms/s 500mW BiCMOS ADC," in *Proc. CICC*, May 1995, pp. 207-210.

[18] M. J. Choe and B. S. Song, "An 8b 100MSample/s CMOS pipelined folding ADC," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1999, pp. 81-82.

[19] B. Nauta and A. G. W. Venes, "A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1302-1308, Dec. 1995.

[20] K. H. Yoon, J. H. Lee, D. K. Jeong, and W. C. Kim, "An 8-b 125Ms/s CMOS folding ADC for gigabit ethernet LSI," in *Symp. VLSI Circuits Dig. Tech. Papers*, May 2000, pp. 212-213.

[21] S. Tsukamoto, T. Endo, and W. G. Schofield, "A CMOS 6b 400 Msample/s ADC with error correction," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 152-153.

[22] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.

[23] C. Yang, G. Dehng, J. Hsu, and S. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler", *IEEE J. Solid-State. Circuits*, vol. 33, no. 10, pp.1568-1571, Oct. 1998.

저 자 소 개



조 영 재(정회원)
1999년 서강대학교
전자공학과 학사.
2003년 서강대학교
전자공학과 석사.
2003년~현재 서강대학교
전자공학과 박사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



유 시 옥(정회원)
2006년 서강대학교
전자공학과 학사.
2006년~현재 서강대학교
전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



김 영 록(정회원)
1991년 서강대학교 전자공학과
학사.
1993년 미 Polytechnic 대
(New York) 석사.
1998년 미 Polytechnic 대
(New York) 공학박사.

1998년~1999년 미 AT&T(Bell) 연구소, Florham Park(NJ) 연구원.

1999년~2003년 InterDigital Communication Corp. 연구원.

2003년~현재 서강대학교 전자공학과 조교수.

<주관심분야 : VLSI 설계, 무선통신모뎀용 DSP 알고리즘, Array Signal Processing, 채널 추정 알고리즘, 채널 등화기 등임.>



이 승 훈(평생회원)
1984년 서울대학교
전자공학과 학사.
1986년 서울대학교
전자공학과 석사.
1991년 미 Illinois 대 (Urbana-
Champaign) 공학박사.

1986년 KIST 위촉 연구원.

1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.

1990년~1993년 미 Analog Devices 사 senior design engineer.

1993년~현재 서강대학교 전자공학과 교수.

<주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>