

논문 2006-43SD-12-8

높은 정확도의 3차원 대칭 커패시터를 가진 보정기법을 사용하지 않는 14비트 70MS/s 0.13um CMOS 파이프라인 A/D 변환기

(A Calibration-Free 14b 70MS/s 0.13um CMOS Pipeline A/D Converter with High-Matching 3-D Symmetric Capacitors)

문 경 준*, 이 경 훈*, 이 승 훈**

(Kyoung-Jun Moon, Kyung-Hoon Lee, and Seung-Hoon Lee)

요 약

본 설계에서는 무선 랜 등 최첨단 무선 통신 및 고급영상 처리 시스템과 같이 고해상도와 높은 신호처리속도, 저전력 및 소면적을 동시에 요구하는 고성능 집적시스템 응용을 위해 기존의 보정기법을 사용하지 않는 14b 70MS/s 0.13um CMOS A/D 변환기 (Analog-to-Digital Converter : ADC)를 제안한다. 제안하는 ADC는 중요한 커패시터 열에 인접신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법으로 소자 부정합에 의한 영향을 최소화하였고, 3단 파이프라인 구조로 고해상도와 높은 신호처리속도와 함께 전력 소모 및 면적을 최적화하였다. 입력 단 SHA 회로에는 Nyquist 입력에서도 14비트 이상의 정확도로 신호를 샘플링하기 위해 게이트-부트스트래핑 (gate-bootstrapping) 회로를 적용함과 동시에 트랜스컨덕턴스 비율을 적절히 조정한 2단 증폭기를 사용하여 14비트에 필요한 높은 DC 전압 이득을 얻음과 동시에 충분한 위상 여유를 갖도록 하였으며, 최종 단 6b flash ADC에는 6비트 정확도 구현을 위해 2단 오픈-루프 오프셋 샘플링 기법을 적용하였으며, 기준 전류 및 전압 발생기는 온-칩으로 집적하여 잡음을 최소화하면서 필요시 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.13um CMOS 공정으로 요구되는 2.5V 전원 전압 인가를 위해 최소 채널길이는 0.35um를 사용하여 제작되었으며, 측정된 DNL 및 INL은 14비트 해상도에서 각각 0.65LSB, 1.80LSB의 수준을 보이며, 70MS/s의 샘플링 속도에서 최대 SNDR 및 SFDR은 각각 66dB, 81dB를 보여준다. 시제품 ADC의 칩 면적은 3.3mm²이며 전력 소모는 2.5V 전원 전압에서 235mW이다.

Abstract

This work proposes a calibration-free 14b 70MS/s 0.13um CMOS ADC for high-performance integrated systems such as WLAN and high-definition video systems simultaneously requiring high resolution, low power, and small size at high speed. The proposed ADC employs signal insensitive 3-D fully symmetric layout techniques in two MDACs for high matching accuracy without any calibration. A three-stage pipeline architecture minimizes power consumption and chip area at the target resolution and sampling rate. The input SHA with a controlled trans-conductance ratio of two amplifier stages simultaneously achieves high gain and high phase margin with gate-bootstrapped sampling switches for 14b input accuracy at the Nyquist frequency. A back-end sub-ranging flash ADC with open-loop offset cancellation and interpolation achieves 6b accuracy at 70MS/s. Low-noise current and voltage references are employed on chip with optional off-chip reference voltages. The prototype ADC implemented in a 0.13um CMOS is based on a 0.35um minimum channel length for 2.5V applications. The measured DNL and INL are within 0.65LSB and 1.80LSB, respectively. The prototype ADC shows maximum SNDR and SFDR of 66dB and 81dB and a power consumption of 235mW at 70MS/s. The active die area is 3.3mm².

Keywords : calibration free, high resolution, low power, pipeline, ADC

* 정회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)
※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」
및 산업자원부 시스템2010과제에 의해 지원되었음.
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

I. 서 론

최근 무선 통신 시스템 및 고속 디지털 신호처리 기술의 급속한 발전으로 인하여 각종 시스템의 인터페이

스에 필수적인 고성능 A/D 변환기 (Analog-to-Digital Converter : ADC) 에 대한 요구도 상응하여 급격히 증가하고 있으며, 많은 시스템이 하나의 칩 속으로 집적되는 System-on-a-Chip (SoC) 발전 추세에 편승하여, 높은 신호처리속도 및 고해상도 등 높은 사양을 가지면서도 동시에 다른 대규모 CMOS 디지털 회로와 함께 집적 가능한 저전력 소면적 ADC가 절실한 상황이다. 특히, 차세대 네트워크 시스템으로 부각되고 있는 무선 근거리망 기술 (IEEE 802.11)을 바탕으로 하는 무선 랜 (Wireless Local Area Network : WLAN), 부호 분할 다중접속 (Code Division Multiple Access : CDMA), Global System for Mobile Communication (GSM) 등과 같은 최첨단 통신시스템 및 Radar Imaging, CMOS Image 센서, CT Scanner 등과 같은 고화질 영상시스템 응용 분야에 사용되는 ADC는 14비트 이상의 고해상도와 수십 MHz 이상의 높은 샘플링 속도를 가지면서도 동시에 시스템 집적을 위해 저전력 소면적이 필수적으로 요구된다.

기존의 다양한 ADC 구조 중에서, 14비트 이상의 고해상도와 수십 MHz의 고속 동작 주파수 조건을 동시에 만족하면서 전력 소모 및 면적을 최적화하기 위해서 최근에는 파이프라인 구조를 많이 적용하고 있는 추세이다^{[1]-[15]}. 기존의 14비트 수준의 파이프라인 구조를 가진 ADC의 경우 대부분 4단 이상의 파이프라인 구조를 사용해 왔으나, 본 논문에서 제안하는 ADC는 각 단에서 5비트, 5비트, 6비트를 결정하며, 디지털 교정 회로 (Digital Correction Logic : DCL) 에서 중간단의 아날로그 회로블록의 오차를 수정 및 보완하기 위해 각각 디지털 출력을 1비트씩 중첩시켜 최종 14비트를 결정하는 3단 파이프라인 구조로 구현하였다.

최근에 학회 및 저널 논문 등을 통해 발표된 14비트 이상의 해상도에서 샘플링 속도가 10MS/s 이상의 CMOS ADC들을 본 논문에서 제안하는 ADC와 함께 그림 1에 나타내었다^{[1]-[15]}. 그림 1에서 보는 바와 같이 기존의 특별한 보정기법 (calibration) 없이 0.35um CMOS 공정으로 구현된 ADC^[6]는 샘플링 속도에 대한 전력 소모가 4.53mW/MHz 수준이고 칩 면적은 7.8mm²이며, 0.18um CMOS 공정으로 추가적인 보정기법을 사용한 ADC^[9]는 정적특성은 우수하나 보정을 위한 추가적인 회로로 인하여 샘플링 속도에 대한 전력 소모가 7mW/MHz 수준으로 크며 칩 면적도 약 16mm²로 매우 커서 SoC 응용을 위한 시스템 집적이 어려운 단점이 있다. 한편, 본 논문에서 제안하는 ADC

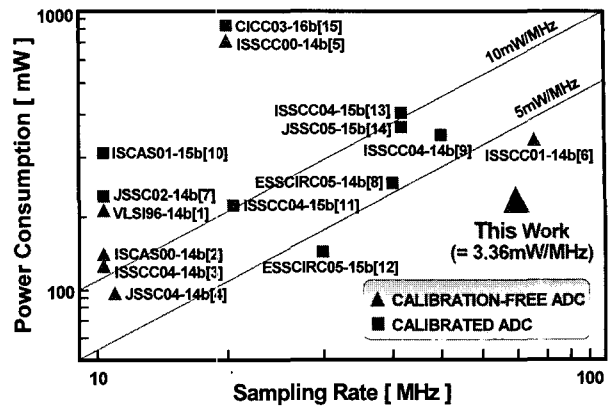


그림 1. 최근 발표된 고해상도를 가진 ADC들의 샘플링 속도 및 전력 소모 비교
 Fig. 1. Sampling rate and power consumption of recently reported high-resolution ADCs.

는 0.13um CMOS 공정으로 추가적인 복잡한 보정기법 없이 인접신호에 덜 민감한 3차원 완전 대칭 구조를 비롯한 독창적인 레이아웃 기법만으로 14비트 수준에서 샘플링 속도에 대한 전력 소모가 3.36mW/MHz로 거의 세계 최고 수준이며, 칩 면적도 3.3mm²로써 SoC에 따른 시스템 집적에 적합함을 알 수 있다.

본 논문에서는 복잡한 보정기법 없이 14비트의 고해상도에서 70MS/s의 동작 속도를 만족시키는 ADC를 구현하기 위해, 제안하는 인접신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 전체 ADC 해상도에 결정적 영향을 주는 Multiplying D/A Converter (MDAC) 커패시터 열에 적용하여 소자 부정합을 최소화하였으며, 다음과 같은 몇 가지 회로설계 기법을 적용하였다.

- (1) 전력 소모와 면적을 최적화하기 위해 기존의 14비트 수준의 ADC에서는 찾아보기 어려운 3단 파이프라인 구조로 설계하였으며,
- (2) 입력 단 Sample-and-Hold Amplifier (SHA)는 Nyquist 입력에서도 14비트 이상의 유효 비트를 가지기 위해서 게이트-부트스트래핑 (gate-bootstrapping) 회로를 사용하였으며, 높은 DC 전압 이득과 동시에 안정적인 신호 정착에 충분한 위상 여유를 얻기 위해 트랜스컨덕턴스 비율을 적절히 조정된 2단 증폭기 구조로 설계하였으며,
- (3) 최종 단 6b flash ADC에는 고해상도 구현을 위해 2단 오픈-루프 오프셋 샘플링 기법을 적용하면서 전체 ADC의 칩 면적을 최소화하는 방향으로 비교기를 배치하였으며,
- (4) 고해상도 동작을 위해 기준 전류 및 전압 발생기

를 온-칩으로 집적하여 중요한 아날로그 블록에 기준 전압을 안정적으로 공급하는 한편, 선택적으로 외부 기준 전압을 사용할 수 있도록 설계하였다.

본 논문의 II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 및 레이아웃 기법을 간략히 요약한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

기존의 다양한 ADC 구조 중에서 고속 고해상도 성능을 가지면서 전력 소모 및 면적을 최적화할 수 있는 가장 적합한 ADC 구조 중의 하나는 파이프라인 구조이다. 이러한 파이프라인 구조 중에서, 각 단에서 1비트 또는 2비트를 결정하는 단일 비트 구조는 각 단의 구조가 간단해지는 장점이 있으나 필요로 하는 단의 수가 많아서 오차 요인 (error source)도 비례하여 많아지며 전력 소모 및 면적이 증가하는 단점이 있다. 그 반면, 각 단에서 많은 비트를 결정하는 다중 비트 구조는 MDAC의 높은 게인 이득 (feedback gain)으로 인하여 빠른 속도로 동작하는 앰프의 설계가 어렵지만 각 단의 이득만큼 입력으로 유입되는 오차 (input-referred error)가 감소하여 잡음 영향과 소자 매칭 오차에 대한 민감도가 작아서 ADC 전체 성능이 좋아질 뿐만 아니라 단 수의 감소에 따른 작은 면적과 적은 전력 소모로 구현이 가능하다는 장점이 있다. 기존의 14비트 수준의 ADC의 경우, 대부분 단일 비트의 파이프라인 구조 등으로 4단 이상의 파이프라인 구조를 사용하였으나, 본 논문에서는 위의 두 가지 파이프라인 구조의 장점들을 적절히 혼합한 3단 파이프라인 구조를 사용하였다. 또한, 14비트 이상의 고해상도를 만족시키기 위해서 기존의 ADC 구조에서와 같이 특별한 보정 기법을 적용할 수도 있으나 이는 추가적인 회로로 인하여 면적 및 전력 소모 등이 증가하고 회로가 복잡해지는 단점이 있다^{[7]-[15]}. 본 논문에서 제안하는 ADC는 복잡한 보정 기법을 사용하지 않고 각 단에서 5비트, 5비트, 6비트를 결정하면서 각단 사이의 아날로그 회로의 오차 성분은 디지털 교정 회로에서 디지털 출력을 각각 1비트씩 중첩시켜 해결하면서 최종 14비트를 결정하는 3단 파이프라인 구조를 가지며 ADC 전체 구조는 그림 2와 같다.

제안하는 전체 ADC는 하나의 입력 단 SHA, 2개의 5b MDAC, 2개의 5b flash ADC, 1개의 6b flash ADC,

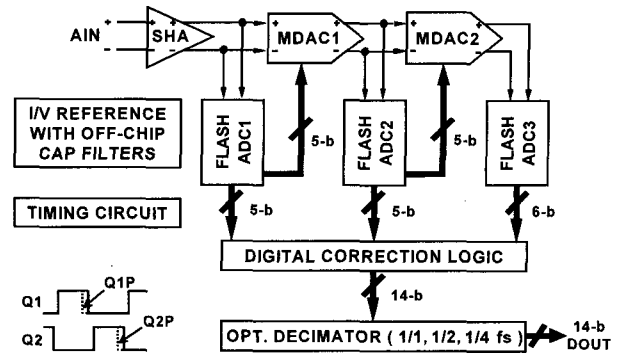


그림 2. 보정기법을 사용하지 않는 제안하는 14비트 70MS/s 0.13um CMOS ADC

Fig. 2. Proposed calibration-free 14b 70MS/s 0.13um CMOS ADC.

디지털 교정 회로, 온-칩 기준 전류 및 전압 발생기, 온-칩 분주기 (on-chip decimator) 및 클럭 발생기 (clock generator) 등으로 구성된다. 또한, 아날로그 입력 신호를 디지털 출력 코드로 변환하기 위하여, 두 개의 중첩되지 않는 클럭 (non-overlapping clock) Q1, Q2는 칩 내부에서 발생시켰다. 온-칩 기준 전류 및 전압 발생기는 오프-칩으로는 구현이 어려운 안정되고 정확한 기준 전류 및 전압을 얻기 위해 사용되며, 분주기는 측정 단계에서 측정기판으로부터 발생할 수 있는 잡음 등을 최소화하여 가능한 만큼 정확한 시제품 성능을 측정하기 위해 온-칩으로 집적하였다.

III. 제안하는 ADC의 주요 회로 설계 및 레이아웃

1. 제안하는 광대역 저잡음 SHA 회로

제안하는 ADC의 입력 단 SHA에서는 입력 신호를 14비트 이상의 정확도 및 해상도로 처리하기 위해서 매우 작고 일정한 온-저항 값을 갖는 입력 샘플링 스위치와 높은 속도를 가지면서 동시에 높은 DC 전압 이득을 갖는 증폭기가 필수적으로 요구된다. 제안하는 SHA 회로는 그림 3과 같이 14비트 이상의 고해상도를 유지하기 위해서 입력 신호의 변화에 관계없이 스위치의 게이트-소스 전압을 전원 전압 수준으로 일정하게 유지시켜주는 게이트-부트스트래핑 기법을 사용하였다^[16]. 또한, 두 개의 folded-cascode 구조가 순차적으로 연결된 2단 증폭기를 사용하여 95dB의 높은 DC 전압 이득을 얻었으며, 2단 증폭기의 트랜스컨덕턴스 비율을 1:8 정도로 조정하여 SHA의 동적 성능에 비교적 큰 영향을 주는 위상 여유를 74° 이상 만족하도록 하였다.

제안하는 SHA 회로에서는 요구되는 14비트 해상도 및

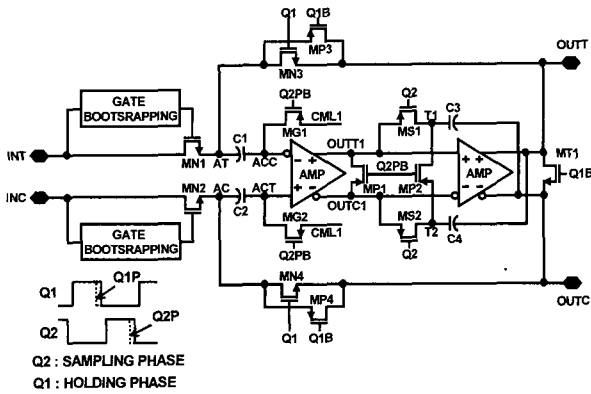


그림 3. 제안하는 광대역 저잡음 SHA 회로
Fig. 3. Proposed wide-band low-noise SHA.

70MS/s 이상의 샘플링 속도에서 동작하면서 동시에 작은 칩 면적과 적은 전력 소모를 얻기 위해, 2개의 커패시터를 사용하는 flip-around 구조로 설계하였고, SHA의 입력 커패시터의 크기는 열잡음과 $2V_{p-p}$ 입력 신호에서 14비트 수준의 정확도를 고려하여 4pF을 사용하였다.

2. 제안하는 3차원 완전 대칭 레이아웃 기반의 저전력 소면적 5b MDACs

전체 ADC 칩 성능에서 Differential Non-Linearity (DNL), Integral Non-Linearity (INL)과 같은 정적 성능을 결정하는 주요 요인은 커패시터 열 간의 부정합으로 이러한 커패시터 부정합은 부정확한 에칭과 같은 공정상의 한계로 인한 임의 오차 및 인접 신호선과의 기생 커패시턴스로 인한 영향 등이 크며, 특히, MDAC에서의 커패시터 부정합은 ADC 칩 성능에 직접적인 영향을 주기 때문에 매우 중요하다. 높은 해상도를 요구하는 ADC의 경우, 커패시터 부정합을 제거하기 위해 특별한 보정기법을 사용할 수도 있으나, 이러한 보정기법은 추가적인 회로로 인한 면적과 전력 소모 및 비용 등을 증가시키는 단점이 있다. 커패시터의 부정합은 추가적인 보정 회로 없이 고도로 정돈된 레이아웃 기법으로 상당 부분 감쇄시킬 수 있다^[17]. 본 논문에서는 MDAC 커패시터 부정합을 최소화하기 위해서 복잡한 보정기법을 사용하지 않는 두 가지 구조의 제안하는 3차원 완전 대칭 레이아웃 기법을 적용한 시제품 ADC를 각각 제작하였다.

시제품 ADC는 저비용을 위해 1P7M 공정의 사용가능한 7개의 금속선 중에서 4개의 금속선만 사용하였으며, 그림 4의 커패시터는 모두 Metal-Insulator-Metal (MIM) 커패시터를 나타내며, MDAC에 사용하는 4개의 단위 커패시터는 모두 동일한 형태로 공정상의 오차에

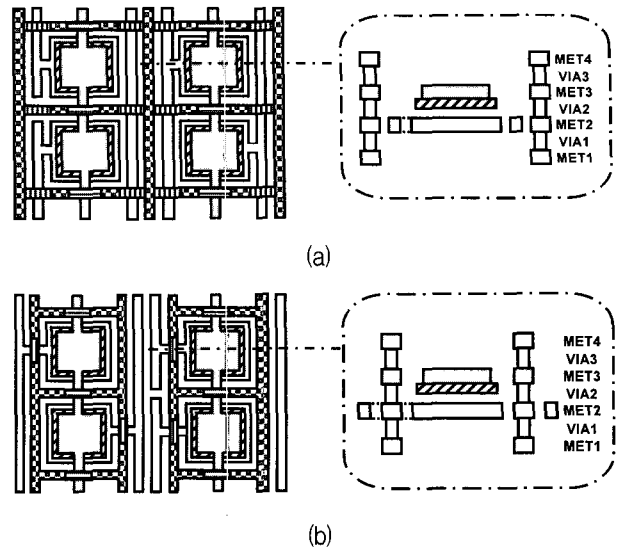


그림 4. 제안하는 3차원 완전 대칭 MDAC 커패시터 레이아웃 기법 : (a) 커패시터와 신호 연결선이 동시에 분리된 버전1, (b) 커패시터만 분리된 버전2
Fig. 4. Proposed 3-D fully symmetric MDAC capacitor layout : (a) Version1 with both capacitors and signal lines isolated and (b) Version2 with only capacitors isolated.

의한 부정합 영향을 최소화하기 위해 커패시터의 상층 및 하층 판들을 연결하기 위해서 사용되는 금속선을 제외한 나머지 금속 층들로 단위 커패시터들을 둘러싸도록 하였다. 이로 인해, 각각의 단위 커패시터들의 주변 조건이 같아지므로 기생 커패시턴스가 유사한 양상으로 형성될 수 있다. 그림 4(a)의 첫 번째 구조의 ADC는 단위 커패시터와 하층 판 신호 연결선을 동시에 모든 금속 층으로 둘러싸서 레이아웃을 한 것이며, 그림 4(b)의 두 번째 구조의 ADC는 이를 좀더 개선하여 연결선을 제외한 단위 커패시터만 모든 금속 층으로 둘러싸서 레이아웃을 한 것이다. 첫 번째 구조의 레이아웃 기법은 인접 신호 연결선에 신호가 없을 경우 단위 커패시터들의 주변 조건이 동일해지나 인접 신호 연결선에 특정 신호가 지나갈 경우 이 신호에 의해 각각의 단위 커패시터에 서로 다른 기생 커패시턴스가 생성되어 단위 커패시터들의 주변 조건이 동일해지기 어렵다.

그 반면, 두 번째 구조의 레이아웃 기법은 인접 신호 연결선까지 각각의 단위 커패시터들과 완전히 분리시킴으로써 인접 신호 연결선을 지나는 신호에 관계없이 모든 커패시터들의 주변 조건을 완전히 동일하게 함으로써 커패시터 부정합을 최소화할 수 있다. 이러한 레이

아웃 기법은 MDAC에서 사용하는 커패시터 열의 모든 커패시터들과 그 주변을 둘러싸고 있는 여분 (dummy)의 커패시터들에도 적용하였다.

제안하는 레이아웃 기법을 적용한 2개의 5b MDAC에는 병합 커패시터 스위칭 (Merged-Capacitor Switching : MCS) 기법^[18]을 사용하여 필요한 단위 커패시터 수를 반으로 줄임으로써, 줄어든 커패시터 수만큼 연결된 디지털 게이트 및 신호선의 숫자 등을 줄여 앞단의 부하 커패시턴스를 감소시켰다. 사용되는 단위 커패시터 값의 결정을 위해, MDAC1에서는 열잡음 및 입력 단 SHA의 입력 커패시터 4pF과의 정합 등을 고려하여 250fF을 사용하였으며, MDAC2에서는 60fF을 사용함으로써 MDAC2에서 처리해야 하는 정확도 및 정합 등을 만족시키는 동시에 전체 ADC에서 많은 전력을 차지하는 MDAC1의 부하 커패시턴스를 줄여서 MDAC1의 전력 소모를 최소화하였다. 또한, 각 MDAC에서 요구되는 높은 DC 전압 이득, 전력 소모 및 속도를 고려하여 MDAC1은 folded-cascode와 folded-cascode 구조로, MDAC2는 folded-cascode와 unfolded-cascode 구조가 순차적으로 연결된 2단 증폭기를 사용하여 전력 소모 및 면적을 최적화하였다.

3. 오픈-루프 오프셋 샘플링 기법을 적용한 6b flash ADC

제안하는 ADC에는 앞단에 2개의 5b flash ADC 및 마지막 단에 1개의 6b flash ADC가 사용되며 각각의 flash ADC는 요구되는 수준의 정확한 신호 처리를 위하여 프리앰프 (preamp)와 래치 (latch)로 구성되는 비교기를 사용하며, 특히, 최종 단 6b flash ADC는 그림 5에서 보는 바와 같이 70MS/s의 동작 속도에서 6비트 이상의 높은 해상도를 구현하기 위해 2단 프리앰프를 사용하여 입력 오프셋을 오픈 루프로 샘플링하는 구조를 사용한다. 이와 같이 6b flash ADC의 비교기는 2단의 프리앰프를 사용함으로써 각 단의 이득을 낮추면서 출력 단 폴 (pole)의 위치를 증가시킴으로써 고속 동작에서 낮은 전력으로 오프셋 샘플링이 가능하게 하였다.

그림 5에서 클럭 Q2가 high 상태일 때, 첫 번째 프리앰프의 출력 단에 연결된 커패시터 Cos1, Cos2에는 입력 오프셋 전압이 샘플링되며, 두 번째 프리앰프의 출력 단 TN2, TP2는 서로 단락됨으로써 다음 주기의 증폭 동작에서 안정된 동작을 할 수 있도록 하였고, 반대로 클럭 Q1이 high 상태일 때는 Cos1, Cos2에 저장되어 있던 오프셋이 프리앰프의 입력 오프셋과 서로 상쇄

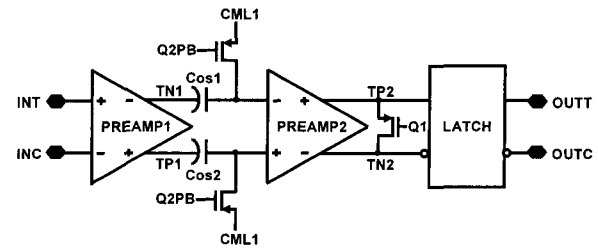


그림 5. 제안하는 오픈-루프 오프셋 샘플링 기법을 적용한 6b flash ADC의 비교기

Fig. 5. Proposed open-loop offset sampled comparator of the 6b flash ADC (FLASH3).

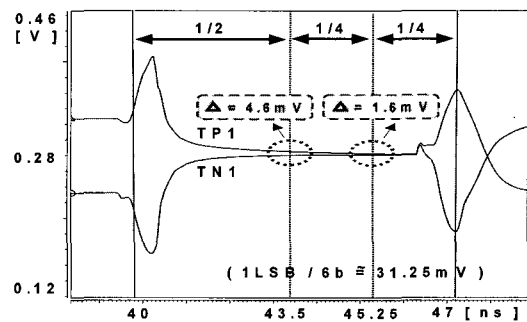


그림 6. 제안하는 FLASH3 비교기의 오프셋 샘플링 모의 실험 결과

Fig. 6. Simulated offset sampling of the proposed FLASH3 comparator.

되며, 신호 성분만 증폭되게 된다. 그림 6은 그림 5에서 첫 번째 비교기의 출력 노드인 TN1과 TP1의 전형적인 전압 값을 나타내며 오프셋 샘플링 모드일 때 오프셋이 Cos1과 Cos2에 샘플링되는 파형을 보여준다. 그림 6에서 보는 바와 같이 2Vp-p 입력 신호의 6비트의 1LSB에 해당되는 31.2mV를 기준으로 볼 때 주어진 시간 구간인 7ns의 절반 수준에서 이미 요구되는 정확도 이상으로 오프셋이 샘플링되며 5ns에서 6ns 정도의 시점에서는 거의 대부분의 오프셋 전압이 제거되고 있음을 알 수 있다. 또한, 6b flash ADC에서 사용되는 32개의 비교기는 나머지 2개의 5b flash ADC에서 사용되는 비교기에 비해 절반 정도의 폭을 갖도록 레이아웃 함으로써, 전체 회로의 폭을 비슷하게 레이아웃 하여 전체 ADC 구조의 일관성 유지, 인접 회로 간의 신호 연결 및 배치 등을 용이하게 하였다.

4. 온-칩 저잡음 CMOS 기준 전류 및 전압 발생기

제안하는 ADC에는 그림 7과 같이 저전력으로 동작하는 온-칩 기준 전류 및 전압 회로를 집적하여 ADC가 독립적으로 동작할 수 있도록 설계하였다. 그림 7에서 기준 전류 및 전압 발생기는 3비트 디지털 코드에

의해 $\pm 30\%$ 이내의 공정 오차에 따른 소자 값의 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고^[19], EXTRF 신호를 두어 필요에 따라 외부에서 다른 기준 전압 값을 인가할 수 있도록 하였다. EXTRF 신호가 low일 경우, 칩 내부에서 발생시킨 기준 전압을 사용하게 되며 EXTRF 신호가 high일 경우, 출력단의 기준 전압 노드가 높은 임피던스가 되도록 하여 외부 기준 전압을 사용하게 된다.

한편, 제안하는 ADC에서 사용되는 기준 전압은 MOS 스위치를 통하여 ADC의 각 동작 블록에 공급되므로, 클록에 따라 스위치가 ON 및 OFF가 반복되면서 채널 전하도 순간적으로 충전 및 방전을 반복하게 된다. 이때 발생하는 고주파 스위칭 잡음과 글리치 등으로 기준 전압 출력 노드의 전압이 14비트 수준의 일정한 값으로 유지되기가 어렵다. 본 논문에서는 그림 7의 우측에서 보는 바와 같이 기준 전압 출력 노드에 0.1uF 수준의 바이패스 커패시터를 칩 외부에 연결하여 사용함으로써 스위치의 충전 및 방전에 의한 잡음을 해결하

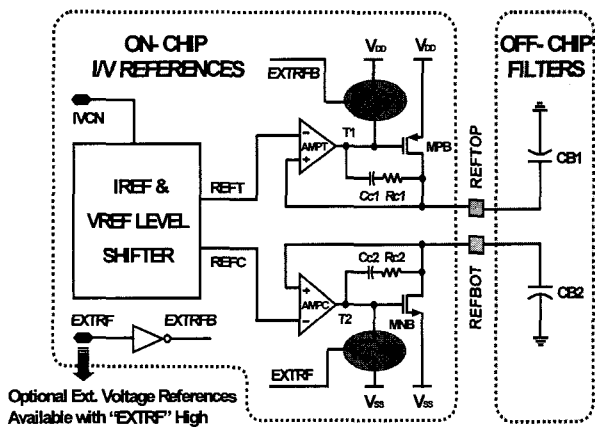


그림 7. 온-칩 기준 전류 및 전압 발생기
Fig. 7. On-chip current and voltage references.

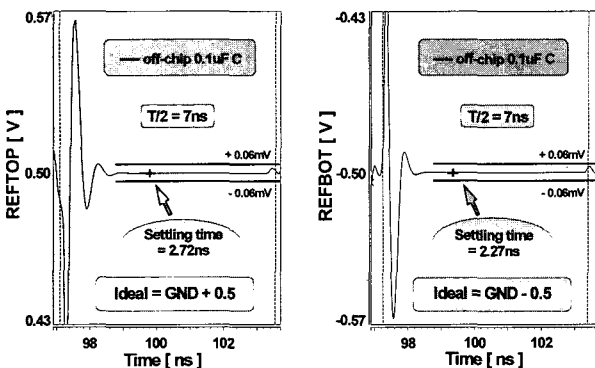


그림 8. 온-칩 기준 전압의 모의 실험 결과
Fig. 8. Simulated on-chip top and bottom reference voltages.

였으며, 그림 8의 모의실험 결과에서 보는 바와 같이 온-칩 기준 전류 및 전압 발생기만으로 70MS/s 속도에서 각 해당하는 기준 전압 노드가 정착시간의 50% 이상의 여유를 가지고 충분히 정착함을 알 수 있다.

IV. 두 가지 버전의 시제품 ADC 제작 및 성능 측정

제안하는 14비트 70MS/s ADC는 0.13um n-well 1P7M CMOS 공정으로 2.5V 전원 전압 사용을 위해 0.35um 최소 채널 길이를 사용하여 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 9와 같고 굵은 점선으로 표시된 부분은 온-칩 PMOS decoupling 커패시터를 나타낸다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 3.3mm²이며, 70MS/s의 샘플링 속도를 가지고 동작할 때 235mW의 전력을 소모한다. 첫 번째 구조의 시제품 ADC의 측정된 DNL 및 INL은 그림 10(a)에서 보는 바와 같이 각각 최대 0.77LSB, 9.82LSB 수준이며, 이를 개선한 두 번째 구조의 시제품 ADC의 측정된 DNL 및 INL은 그림 10(b)에서와 같이 각각 최대 0.65LSB, 1.80LSB 수준으로, DNL 값은 유사한 수준을 보이나 INL 값은 5배 이상 큰 차이로 좋은 결과를 보임을 알 수 있다.

그림 11은 두 번째 구조의 시제품 ADC에 대해서

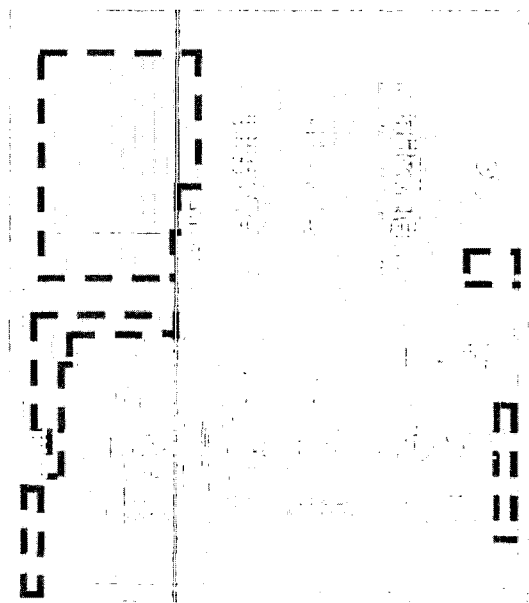
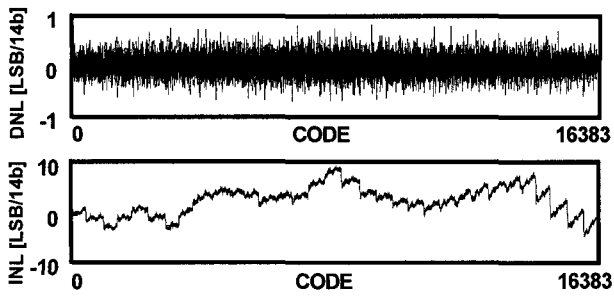
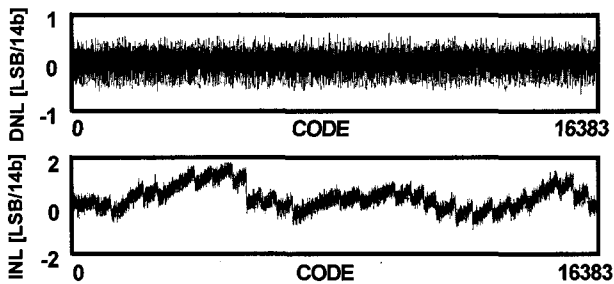


그림 9. 시제품 14b 70MS/s 0.13um CMOS ADC 칩 사진 (= 1.65mm × 2.01mm)
Fig. 9. Die photograph of the prototype 14b 70MS/s 0.13um CMOS ADC (= 1.65mm × 2.01mm).



(a)



(b)

그림 10. 시제품 ADC의 측정된 DNL 및 INL : (a) 버전1, (b) 버전2

Fig. 10. Measured DNL and INL of the prototype ADC : (a) Version1 and (b) Version2.

1MHz 입력 주파수, 70MS/s 샘플링 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 70MS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 70MHz의 클럭을 1/2 다운 샘플링하여 측정하였다.

그림 12는 제안하는 두 가지 구조의 레이아웃 기법이 적용된 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 12(a)는 ADC의 샘플링 속도를 10MS/s에서 70MS/s 까지 증가시킬 때, 1MHz의 차동 입력 주파수에서의 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)를 나타낸 것이다. 샘플링 속도가 70MS/s까지 증가하는 동안 첫 번째 구조의 시제품 ADC의 측정된 SNDR과 SFDR은 각각 63dB, 72dB 이상 유지되며 두 번째 구조의 시제품 ADC의 측정된 SNDR과 SFDR은 각각 66dB, 81dB 수준을 보이고 있다. 그림 12(b)는 70MS/s의 최대 샘플링 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, 첫 번째 구조의 시제품 ADC의 측정된 SNDR과 SFDR은 각각 60dB, 68dB 수준을 유지하며 두 번째 구조의 시제품 ADC의 측정된 SNDR과 SFDR은 각각 61dB, 72dB 수준을 유지하는 것을 알 수 있다.

고가의 측정 장비 없이 저비용으로 14비트 ADC 측정

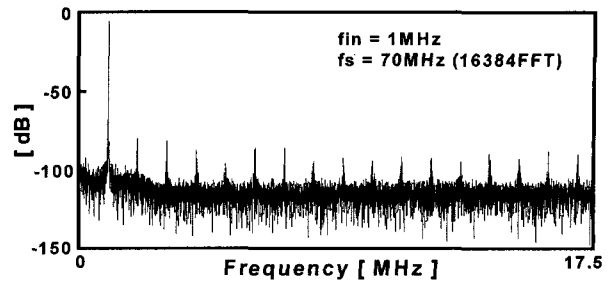
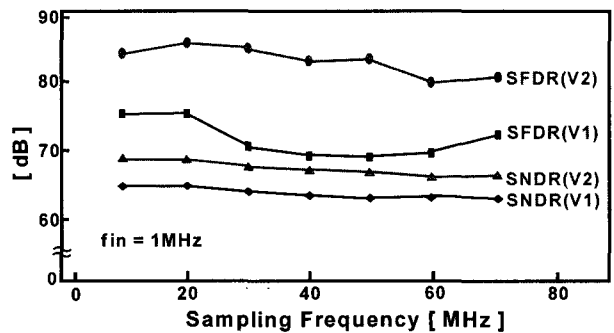
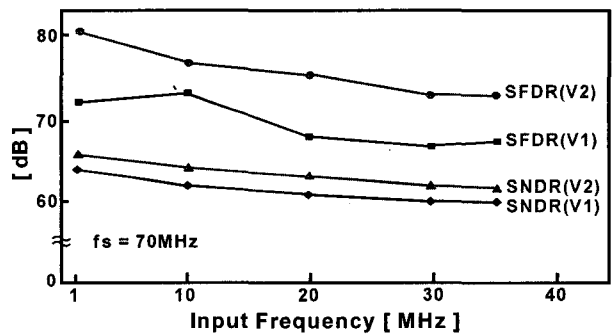


그림 11. 두 번째 버전 ADC의 측정된 FFT 스펙트럼 (1/2fs 다운 샘플)

Fig. 11. Measured FFT spectrum of the Version2 ADC (1/2fs down sampled).



(a)



(b)

그림 12. 두 가지 버전 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 12. Dynamic performance of two versions of the prototype ADC :

을 위해 온-칩 분주기와 1ps 미만의 지터를 갖는 크리스탈 오실레이터를 샘플링 클럭으로 사용하였으며, 전원 전압으로부터의 잡음을 최소화하기 위하여 적은 노이즈를 갖는 전압 조정기 (voltage regulator)를 측정보드에 장착하여 측정하였다. 또한 아날로그 입력 신호는 12비트 수준의 해상도를 갖는 Agilent 33250A 신호 발생기로 인가하여 측정하였고 신호발생기만의 출력을 측정할 결과 낮은 주파수 대역에서는 70dB 수준의 SNR을 갖지만, 제안하는 ADC의 Nyquist 입력인 35MHz 에서는 64dB 수준

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

	VERSION1*	VERSION2*
Resolution	14bits	
Max. Conversion	70MS/s	
Process	0.13um CMOS (L _{min} = 0.35um for 2.5V systems)	
Input Range	2.0Vp-p	
SNDR (at fin = 1MHz)	63.4dB	65.7dB
SFDR (at fin = 1MHz)	72.2dB	80.6dB
DNL	- 0.66LSB / + 0.77LSB	- 0.60LSB / + 0.65LSB
INL	- 4.62LSB / + 9.82LSB	- 0.98LSB / + 1.80LSB
ADC Core Power	235mW	
Active Die Area	3.3mm ² (= 2.01mm × 1.65mm)	

* Version1 : MDACs with both capacitors and signal lines isolated
 * Version2 : MDACs with only capacitors isolated

표 2. 최근 발표된 14b ADC들과의 성능 비교

Table 2. Comparison to the previous 14b ADCs.

	Bits	MS/s	mW	mm ²	DNL / INL	Calibration
Proposed ADC	14	70	235	3.3	0.65 / 1.80	X
[2] ISCAS00	14	10	118	2.4	0.73 / 1.55	X
[3] ISSCC04	14	10	112	15.1	0.31 / 0.58	X
[4] JSSC04	14	12	98	15.1	0.47 / 0.54	X
[5] ISSCC00	14	20	720	10.8	0.28 / 1.06	X
[6] ISSCC01	14	75	340	7.8	0.60 / 2.00	X
[7] JSSC02	14	10	220	12.5	0.60 / 2.50	O
[8] ESSCIRC05	14	40	220	6.5	0.25 / 1.50	O
[9] ISSCC04	14	50	350	16.0	0.50 / 1.00	O

의 낮은 SNR을 갖게 되어, 14비트 수준의 성능을 갖는 시제품 ADC의 성능측정을 위해 가능한 만큼 신호발생기의 정확도를 높이기 위해 신호발생기 출력에 수동소자를 이용한 저대역 필터를 부착하여 측정을 하였다. 제안하는 시제품 ADC의 측정 결과 및 최근 발표된 ADC들과의 성능 비교를 각각 표 1과 표 2에 요약하였다.

V. 결 론

본 논문에서는 WLAN 등 최첨단 무선 통신 및 고급영상 처리 시스템에 온-칩으로 응용하기 위해 특별한 보정기법을 사용하지 않는 14b 70MS/s 0.13um CMOS ADC를 제안한다. 요구되는 사양을 구현하기 위해 다음과 같은 다양한 설계 및 레이아웃 기법들을 제안하였다.

첫째, 전체 ADC 해상도에 결정적인 영향을 주는 MDAC에서 사용하는 커패시터 등 소자 부정합을 최소화하기 위해서 단위 커패시터의 상층 및 하층 판들을 각각 별도로 인접 신호선과 완전히 분리하고 사용가능한 모든 금속 층들로 둘러싸서 주변 조건을 인접한 신호에 관계

없이 완전히 동일하게 함으로써 소자 부정합을 최소화하는 인접신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법을 적용하였다. 둘째, 제안하는 ADC는 요구되는 고해상도와 높은 신호처리속도를 얻으면서 동시에 전력 소모 및 면적을 최적화 할 수 있도록, 기존의 14비트 수준의 ADC에서 찾아보기 어려운 3단 파이프라인 구조로 설계하였다. 셋째, 입력 단 SHA는 Nyquist 입력에서도 14비트 이상의 유효 비트를 가지기 위해서 게이트-부트스트래핑 회로를 사용하였으며, 높은 DC 전압 이득과 동시에 안정적인 신호 정착에 충분한 위상 여유를 얻기 위해 트랜스컨덕턴스 비율을 적절히 조정된 2단 증폭기 구조로 설계하였다. 넷째, 최종 단 6b flash ADC는 6비트 이상의 정확도를 구현하기 위해서 2단 오픈-루프 오프셋 샘플링 기법을 적용하였고, 사용하는 비교기의 크기를 5b flash ADC에 비해 절반 정도의 폭을 갖도록 레이아웃하여 전체 ADC 면적을 최소화하였다. 다섯째, 고해상도 ADC에 필수적인 안정된 기준 전압을 위해서 기준 전류 및 전압 발생기를 온-칩으로 집적하되 사용자의 필요에 따라 선택적으로 외부에서 기준 전압 값을 인가하도록 하였다. 마지막으로, 70MS/s의 샘플링 속도에서 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 필요에 따라 외부에서의 디지털 잡음을 최소한으로 줄일 수 있도록 오프-칩 고속 디지털 버퍼와 결합된 분주기를 온-칩으로 구현하였다.

제안하는 설계 및 레이아웃 기법을 적용하여 두 가지 구조로 각각 구현한 시제품 ADC의 칩 면적은 3.3mm²를 차지하며, 첫 번째 구조의 측정된 DNL 및 INL은 각각 최대 0.77LSB, 9.82LSB 수준이며, 두 번째 구조는 0.65LSB, 1.80LSB 수준을 나타낸다. 70MS/s의 샘플링 속도에서 1MHz 입력신호를 사용한 결과 첫 번째 구조의 SNDR 및 SFDR은 각각 63dB, 72dB이며, 두 번째 구조는 66dB, 81dB 수준을 보여준다. 소모 전력은 2.5V 전원 전압에서 235mW이다.

참 고 문 헌

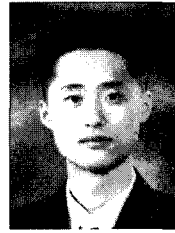
- [1] L. A. Singer and T. L. Brooks, "A 14-bit 10-MHz calibration-free CMOS pipelined A/D converter," in Symp. VLSI Circuits Dig. Tech. Papers, June 1996, pp. 94-95.
- [2] S. B. You, K. W. Lee, H. C. Choi, H. J. Park, J. W. Kim, and P. Chung, "A 3.3V 14-bit 10MSPS calibration-free CMOS pipelined A/D converter," in IEEE International Symposium on Circuits and

- Systems, May 2000, pp. 435-438.
- [3] Y. Chiu, P. R. Gray, and B. Nikolic, "A 1.8V 14b 10MS/s pipelined ADC in 0.18 μ m CMOS with 99dB SFDR," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 458-459.
- [4] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipelined ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.
- [5] H. S. Chen, K. Bacrania, and B. S. Song, "A 14b 20MSample/s CMOS pipelined ADC," in ISSCC Dig. Tech. Papers, Feb. 2000, pp. 46-47.
- [6] D. Kelly, W. Yang, I. Mehr, M. Sayuk, and L. Singer, "A 3V 340 mW 14b 75MSPS ADC with 85dB SFDR at Nyquist," in ISSCC Dig. Tech. Papers, Feb. 2001, pp. 134-135.
- [7] S. Y. Chuang and T. L. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 674-683, June 2002.
- [8] J. Bjornsen, O. Moldsvor, T. Sather, and T. ytterdal, "A 220mW 14b 40MSPS gain calibrated pipelined ADC," in Proc. Eur. Solid-State Circuits Conf., Sept. 2005, pp. 165-168.
- [9] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14b-linear capacitor self-trimming pipelined ADC," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 464-465.
- [10] J. Guilherme, P. Figueiredo, P. Azevedo, G. Minderico, A. Leal, J. Vital, and J. Franca, "A pipeline 15-b 10-Msample/s analog-to-digital converter for ADSL applications," in IEEE International Symposium on Circuits and Systems, May 2001, pp. 396-399.
- [11] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15b 20MS/s CMOS pipelined ADC with digital background calibration," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 454-455.
- [12] H. Van der Ploeg, M. Vertregt, and M. Lammers, "A 15-bit 30 MS/s 145 mW three-step ADC for imaging applications," in Proc. Eur. Solid-State Circuits Conf., Sept. 2005, pp. 161-164.
- [13] E. Siragusa and I. Galton, "A digitally enhanced 1.8V 15b 40MS/s CMOS pipelined ADC," in ISSCC Dig. Tech. Papers, Feb. 2004, pp. 452-453.
- [14] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1047-1056, May 2005.
- [15] S. Hisano and S. E. Sapp, "A 16-bit, 20MSPS CMOS pipeline ADC with direct INL detection algorithm," in Proc. CICC, Sept. 2003, pp. 417-420.
- [16] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipelined analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [17] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500kS/s 6mW 0.5mm² ADC with 0.13 μ m CMOS," in Symp. VLSI Circuits Dig. Tech. Papers, June 2004, pp. 76-77.
- [18] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5 V 10 b 120 MSample/s CMOS pipelined ADC with high SFDR," in Proc. CICC, May 2002, pp. 441-444.
- [19] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18- μ m CMOS ADC with on-chip current/voltage references," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.

저 자 소 개



문 경 준(정회원)
2005년 서강대학교
전자공학과 학사.
2005년~현재 서강대학교
전자공학과 석사과정.
<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 경 훈(정회원)
2004년 서강대학교
전자공학과 학사.
2006년 서강대학교
전자공학과 석사.
2006년~현재 서강대학교
전자공학과 박사과정
<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
1984년 서울대학교
전자공학과 학사.
1986년 서울대학교
전자공학과 석사.
1991년 미 Illinois 대 (Urbana-
Champaign) 공학박사.
1986년 KIST 위촉 연구원.
1987년~1990년 미 Coordinated Science Lab
(Urbana) 연구원.
1990년~1993년 미 Analog Devices 사 senior
design engineer.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기
(A/D, D/A) 설계 등임.>