

논문 2006-43SD-12-9

14b 200KS/s 0.87mm² 1.2mW 0.18um CMOS 알고리즘 A/D 변환기

(A 14b 200KS/s 0.87mm² 1.2mW
0.18um CMOS Algorithmic A/D Converter)

박 용 현*, 이 경 훈*, 최 희 철*, 이 승 훈**

(Yong-Hyun Park, Kyung-Hoon Lee, Hee-Cheol Choi, and Seung-Hoon Lee)

요 약

본 논문에서는 각종 지능형 센서, control system 및 battery-powered system 응용과 같이 고해상도, 저전력 및 소면적을 동시에 요구하는 시스템을 위한 14b 200KS/s 0.87mm² 1.2mW 0.18um CMOS 알고리즘 A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 요구되는 해상도 및 속도 사양을 만족시키면서, 동시에 면적을 최소화하기 위해 입력단 샘플-앤-홀드 앰프를 전혀 사용하지 않는 알고리즘 구조를 채택하였으며, 전체 ADC의 전력소모를 최소화하기 위해 핵심 아날로그 회로 부분에는 향상된 스위치 기반의 바이어스 전력 최소화 기법을 제안하였고, multiplying D/A 변환기에는 클럭 선택적인 샘플링 커패시터 스위칭 기법을 적용하였다. 또한, 초저전력 온-칩 기준 전류 및 전압 발생기를 제안하여 전체 ADC의 전력소모를 최소화 하였다. 제안하는 시제품 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 각각 최대 0.98LSB 및 15.72LSB 수준을 보인다. 또한, 200KS/s의 동작 속도에서 SNDR 및 SFDR이 각각 최대 54dB, 69dB이고, 전력 소모는 1.8V 전원 전압에서 1.2mW이며 제작된 ADC의 칩 면적은 0.87mm²이다.

Abstract

This work proposes a 14b 200KS/s 0.87mm² 1.2mW 0.18um CMOS algorithmic A/D converter (ADC) for intelligent sensors, control systems, battery-powered system applications simultaneously requiring high resolution, low power, and small area. The proposed algorithmic ADC not using a conventional sample-and-hold amplifier employs efficient switched-bias power-reduction techniques in analog circuits, a clock selective sampling-capacitor switching in the multiplying D/A converter, and ultra low-power on-chip current and voltage references to optimize sampling rate, resolution, power consumption, and chip area. The prototype ADC implemented in a 0.18um 1P6M CMOS process shows a measured DNL and INL of maximum 0.98LSB and 15.72LSB, respectively. The ADC demonstrates a maximum SNDR and SFDR of 54dB and 69dB, respectively, and a power consumption of 1.2mW at 200KS/s and 1.8V. The occupied active die area is 0.87mm².

Keywords : ADC, CMOS, 전력 최소화, 저전력, 소면적

I. 서 론

유비쿼터스로 대변되는 사회의 새로운 물결은 휴대 응용에 대한 전자 부품의 수요를 크게 증가 시키고 있다. 따라서 저전력, 소면적을 동시에 요구하는 휴대 용

응을 위해서 많은 시스템을 하나의 칩 속에 집적하는 System-on-a-Chip (SoC) 기술이 각종 신호처리 회로 설계에 있어서 절대적으로 요구되고 있으며, SoC 구현에 필요한 디지털 집적회로와 아날로그 집적회로를 하나의 칩 속에 집적하기 위해서 저전력, 소면적의 고성능 A/D 변환기 (Analog-to-Digital Converter : ADC)에 대한 요구도 상응하여 증가하고 있다. 특히, motor control, DSP servo control과 같은 control system 응용 및 medical instrument, mobile communication과 같

* 정회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)
※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」
및 산업자원부 시스템2010과제에 의해 지원되었음.
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

은 battery-powered system 응용 및 MEMS 기반의 가속도 센서, 압력 센서와 같은 각종 지능형 센서 응용에 사용되는 ADC는 14비트 수준의 고해상도와 200KS/s 수준의 동작속도를 필요로 하며, SoC 응용을 위해 저전력, 소면적 또한 필수적이다.

기존의 다양한 ADC 구조 중에서, 14비트 이상의 고해상도와 수백 KS/s 동작 속도를 만족시키는 구조로는 Successive Approximation Register (SAR) 타입 ADC, over-sampling ADC 및 알고리즘 ADC가 일반적이다^{[1]-[11]}. 표 1에서 보는바와 같이 상용 시장에 나와 있는 대부분의 단품 ADC^{[1]-[3],[6],[9]}들은 SAR 타입 ADC를 주로 사용하고 있지만, 해상도가 증가할수록 커패시터의 크기가 지수적으로 증가하기 때문에 높은 정확도와 함께 작은 면적에 구현하기가 어려워 SoC 응용에는 부적합하며, over-sampling ADC는 고해상도를 구현할 수 있지만, 디지털 회로까지 포함하여 작은 면적 속에 모든 기능을 집적하기에는 회로가 다른 구조에 비해 비교적 복잡하다는 단점을 가지고 있어 SoC 응용에 부적합하다. 반면, 알고리즘 ADC는 회로의 구조가 간단하여 작은 면적으로 구현이 가능하고, 공정 기술의 발달로 비교적 높은 해상도를 구현할 수 있고, 전력소모도 매우 적어 저전력, 소면적을 요구하는 SoC 응용을 위한 ADC 구조로 가장 적합하다. 본 논문에서는 SoC 응용에 적합한 저전력, 소면적 ADC의 구현을 위해 최적화된 알고리즘 ADC를 제안한다.

최근에 학회, 저널 등을 통해 발표된 14비트 이상의 해상도에서 샘플링 속도가 수백 KS/s 이상의 ADC를 본 논문에서 제안하는 ADC와 함께 표 1에 나타내었다^{[1]-[11]}. 표 1에서와 같이 기존에 발표된 ADC는 주로 SAR 타입 ADC 혹은 over-sampling ADC 구조를 채

표 1. 최근 발표된 14b-16b 수백 KS/s 수준의 CMOS ADCs

Table 1. Recently reported 14b-16b hundreds of KS/s CMOS ADCs.

	This work	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[8]	[9]	[10]	[11]
해상도 (bits)	14	14	14	14	14	14	16	16	16	16	16	16
구조	Algo.	SAR	SAR	SAR	$\Sigma\Delta$	$\Sigma\Delta$	SAR	$\Sigma\Delta$	SAR	SAR	Algo.	SAR
변환속도 (KS/s)	200	200	250	500	2200	4000	100	160	200	250	500	500
전원전압 (V)	1.8	5	5	5	1.2	1.8	2.7	5	5	5	3	5
면적 (mm ²)	0.87	-	-	-	4.3	2.86	-	3	2	-	0.5	-
전력 (mw)	1.2	17.5	12.5	25	248	149	1.8	76	6.8	6.3	6	6.2
DNL/INL (LSB)	1.0/15.7	0.8/1.0	0.3/0.4	0.3/0.4	0.3/0.5	-/-	2/8	-/-	2/16	-/4	0.9/6.1	-/-

택하여 칩 면적은 대부분 1.0mm² 이상이다. 소모 전력 또한 수 mW 이상을 소모하고, 외부 기준 전압 발생기를 사용하여 기준전압을 온-칩으로 구현할 경우 추가적인 전력소모를 필요로 하여, 제안하는 ADC에 비하여 저전력, 소면적을 요구하는 SoC 응용에 적합하지 않다. 기존에 발표된 알고리즘 구조를 사용한 한 ADC^[10]의 경우는 0.13um CMOS 공정을 사용하여 칩 면적은 0.5mm²이나, 전력소모가 6mW 수준으로 SoC 응용에 어려운 단점이 있다. 본 논문에서 제안하는 알고리즘 ADC는 0.87mm²의 작은 면적을 차지하며, 전력소모가 1.2mW로 기존의 발표된 14비트 이상 ADC 중 가장 적은 전력을 소모하여 SoC 응용에 매우 유리함을 알 수 있다.

본 논문에서는 14비트 해상도, 1.8V의 전원 전압에서 200KS/s의 동작 속도 및 저전력을 만족시키는 ADC 사양을 구현하기 위해, (1) 전형적인 샘플-앤-홀드 앰프 (SHA)를 사용하지 않는 알고리즘 구조를 제안하여 전체 칩 면적과 전력소모를 최소화하였고, (2) 아날로그 증폭기에 향상된 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 증폭기의 전력소모를 최소화하였다. (3) 또한, Multiplying D/A 변환기 (MDAC)에는 클록 선택적인 샘플링 커패시터 스위칭 기법을 제안하여 MDAC에서의 전력소모를 최소화 하였으며, (4) 새로운 초저전력 온-칩 기준 전류 및 전압 발생기를 제안하여 중요한 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하였다. II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서는 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV 장에서는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 14b 200KS/s ADC는 2개의 단에서 각각 3비트를 결정하는 알고리즘 구조를 사용하였으며, ADC 전체 구조는 그림 1과 같이, 2개의 3b MDAC, 2개의 3b flash ADC, 온-칩 기준 전류 및 전압 발생기, 디지털 교정 회로 (digital correction logic), 타이밍 회로 및 클록 발생기 (clock generator)로 구성된다. 통상적인 알고리즘 구조에 사용되는 입력단 SHA는 동작 속도가 수백 KS/s 수준으로 처리속도에 큰 문제가 없음을 고려하여, 입력단 SHA를 아예 제거하는 대신, 하나의 단의 MDAC과 flash ADC를 추가하여 제안하는 ADC는 1번 리사이클링할 때마다 2개의 flash

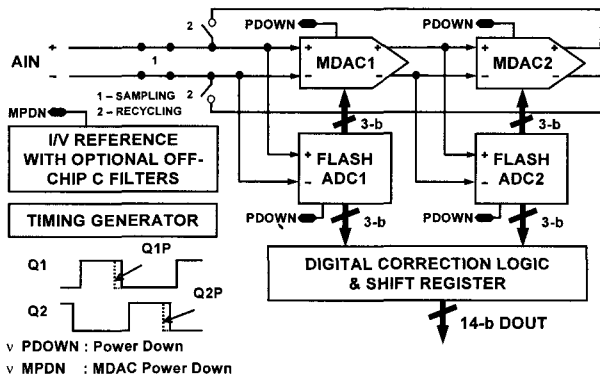


그림 1. 제안하는 14b 200KS/s 0.18um CMOS ADC
 Fig. 1. Proposed 14b 200KS/s 0.18um CMOS ADC.

ADC에서 총 6비트를 출력한다. 따라서 한 단의 MDAC과 flash ADC 만을 사용하는 통상적인 알고리즘 구조에 비해 요구되는 비트수를 얻기 위한 리사이클링 횟수가 50% 감소되어, 전체 ADC의 전력소모를 최소화하였다. 또한 기존의 알고리즘 ADC의 경우 외부 입력과 내부 리사이클링 되는 입력을 주기에 따라 선택적으로 받기 위하여 보통 입력단에 한 개의 MUX를 사용하는데, 이 경우 MUX 스위치, MDAC과 flash ADC의 입력단 스위치가 직렬로 연결되어 온-저항을 증가시키게 된다. 따라서 제안하는 ADC는 온-저항을 감소시키고, 추후 수 MS/s 이상의 동작속도로의 확장을 고려하여 MDAC과 flash ADC에 MUX를 각각 사용하였다.

하나의 시스템 입력 클럭으로부터 2개의 중첩되지 않는 클럭 (non-overlapping clock) Q1, Q2와 파이프라인 구조의 재사용을 위한 타이밍 클럭은 칩 내부에서 발생시켰다. 제안하는 ADC의 전체 동작은 총 4주기의 리사이클링을 통해 14비트를 출력하며, 입력단 첫 번째 MDAC은 처음 1주기 동안 외부의 입력을 받고 나머지 3주기 동안은 내부 타이밍 신호의 제어를 통해 두 번째 MDAC으로부터 입력 신호를 전달 받는다. 한편, 2개의 flash ADC는 1주기마다 각각 3비트의 신호를 디지털 교정 회로로 전달하며, 디지털 교정 회로에서는 각 주기마다 출력된 디지털 신호를 1비트씩을 중첩시켜 MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 및 클럭 피드스루 등의 비선형 오차를 디지털 영역에서 교정하며, 디지털 교정회로 내부의 쉬프트 레지스터를 통해 4주기가 지난 후 최종 14비트 출력을 내보낸다. 초저전력 온-칩 기준 전류 및 전압 발생기는 온도와 전원 전압에 관계없이 안정된 기준 전류 및 전압을 공급하기 위해 온-칩으로 집적되었다.

III. 제안하는 ADC의 회로 설계

1. 스위치 기반의 바이어스 전력 최소화 기법을 적용한 저전력 증폭기

아날로그 집적회로 혹은 혼성모드 집적시스템에서 저전력을 소모하기 위해서는 저전력 증폭기의 구현이 필수적이다. 기존의 논문에서는 인접한 단끼리 증폭기를 공유하여 증폭기의 개수를 줄임으로써 전력 소모를 최소화하기도 했으나 증폭기가 리셋 (reset) 없이 계속 사용되어, 제거되지 않는 증폭기의 오프셋 전압과 추가된 많은 스위치로 인한 직렬 저항 및 기생 커패시턴스 등으로 인해 전체 칩 동작 성능에 나쁜 영향을 끼칠 수 있으며, 레이아웃도 복잡해진다는 단점이 있다^{[12],[13]}. 또한, 증폭기를 사용하지 않아도 되는 샘플링 모드 동안에 증폭기의 동작 전류를 제어하여 전력 소모를 줄일 경우, 출력단에 생길 수 있는 순간적인 오버슈트 (overshoot) 및 위상 변화로 인한 불안정한 동작으로 정착 시간을 증가 시킨다^[14]. 이와 같은 문제점들은 스위치 기반의 바이어스 기법을 통해 해결할 수 있다^{[15],[16]}. 본 논문에서 사용된 MDAC 및 flash ADC에 사용되는 증폭기에는 이 기법을 활용하여 샘플링하는 클럭의 반주기동안 바이어스 회로에 스위치를 사용하여 증폭기에 공급되는 바이어스 전류를 완전히 차단하여, 증폭기에 사용되는 전력소모를 최소화하는 위상에 따른 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 또한, 알고리즘 ADC는 리사이클링 주기에 따라 요구되는 증폭기의 해상도는 점차 감소하게 되며, 이를 이용하여 요구되는 해상도에 따른 클럭 선택적인 스위치 기반의 바이어스 전력 최소화 기법을 제안하여 전력 소모를 추가로 최소화하였다.

그림 2는 위상에 따른 스위치 기반의 바이어스 전력 최소화 기법이 적용된 MDAC의 2 단 증폭기와 바이어스 회로를 보여준다. Folded-cascode로 이루어진 첫 번째 증폭기에 샘플링 모드로 동작하는 반주기 동안 바이어스 회로로부터 BIAS1, BIAS2 및 BIAS4의 공급을 완전히 차단하며, 나머지 반주기인 증폭 모드로 동작할 때, MN3와 MP3로 이루어진 전류거울에 의한 전류 지연 셀에 의해 BIAS4 → BIAS1, BIAS2의 일정한 순서에 의해 바이어스 전류를 공급함으로써 증폭기가 신호를 증폭하는 동안 안정적으로 동작하도록 설계하였다. 전체 ADC에 사용되는 sub-ranging flash ADC들의 경우에도 요구되는 정착 시간을 만족하는 범위 내에서 그림 3과 같은 방법으로 증폭기의 기준전압을 샘플링 하는 동안 100% 전류를 줄여도 증폭기가 안정적으로 동

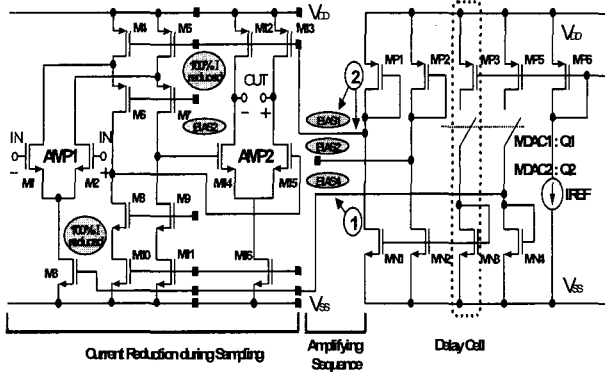


그림 2. 스위치 기반의 전력 최소화 기법을 적용하는 MDAC 증폭기 회로

Fig. 2. MDAC amplifier based on a switched-bias power-reduction technique.

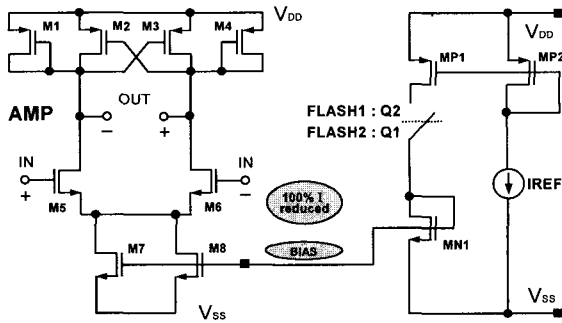


그림 3. 스위치 기반의 전력 최소화 기법을 적용하는 flash ADC 프리앰프

Fig. 3. Flash ADC preamp based on a switched-bias power-reduction technique.

작하게 하였다. 이러한 기법을 적용하여 설계된 MDAC 및 flash ADC 회로에서의 전력 소모는 전력 최소화 기법을 적용하지 않은 경우보다 바이어스 전류를 포함하여 각각 39%, 29% 감소하였다.

제안하는 MDAC의 아날로그 증폭기에 요구되는 $f-3dB$ 는 아래의 식 (1)과 같이 해상도와 정착시간에 따라 결정된다. 총 4회의 리사이클링을 통해 14비트를 출력하는 제안하는 ADC의 입력단 MDAC은 처음 입력신호가 인가 될 때에는 14비트 수준의 해상도가 필요하지만, 총 4번의 리사이클링 주기 중 2주기 뒤에 요구되는 해상도는 7비트 수준으로, 요구되는 $f-3dB$ 는 최초로 요구되던 $f-3dB$ 의 50% 수준으로 감소하게 된다. 따라서 제안하는 MDAC은 요구되는 해상도에 따른 클럭 선택적인 스위치 기반의 바이어스 전력 최소화 기법을 제안하여 MDAC에서의 전력 소모를 최소화 하였다. 동작의 검증을 위하여 MDAC 바이어스 회로에 MPDN 신호를 두어 바이어스 전류를 제어하였으며, MPDN 신호가 low일 경우, 동작 주기에 관계없이 MDAC 증폭기에

일정한 바이어스 전류를 공급하며, MPDN 신호가 high일 경우, 최초 입력신호 인가 후 2주기 뒤의 리사이클링 모드에서는 MDAC 증폭기에 공급되는 바이어스 전류를 40% 감소시켜 증폭기의 동작에 이상이 없는 범위 내에서 전력 소모를 최소화하였다.

$$f_{-3dB} = \frac{N \cdot \ln 2}{2 \cdot \pi \cdot t_s} \quad (ts = \text{settling time, } N = \text{resolution}) \quad (1)$$

2. 클럭 선택적인 샘플링 커패시터 스위칭 기법 및 3차원 완전대칭 레이아웃 기법 기반의 저전력 MDAC

아날로그 회로에 사용되는 증폭기의 샘플링 커패시터의 크기는 요구되는 증폭기의 해상도와 입력 신호의 크기에 따라 열잡음을 고려하여 결정된다. 제안하는 ADC는 SHA가 없는 알고리즘 구조를 채택하여, 입력단 MDAC에 사용되는 증폭기는 외부의 입력이 인가될 때에는 최초 14비트 수준의 해상도가 요구되지만, 이후 첫 번째 리사이클링 모드에서는 10비트 수준 이상의 정확도만 만족하면 된다. 따라서 입력단 MDAC의 샘플링 커패시터의 크기는 14비트의 해상도와 1Vp-p의 입력 신호에 따른 열잡음을 고려하여 4pF로 설계하였으며, 동작 모드에 따라 스위치를 통해 샘플링 커패시터의 크기를 조절하였다. 그림 4는 제안하는 샘플링 커패시터 스위칭 기법을 나타낸 그림이다. 그림 4 (a)와 같이 입력단 MDAC 증폭기는 외부의 입력이 인가될 때에는 4pF의 샘플링 커패시터를 사용하며, 리사이클링 모드에서는 그림 4 (b)와 같이 2pF의 샘플링 커패시터만을 사용하였다. 이에 따라, MDAC2 증폭기의 출력단 부하 커패시턴스의 크기가 반으로 줄기 때문에 MDAC2 증폭기의 전력 소모를 최소화 할 수 있다.

한편, 기존의 높은 해상도를 요구하는 ADC의 경우, 커패시터 열의 부정합을 제거하기 위해 다양한 아날로그 및 디지털 보정기법이 사용되었다. 그러나 복잡한 알고리즘을 필요로 하는 이러한 보정기법은 추가적인 회로로 인한 면적과 전력 소모를 증가시켜서 결과적으로 소면적, 저전력을 추구하는 SoC 응용의 요구조건에 적합하지 않다. 커패시터의 부정합은 주로 커패시터와 주변 신호 라인간의 기생 커패시턴스의 오차에 의한 영향이 크며 이러한 부정합의 영향은 추가적인 회로 없이 고도로 정돈된 레이아웃 기법만으로 상당 부분 감쇄시킬 수 있다^[10]. 그림 5는 MDAC의 커패시터 열의 부정합을 최소화하여 높은 커패시터 매칭을 얻기 위해 제안

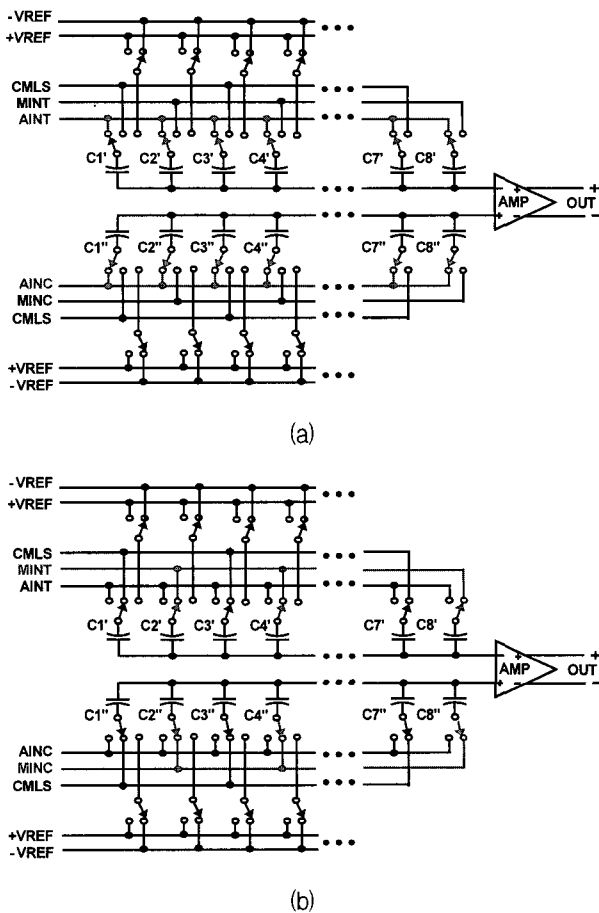


그림 4. 제안하는 클럭 선택적인 샘플링 커패시터 스위칭 기법의 MDAC 회로 : (a) 샘플링 모드 및 (b) 리사이클링 모드

Fig. 4. MDAC circuit based on the proposed clock selective sampling capacitor switching technique : (a) sampling mode and (b) recycling mode.

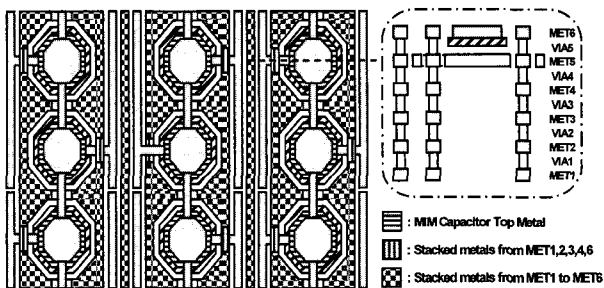


그림 5. 높은 정확도를 위해 제안하는 3차원 완전 대칭 MDAC 커패시터

Fig. 5. Proposed 3-D fully symmetric MDAC capacitors for high matching accuracy.

하는 3차원 완전 대칭 레이아웃 기법을 나타낸다. 그림 5의 커패시터는 1P6M 공정의 Metal-Insulator- Metal (MIM) 구조를 가지며, 기존의 논문 [10]은 커패시터의 top과 bottom을 연결하는 메탈을 제외한 나머지 메탈 층들로 단위 커패시터만을 둘러싸도록 하였으나, 제안

하는 ADC에는 커패시터를 연결하는 신호라인들 사이에도 추가적인 메탈 층으로 둘러싸도록 하여 신호라인에서 발생할 수 있는 기생 커패시턴스의 양상을 유사하게 만들어 해상도를 높였다.

또한, 기존의 수십 MHz의 동작속도를 가지는 MDAC 증폭기의 경우 2단 증폭기의 gm 비율을 면적, 위상여유와 전력소모 등을 고려하여 1:3 정도로 최적화 하였으나, 제안하는 MDAC은 요구되는 동작속도가 200KHz 수준으로, 증폭기 자체의 부하가 무시될 수 있을 정도로 작기 때문에 2단 증폭기의 gm 비율을 1:5 정도로 설계하여, 위상여유는 향상시키면서도 MDAC 증폭기의 전력 소모를 10% 이상 감소시켰다. 두 개의 MDAC에는 고속의 동작에서 전력과 잡음을 줄이기 위해 각각의 3b MDAC의 단위 커패시터 수를 8개에서 4개로 줄이는 병합 커패시터 스위칭 (Merged-Capacitor Switching : MCS) 기법을 적용하였다 [17]. 이 방법은 커패시터 수가 줄어든 만큼 디지털 게이트 및 신호선의 숫자가 절반으로 줄어들어 MDAC의 부하 커패시턴스가 줄어드는 장점을 갖는다.

3. 온도 및 전원에 독립적인 초저전력 온-칩 CMOS 기준전류 및 전압발생기

제안하는 ADC에는 그림 6과 같이 200KS/s의 동작 속도에서 초저전력으로 동작하는 온-칩 기준 전류 및 전압 회로를 집적하였다. 통상적인 기준 전류 회로는 음의 온도 계수를 가진 회로와 양의 온도 계수를 가진 회로를 동시에 사용하여 온도의 변화에 독립적인 회로를 구현하였다 [18]. 이러한 회로를 바탕으로 설계된 수십 MHz 이상의 동작속도를 가지는 ADC의 경우에는 전체 ADC의 소모 전력에 비해 기준 전류 및 전압 회로의 전력 소모는 무시할 수 있을 정도로 작으나, 수백 KHz 정도의 낮은 주파수 처리대역을 가진 ADC의 경우에는 전체 ADC 소모 전력의 대략 30% 이상을 온-칩 기준 전류 및 전압 회로에서 소모하게 된다. 따라서 본 논문에서는 수백 KHz의 동작속도에 적합한 초저전력 온-칩 기준 전류 및 전압 회로를 제안하였다. 그림 7은 제안하는 초저전력 온-칩 기준 전류 회로이다. 그림 7에서 전류 IOUT은 식 (2)와 같이 간단하게 나타낼 수 있으며, 전류 IOUT의 온도에 대한 변화는 IOUT을 온도에 관하여 미분하여 식 (3)과 같이 요약된다. 따라서, 식 (3)의 각 항을 적절히 보완하여 변화량을 최적화 시킬 경우 온도에 대한 독립적인 회로를 구현할 수 있

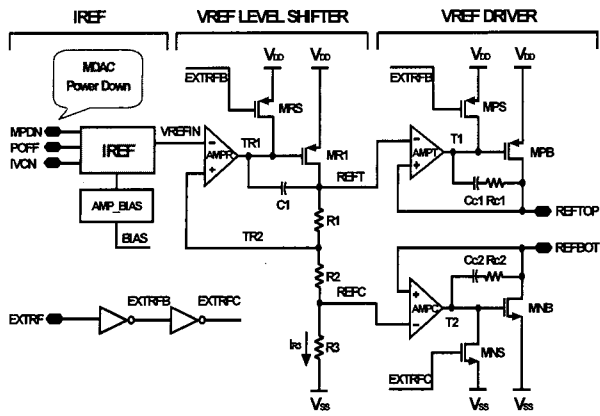


그림 6. 제안하는 초저전력 온-칩 기준 전류 및 전압 발생기

Fig. 6. Proposed ultra low-power on-chip current and voltage references.

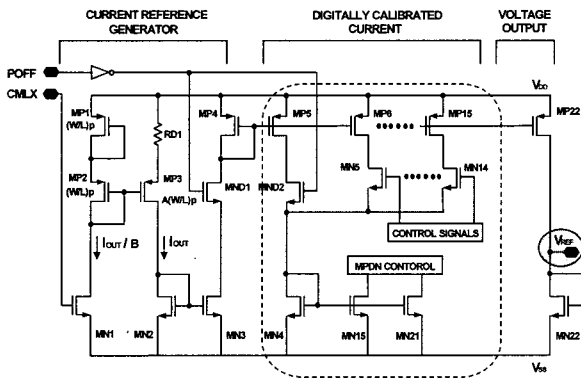


그림 7. 제안하는 초저전력 온-칩 기준 전류 발생기

Fig. 7. Proposed ultra low-power on-chip current reference.

다. 모의실험 결과 온도가 -25°C에서 100°C까지 변할 경우 전류 I_{OUT}의 온도에 대한 변화율은 93.6ppm/°C 수준이다.

$$I_{OUT} = \frac{1}{RD_1} \left(\frac{2K}{B} \cdot V_{sg1} - \frac{2V_{thp1}}{B} \cdot (K-1) - V_{thp3} \right) \quad (2)$$

$$K = \left(1 - \frac{1}{2} \sqrt{\frac{B}{A}} \right) > 0$$

$$\frac{\delta I_{OUT}}{\delta T} = \frac{1}{RD_1} \left(-I_{OUT} \cdot \frac{\delta RD_1}{\delta T} + 2(K-1) \cdot \frac{\delta V_{thp1}}{\delta T} - \frac{\delta V_{thp3}}{\delta T} \right) \quad (3)$$

제안하는 초저전력 온-칩 기준 전류 및 전압 발생기는 3비트의 IVCN 디지털 코드에 의해 ± 100% 이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고, 저전력 휴대용 시스템 응용을 위해 POFF 신호를 사용하여 비동작 모드시 ADC 전체가 3uW 이하의 전력을 소모하도록 하였으며, EXTRF 신

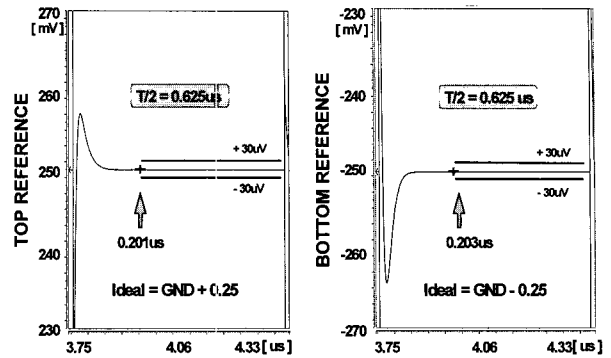


그림 8. 온-칩 기준 전압 출력의 모의실험 결과

Fig. 8. Simulated on-chip top and bottom reference voltages.

호를 두어 필요에 따라 외부에서 다른 기준 전압 값을 인가할 수 있도록 하였다. EXTRF 신호가 low일 경우, 칩 내부에서 발생시킨 기준 전압을 사용하게 되며, EXTRF 신호가 high일 경우, 출력단의 기준 전압 노드가 높은 임피던스가 되도록 하여 외부 기준 전압을 사용하게 된다. 그림 8의 모의실험 결과에서 보는 바와 같이 온-칩 기준 전류 및 전압 발생기만으로 200KS/s의 동작속도에서 각 해당하는 기준 전압 노드가 정착시간의 50% 이상의 여유를 가지고 충분히 정착함을 알 수 있다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 14b 200KS/s ADC는 0.18um n-well 1P6M CMOS 공정으로 제작되었다. 제안하는 ADC는 범용으로 사용이 가능하나, 주로 고성능 집적 시스템 등에 핵심 IP로 사용할 수 있도록 외부로 연결되는 편은 입력, 출력 및 전원으로 제한하였다. 그림 9는 시제품 ADC의 칩 사진을 보여주며, 유틸 공간에는 각 회로 블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 온-칩 decoupling 커패시터를 집적하였으며, 그림 9의 칩 사진에서 □부분은 PMOS로 구현된 decoupling 커패시터이다.

제작된 시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 0.87mm² (= 0.77mm × 1.13mm)이며 제안하는 ADC는 200KS/s의 속도로 동작하며 1.8V 전원에서 1.2mW의 전력을 소모한다. 시제품 ADC의 측정된 Differential Non-Linearity (DNL) 및 Integral Non-Linearity (INL)은 그림 10에서 보는 바와 같이 각

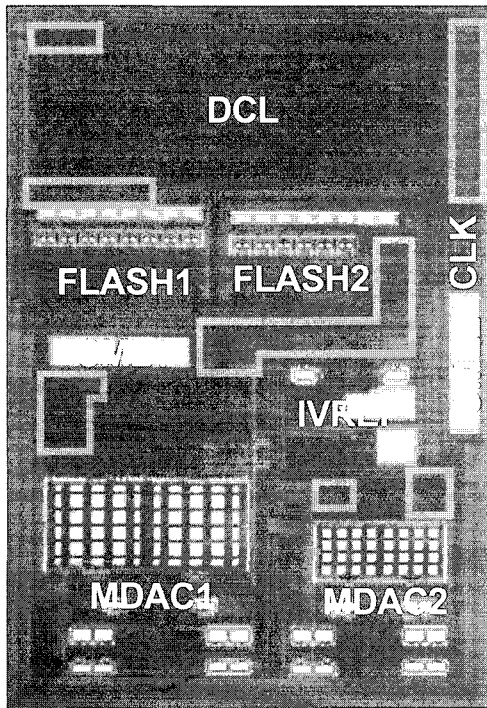


그림 9. 제안하는 시제품 ADC 칩 사진 (0.77mm × 1.13mm)
 Fig. 9. Die photograph of the prototype ADC (0.77mm × 1.13mm).

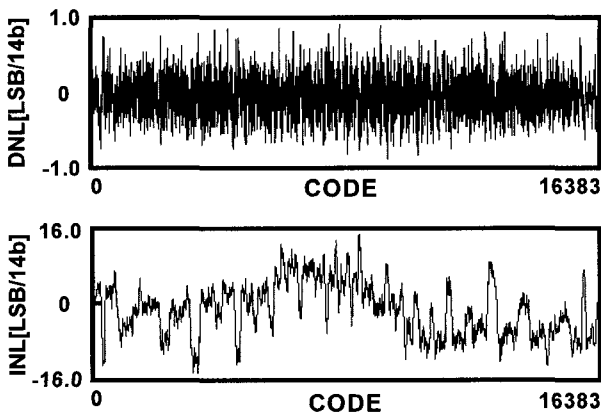


그림 10. 시제품 ADC의 측정된 DNL 및 INL
 Fig. 10. Measured DNL and INL of the prototype ADC.

각 최대 0.98LSB, 15.72LSB 수준이다.

그림 11은 시제품 ADC가 10KHz 입력 주파수와 샘플링 클럭 200KS/s에서 측정된 전형적인 신호 스펙트럼을 보여준다.

그림 12는 시제품 ADC의 동적 성능을 나타낸다. 그림 12(a)는 샘플링 속도를 50KS/s에서 200KS/s 까지 증가시킬 때, 10KHz 의 차동 입력 주파수에서의 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)를 나타낸 것이

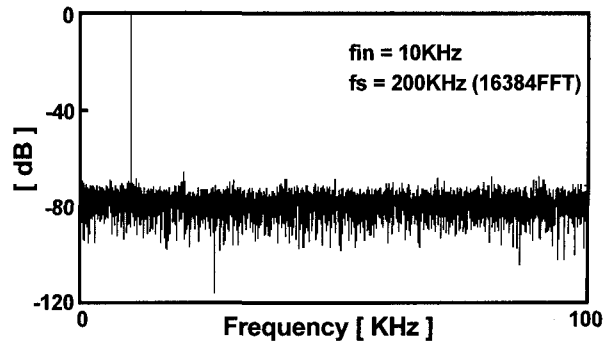
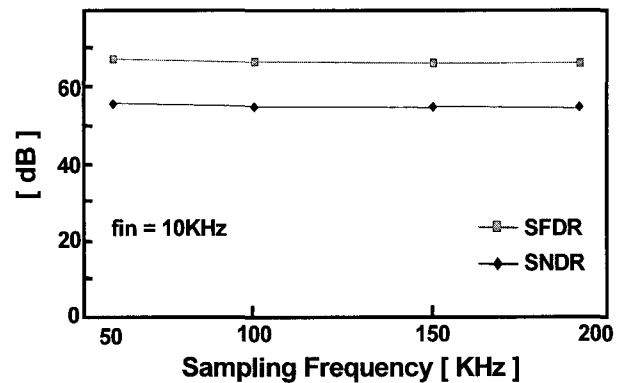
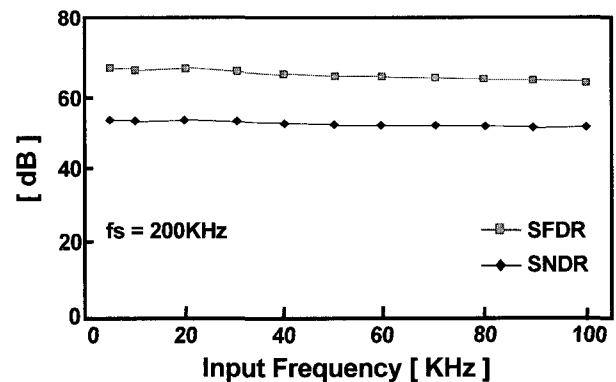


그림 11. 10KHz 입력 주파수에서 측정된 신호 스펙트럼
 Fig. 11. Signal spectrum measured with a 10KHz sinusoidal input.



(a)



(b)

그림 12. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 12. Measured dynamic performance of SFDR and SNDR versus (a) fs and (b) fin.

다. 측정된 SNDR과 SFDR은 샘플링 속도가 200KS/s 까지 증가하는 동안 54dB 및 69dB 이상을 유지하는 것을 볼 수 있다. 그림 12(b)는 200KS/s의 최대 샘플링 속도에서, 입력 주파수를 증가시킬 때의 SNDR 및 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, SNDR과 SFDR이 각각 53dB 및 66dB 이상을

표 2. 시제품 14b 200KS/s 0.18um CMOS ADC 성능 요약

Table 2. Measured performance of the prototype 14b 200 KS/s 0.18um CMOS ADC.

Resolution	14bits
Max. Conversion	200KSample/s
Process	0.18um CMOS
Input Range	1.0Vp-p
SNDR (at fin = 10KHz)	53.7dB
SFDR (at fin = 10KHz)	68.3dB
DNL	-0.98LSB / +0.93LSB
INL	-15.72LSB / +15.18LSB
ADC Core Power	1.2mW @ 200KS/s and 1.8V
Active Die Area	0.87mm ² (= 1.13mm × 0.77mm)

유지하는 것을 알 수 있다. 제안하는 시제품 ADC의 성능 측정 결과를 표 2에 요약하였다.

V. 결 론

본 논문에서는 motor control, DSP servo control과 같은 control system 응용과, battery-powered system, data acquisition system 등과 같이 고해상도, 저전력 및 소면적을 동시에 요구하는 시스템을 위한 14b 200KS/s 0.87mm² 1.2mW 0.18um CMOS ADC를 구현하기 위해 다음의 설계 및 레이아웃 기법을 제안하였다.

첫째, 제안하는 ADC는 요구되는 해상도 및 동작속도 사양을 만족시키면서, 동시에 면적 및 전력 소모를 최소화하기 위해 기존의 SHA를 사용하지 않는 알고리즘 구조를 사용하였다. 둘째, 향상된 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 전체 증폭기의 전력 소모를 최소화하였다. 셋째, 입력단 MDAC에는 저전력 증폭기 구현을 위하여 샘플링 커패시터 스위칭 기법을 제안하여 동작 주기에 따라 사용되는 샘플링 커패시터의 크기를 조절하여 MDAC에서의 전력 소모를 최소화 하였다. 넷째, 초저전력 온-칩 기준 전류 및 전압 발생기를 제안하여 중요한 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하였다.

제안하는 설계 및 레이아웃 기법들을 적용하여 0.18um n-well 1P6M CMOS 공정으로 제작된 시제품 ADC의 측정된 DNL 및 INL은 각각 최대 0.98LSB 및

15.72LSB 수준을 보인다. 또한, 200KS/s의 동작 속도에서 SNDR 및 SFDR이 각각 최대 54dB, 69dB이고, 전력 소모는 1.8V 전원 전압에서 1.2mW이며 제작된 ADC의 칩 면적은 0.87mm²이다.

참 고 문 헌

- [1] <http://focus.ti.com/lit/ds/symlink/tlc3541.pdf>
- [2] http://www.analog.com/UploadedFiles/Data_Sheets/395089145AD7942_0.pdf
- [3] http://www.analog.com/UploadedFiles/Data_Sheets/8014811AD7946_prd.pdf
- [4] J. C. Morizio et al, "14-bit 2.2-MS/s sigma-delta ADC's," *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 968-976, July 2000.
- [5] R. Jiang and T. S. Fiez, "A 14-bit Δ - Σ ADC with 8x OSR and 4-MHz conversion bandwidth in a 0.18-um CMOS process," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 63-74, Jan. 2004.
- [6] <http://focus.ti.com/lit/ds/symlink/ads8320.pdf>
- [7] M. Rebeschini et al, "A 16-b 160-kHz CMOS A/D converter using sigma-delta modulation," *IEEE J. Solid-State Circuits*, vol. 25, no. 2, pp. 431-440, April 1990.
- [8] H. Neubauer, T. Desel, and H. Hauer, "A successive approximation A/D converter with 16bit 200kS/s in 0.6um CMOS using self calibration and low power techniques," in *ICECS*, Sept. 2001, pp. 859-862.
- [9] http://www.analog.com/UploadedFiles/Data_Sheets/1021466012AD7687_0.pdf
- [10] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500kS/s 6mW 0.5mm² ADC with 0.13um CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 76-77.
- [11] H. Guo, D. M. Rector, and G. S. La Rue, "A low-power 16-bit 500kS/s ADC," in *Microelectronics and Electron Devices*, April 2005, pp. 84-87.
- [12] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 324-325.
- [13] H. W. Kim, D. K. Jeong, and W. C. Kim, "A 30mW 8b 200MS/s pipelined CMOS ADC using a switched-opamp technique," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 284-285.
- [14] D. Y. Chang and S. H. Lee, "Design techniques for a low-power low-cost CMOS A/D

converter," *IEEE J. Solid-State Circuits*, vol. 33, no. 8, pp. 1244-1248, Aug. 1998.

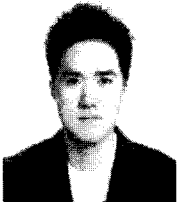
[15] B. L. Jeon and S. H. Lee, "A 10b 50MHz 320mW CMOS A/D converter for video applications," *Transactions on Consumer Electronics*, vol. 45, no. 1, pp. 252-258, Feb. 1999.

[16] Y. D. Jeon and S. H. Lee, "Acquisition time minimisation techniques for high-speed analogue signal processing," *Electron. Lett.*, vol 35, pp. 1990-1991, Nov. 1999.

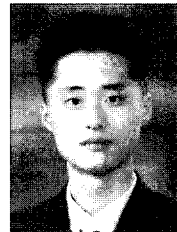
[17] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120MSample/s CMOS Pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 441-444.

[18] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18- μ m CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.

저 자 소 개



박 용 현(정회원)
 2005년 서강대학교
 전자공학과 학사.
 2005년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 경 훈(정회원)
 2004년 서강대학교
 전자공학과 학사.
 2006년 서강대학교
 전자공학과 석사.
 2006년~현재 서강대학교
 전자공학과 박사과정
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



최 희 철(정회원)
 1994년 서강대학교
 전자공학과 학사.
 1996년 서강대학교
 전자공학과 석사.
 1996년~2005년 삼성전자 Analog
 CMOS 설계 책임연구원
 2006년~현재 서강대학교 전자공학과 박사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>