

새로운 유지구동전압 저감형 AC PDP용 에너지 회수회로

林承範^{*}, 洪淳瓚[†]

A Novel Energy Recovery Circuit for AC PDPs with Reduced Sustain Voltage

Seung-Bum Lim and Soon-Chan Hong

요 약

본 논문에서는 TERES(TEchnology of REciprocal Sustainer)회로와 같은 유지구동전압 저감형 구동회로의 성능을 개선하기 위해 새로운 AC PDP용 에너지 회수회로를 제안하였다. TERES회로에서는 유지구동전압이 일반적인 AC PDP용 구동회로의 절반이지만 에너지 회수회로가 없다. 제안한 회로에서는 에너지 회수회로를 설치하여 효율을 높이고 ZVS 또는 ZCS의 구현으로 스위칭소자의 손실을 줄인다. 에너지 회수회로가 추가되었음에도 불구하고 제안한 회로의 능동스위칭 소자 수가 TERES회로와 동일하다. 제안한 회로의 동작을 모드별로 해석하였으며 시뮬레이션과 실험을 통하여 유용성을 입증하였다.

ABSTRACT

In this paper, a novel energy recovery circuit for AC PDPs(Plasma Display Panels) with reduced sustain voltage is proposed to improve the performance of conventional circuits such as TERES(TEchnology of REciprocal Sustainer). In the TERES circuit, the sustain voltage is the half of general sustaining driver for AC PDPs, however, there is no energy recovery circuit. In the proposed circuit, the efficiency is heightened by installing an energy recovery circuit and the loss of switching device is reduced by performing the zero voltage switching or zero current switching. Although the energy recovery circuit is added, the number of active switching elements of the proposed circuit is the same as that of the TERES circuit. The operations of the proposed circuit are analyzed for each mode and its validity is verified by the simulations and experimentation.

Key Words : PDP(Plasma Display Panel), Energy recovery circuit

1. 서 론

최근 디지털 방송이 시작되면서 디지털 디스플레이 장치에 대한 관심이 높아지고 있다. 그 중 PDP(Plasma Display Panel)는 얇은 두께와 큰 화면, 넓은 시야각, 우수한 동화상 재현능력 등의 장점으로 다른

디스플레이장치보다 각광을 받고 있으나 아직까지 소비전력이 크고 유지구동전압이 높으며 가격이 비싸다는 단점이 있다^[1].

이러한 PDP의 단점을 개선하기 위해서는 에너지 회수회로를 설치하여 무효전력을 회수하여 소비전력을 낮춰주는 방법과 유지구동전압을 낮추어주는 방법이 있다^[2-5]. PDP의 유지구동전압을 낮추면 스위칭소자의 정격전압 역시 낮아지기 때문에 소자의 가격이 낮아져 경제성이 높아진다. 또한 반도체 스위칭소자는 정격전압이 낮아지면 주파수 특성이 좋아지므로 PDP 구동회로의 성능을 향상시킬 수 있다.

[†]교신저자 : 정회원, 단국대학교 전기공학전공 교수

E-mail : schong@dgu.edu

^{*}학생회원, 단국대학교 대학원 박사과정

접수일자 : 2006. 8. 10 1차 심사 : 2006. 9. 7

심사완료 : 2006. 9. 25

본 논문에서는 유지구동전압을 절반으로 낮춘 AC PDP용 구동회로에 에너지 회수회로를 설치하여 효율을 높이고 성능을 개선한 새로운 방식의 에너지 회수회로를 제안한다.

2. 에너지 회수회로

PDP는 인가전압이 방전개시전압 V_{bd} (Breakdown voltage)이하이면 방전을 안하고 V_{bd} 이상이 되어야 방전하는 강한 비선형성의 특성을 가지므로 방전개시전압 V_{bd} 이상의 전압을 패널에 인가시켜야 한다.

PDP에는 패널의 전위를 방전개시전압 V_{bd} 로 높이는데 필요한 변위전류(Displacement current)와 방전에 필요한 방전전류(Discharge current)가 흐른다. 이때 변위전류와 방전전류를 나눠서 생각할 수 있으며 패널을 용량성 부하로 생각하여 커패시터로 등가화할 수 있다^[6].

PDP는 전브리지 형태의 구동회로가 있고 이 회로에 의해 유지구동전압 $+V_s$ 와 $-V_s$ 가 패널 커패시터 C_p 에 번갈아 인가되어 방전하게 된다^[6]. 그런데 패널 커패시터가 0V에서 $+V_s$ 로 충전하는 경우 $C_p V_s^2/2$ 의 에너지가 소모되고 다시 $+V_s$ 에서 0V로 떨어지

는 경우에도 역시 $C_p V_s^2/2$ 의 에너지가 소모된다. 따라서 패널이 한번 방전하기 위해서는 $C_p V_s^2$ 의 에너지가 소비되며 한주기에 패널이 두 번 방전하기 때문에 총전력손실은 $2C_p V_s^2$ 이 되어 상당히 큰 전력 소모가 발생한다^[7]. 이러한 문제점을 해결하기 위해서 패널 커패시터의 에너지를 회수할 수 있는 에너지 회수회로가 필요하다.

에너지 회수회로를 설치한 대표적인 AC PDP용 구동회로는 그림 1과 같은 Weber회로가 있다. Weber회로는 LC공진을 이용하여 패널의 에너지를 보조 커패시터 C_1 또는 C_2 로 회수하였다가 다시 패널 커패시터 C_p 에 공급하는 방식으로서 PDP에 유지구동전압을 인가하기 위한 전브리지 회로에 에너지 회수회로를 설치한 구조이다^[3]. Weber회로에 가해지는 게이팅 신호와 패널 커패시터의 양단전압 파형 및 인덕터 전류 파형의 개형은 그림 2와 같다.

3. TERES회로

PDP 구동회로에서는 Weber회로와 같이 가스방전 조건을 만족시키기 위해 Y전극에 V_s 를 인가할 때 X전극은 접지시키고, X전극에 V_s 를 인가할 때 Y전극은 접지시켜 패널 커패시터 C_p 에 $\pm V_s$ 의 전압을 인가하는 것이 일반적이다. 그러나 TERES(TEchnology of REciprocal Sustainer)회로는 첫 반주기에서는 Y전극에 $+V_s/2$ 를 인가할 때 X전극은 $-V_s/2$ 를 인가하고, 다음 반주기에서는 X전극에 $+V_s/2$ 를 인가할 때 Y전극에는 $-V_s/2$ 를 인가하여 PDP에 $+V_s$ 및 $-V_s$ 가 교대로 인가되도록 하여 패널을 방전시키는 방식이다.

TERES회로는 그림 3과 같이 좌우에 능동스위치 10개와 보조 커패시터 2개로 구성되어 있는 구조이다^[5]. TERES회로에 가해지는 게이팅 신호 및 패널 커패시터 양단전압 파형의 개형은 그림 4와 같다.

TERES회로는 모두 2개 모드로 동작하며 모드 1과 모드 2는 대칭적으로 같은 동작을 한다.

모드 1에서 동작하는 스위치는 $S_{y1}, S_{y3}, S_{y4}, S_{x2}, S_{x5}$ 이다. S_{y1} 과 S_{y4} 가 턴온되면 Y전극에는 $+V_s/2$ 가 인가되며, S_{y3} 에 의해 보조 커패시터 C_y 는 $+V_s/2$ 로 충전된다. 그리고 선행 모드에서 $+V_s/2$ 로 충전된 보조 커패시터 C_x 의 (-)전극이 S_{x5} 를 통해 X전극에 접속되고 (+)전극이 S_{x2} 를 통해 접지 전위로

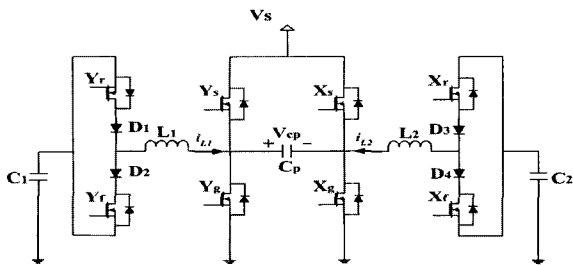


그림 1 Weber회로
Fig. 1 Weber circuit

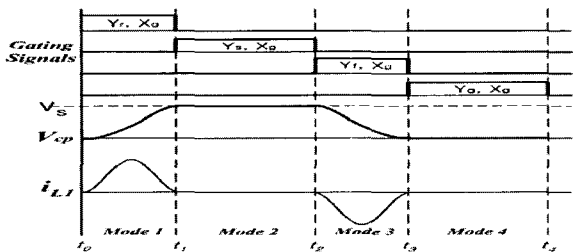


그림 2 Weber회로의 게이팅 신호와 파형
Fig. 2 Gating signals and waveforms of weber circuit

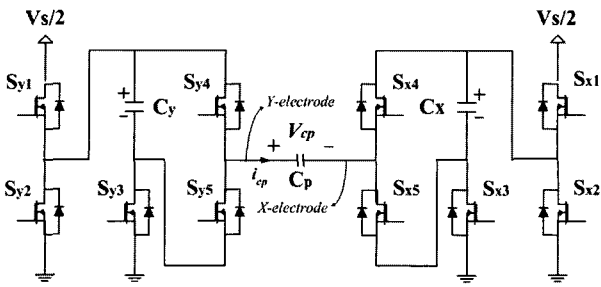


그림 3 TERES회로
Fig. 3 TERES circuit

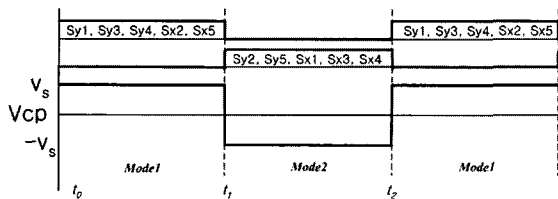


그림 4 TERES회로의 게이팅 신호와 파형
Fig. 4 Gating signals and waveforms of TERES circuit

연결되므로 X전극에 $-V_s/2$ 가 인가된다. 따라서 패널 커패시터 양단전압은 $+V_s$ 가 되어 패널이 방전한다.

모드 2는 모드 1과 동일한 방식으로 동작하는데, S_{x1} 과 S_{x4} 를 통해 X전극에 $+V_s/2$ 가 인가되고 S_{y5} 와 S_{y2} 를 통해 Y전극에 $-V_s/2$ 가 인가된다. 이에 따라 패널 커패시터 양단전압은 $-V_s$ 가 되어 패널이 방전한다. 이때, C_x 는 S_{x3} 를 통해 $+V_s/2$ 로 충전된다.

이상과 같이 TERES회로는 유지구동전압을 절반으로 낮추었음에도 불구하고 PDP에 $\pm V_s$ 의 전압이 인가되어 방전이 가능해지는 장점이 있다.

반면에 TERES회로에는 에너지 회수회로가 없으므로 많은 무효전력이 발생하여 소비전력이 높다. 또한 영전압 스위칭 또는 영전류 스위칭이 이루어지지 않아 스위칭소자의 전압 스트레스가 높고 과도한 서지전류가 흘러 스위칭소자의 수명이 단축되며 EMI 문제가 발생할 수 있는 단점이 있다.

4. 제안한 유지구동전압 저감형 에너지 회수회로

본 논문에서는 그림 5와 같은 유지구동전압 반감형 AC PDP용 에너지 회수 구동회로를 제안한다. 제안회

로는 패널 커패시터의 좌측과 우측에 각각 4개의 스위칭소자, 1개의 커패시터 및 다이오드 1개를 설치하여 패널에 방전에 필요한 전압을 인가한다. 그리고 위쪽과 아래쪽에 각각 스위칭소자 1개, 다이오드 1개, 인덕터 1개로 구성된 에너지 회수회로를 설치하여 에너지 회수 및 투여가 잇따라 이루어지도록 하였으며 영전압 스위칭 또는 영전류 스위칭 동작을 함으로써 스위칭 손실을 줄여 주었다.

제안회로에 가해지는 게이팅 신호와 패널 커패시터 양단전압 파형 및 인덕터에 흐르는 전류 파형의 개형은 그림 6과 같다.

제안한 회로는 한주기당 $+V_s$ 방전유지구간(모드 1), 에너지 회수 및 투여 구간(모드 2), $-V_s$ 방전유지구간(모드 3), 그리고 에너지 회수 및 투여 구간(모드 4)의 4개 모드로 동작하며, 모드별 동작은 다음과 같다.

1) 모드 1 ($t_0 \sim t_1$, $+V_s$ 방전유지구간)

S_{y1} , S_{y3} 와 S_{x2} , S_{x4} 가 턴온되면서 모드 1이 시작

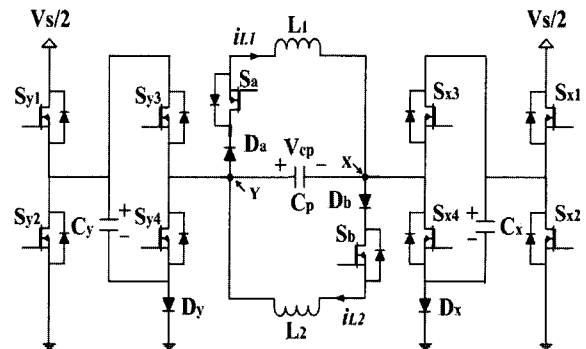


그림 5 제안회로
Fig. 5 Proposed circuit

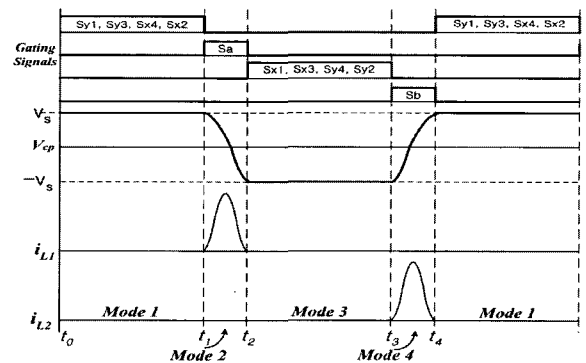


그림 6 제안회로의 게이팅 신호와 파형
Fig. 6 Gating signals and waveforms of proposed circuit

되며, 전류의 경로는 그림 7(a)와 같다. 모드 1에서 Y 전극의 전위는 S_{y1} 과 S_{y3} 를 통해 $+V_s/2$ 가 되며 동시에 D_y 를 통해 C_y 를 $+V_s/2$ 로 충전시킨다. 이때 X 전극은 선행 모드에서 $+V_s/2$ 로 충전되어 있던 C_x 의 (+)단자가 S_{x2} 를 통해 접지되며, (-)단자는 S_{x4} 를 통해 X전극에 연결되므로 X전극의 전위는 $-V_s/2$ 가 된다. 따라서 패널 커패시터 C_p 에는 $+V_s$ 가 걸리는데, 이때 선행 모드에서 C_p 가 $+V_s$ 로 충전되어 있었으므로 구동회로의 스위칭소자는 이론상 턴온시와 턴오프시 모두 영전압 스위칭 동작을 하나 실제 회로에서는 스위칭소자의 순방향 전압강하와 도선 및 소자에서의 손실로 인하여 V_ϕ 가 $+V_s$ 보다 작게 되어 턴오프시에만 영전압 스위칭을 한다. 전원이 인가되면 방전이 시작되며, 패널 커패시터 C_p 의 전압 V_ϕ 는 V_s 이다.

모드 1에서 S_{x2} 가 도통상태이므로 D_x 는 C_x 의 전압극성에 의해 오프상태를 유지한다.

2) 모드 2 ($t_1 \sim t_2$, 에너지 회수 및 투여 구간)

모드 1에서 도통중이던 4개의 스위칭소자를 턴오프시키고 S_a 를 턴온시키면 모드 2가 시작되며, 전류경로는 그림 7(b)와 같다. 이때 S_a 는 L_1 으로 인하여 영전류 스위칭이 이루어진다. L_1 과 C_p 사이에 LC공진이 시작되면 패널의 에너지가 L_1 으로 회수되었다가 공진 1/4주기를 지나면서 에너지가 다시 반대 방향으로 C_p 에 투여된다. 이에 따라 X전극과 Y전극의 극성이 서로 맞바뀐다. 공진 반주기가 되어 L_1 에 흐르는 전류 i_{L1} 이 0이 되는 순간 S_a 를 턴오프시키면 모드 2가 종료된다. 이때도 S_a 는 영전류 스위칭 동작을 한다.

모드 2에서의 패널 커패시터의 전압 V_ϕ 와 전류 i_{L1} 은 다음과 같다.

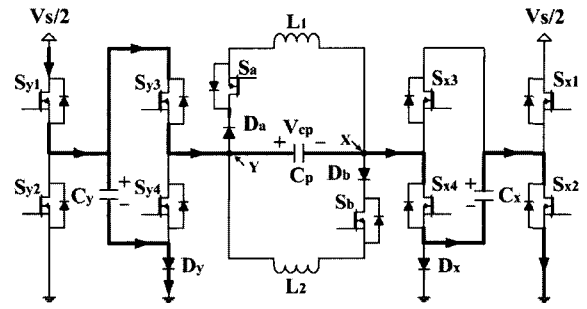
$$V_\phi = V_s \cos \omega(t-t_1) \tag{1}$$

$$i_{L1}(t) = \frac{V_s}{\sqrt{L_1/C_p}} \sin \omega(t-t_1) \tag{2}$$

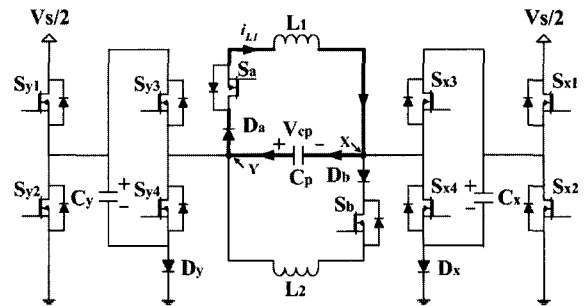
단, $\omega = 1/\sqrt{L_1 C_p}$

3) 모드 3 ($t_2 \sim t_3$, $-V_s$ 방전유지구간)

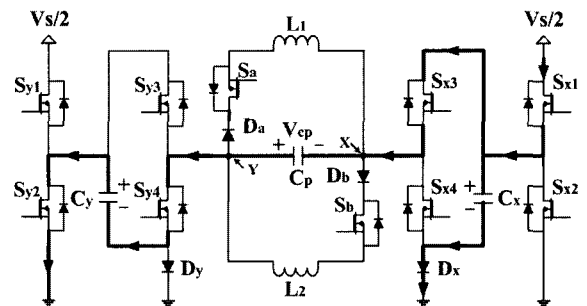
S_a 가 턴오프된 후 S_{x1} , S_{x3} 와 S_{y2} , S_{y4} 를 턴온시키면 그림 7(c)와 같이 모드 3이 시작되는데, 모드 1에서와 같은 동작 원리에 의해서 패널 커패시터 C_p 에는



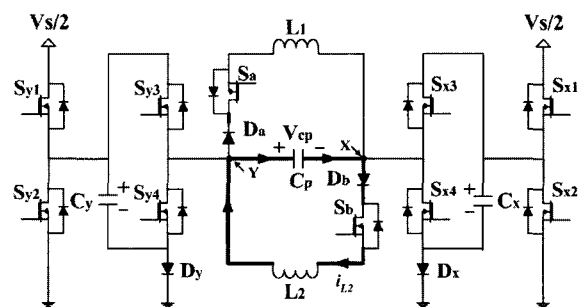
(a) 모드 1



(b) 모드 2



(c) 모드 3



(d) 모드 4

그림 7 제안회로의 모드별 동작
Fig. 7 Proposed circuit operations at each mode

$-V_s$ 가 인가되고, V_ϕ 는 $-V_s$ 로 유지되면서 패널이 방전한다. 선행 모드에서 이론상 C_p 가 $-V_s$ 로 충전되어야 하나 실제 회로에서는 모드 1에서와 마찬가지로 V_ϕ 가 $-V_s$ 보다 작게 되어 턴오프시에만 스위칭소자에서 영전압 스위칭이 이루어진다.

모드 3에서 S_{y2} 가 도통상태이므로 D_y 는 C_y 의 전압극성에 의해 오프상태를 유지한다.

4) 모드 4 ($t_3 \sim t_4$, 에너지 회수 및 투여 구간)

S_{x1} , S_{x3} 와 S_{y2} , S_{y4} 가 턴오프된 후에 S_b 를 턴온시키면 그림 7(d)와 같이 모드 4가 시작된다. 모드 4에서는 모드 2에서와 마찬가지로 C_p 의 에너지가 L_2 로 회수되었다가 다시 반대 방향으로 C_p 에 충전되며, 패널커패시터의 X전극과 Y전극의 극성이 맞바뀐다. 따라서 모드 4가 끝나면 패널 커패시터의 전압 V_ϕ 는 $+V_s$ 가 된다. 이때도 S_b 는 L_2 에 의해 턴온, 턴오프시 영전류 스위칭 동작을 한다. 그림 5에서 L_1 과 L_2 는 같은 값으로 설계하며, 따라서 모드 2와 모드 4에서의 공진주파수는 동일하다. 모드 4에서의 V_ϕ 와 i_{L2} 는 다음과 같다.

$$V_\phi = -V_s \cos \alpha(t-t_3) \tag{3}$$

$$i_{L2}(t) = \frac{V_s}{\sqrt{L_2/C_p}} \sin \alpha(t-t_3) \tag{4}$$

단, $\omega = 1/\sqrt{L_2 C_p}$

제안한 회로를 구조적인 측면에서 살펴보면, 에너지 회수회로를 추가하였음에도 불구하고 능동 스위칭소자의 수가 10개로 TERES회로와 동일하다. 제안회로는 TERES회로와는 달리 에너지 회수회로를 설치하여줌으로써 효율을 높일 수 있다. 또한 모드 1과 모드 3에서는 영전압 스위칭 동작을 하고 모드 2와 모드 4에서는 영전류 스위칭 동작을 할 수 있다. 이로 인하여 스위칭 손실을 줄이고 과도한 서지전류를 제거하여 줌으로써 서지전류로 인한 스위칭소자의 수명 단축, 발열 문제, EMI문제 등 여러 가지 문제점을 해결하였다. 또한 유지구동전압을 절반으로 줄여줌으로써 스위칭소자의 정격전압 역시 절반으로 낮춰주었다. 일반적으로 반도체 스위칭소자는 정격전압이 낮을수록 가격이 낮아지고 주파수 특성이 향상되므로 구동회로의 가격을 낮추고 성능을 개선할 수 있다.

5. 시뮬레이션 결과 및 검토

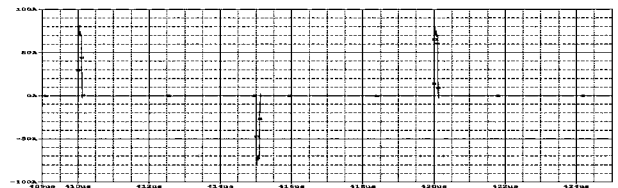
앞에서 다룬 기존 회로인 TERES회로와 제안회로를 PSpice를 사용하여 시뮬레이션하였다.

5.1 TERES회로

시뮬레이션에 사용한 파라미터는 표 1과 같으며, 스위칭소자의 게이팅 신호는 그림 4와 같게 구성하였다.

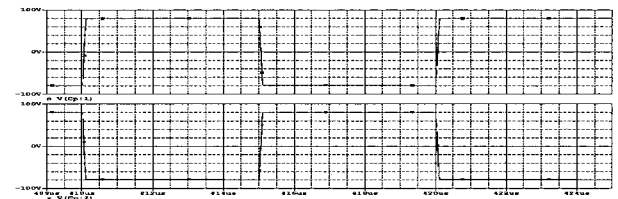
표 1 TERES회로의 시뮬레이션 파라미터
Table 1 Simulation parameters of TERES circuit

| | |
|----------------------|-------------|
| 유지구동전압($V_s/2$) | 80 Vdc |
| 패널 커패시터(C_p) | 22 nF |
| 보조 커패시터($C_x=C_y$) | 2.2 μF |
| 주파수(f_s) | 100 kHz |



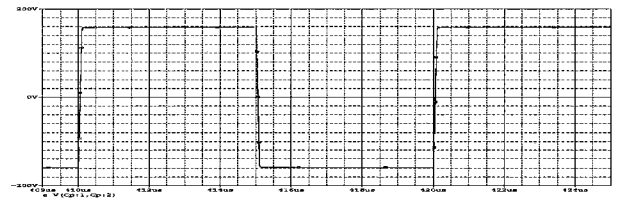
vertical : 10A/div., horizontal : 0.5 μs /div.

(a) i_ϕ 파형



vertical : 20V/div., horizontal : 0.5 μs /div.

(b) 전압 파형(위 : V_y , 아래 : V_x)



vertical : 20V/div., horizontal : 0.5 μs /div.

(c) V_ϕ 파형

그림 8 TERES회로의 시뮬레이션 결과

Fig. 8 Simulation results of TERES circuit

그림 8은 TERES회로를 시뮬레이션한 결과로서 그림 8(a)는 패널 커패시터에 흐르는 전류 i_{ϕ} 이고, 그림 8(b)는 Y전극과의 전위와 X전극의 전위 V_Y (위), V_X (아래)이고, 그림 8(c)는 패널 커패시터의 전압 V_{ϕ} 파형이다. 그림 8(a)의 전류 파형을 보면 TERES회로는 패널 커패시터의 전압이 $+V_s$ 에서 $-V_s$ 로 바뀔 때와 $-V_s$ 에서 $+V_s$ 로 바뀔 때 80A 정도의 서지전류가 발생하는 것을 알 수 있다. 이러한 서지전류는 스위칭소자의 수명을 단축시키고 발열과 EMI 문제를 발생시킨다. 또한 스위칭소자의 정격전류가 크게 되어 회로의 가격이 비싸지게 된다. 그림 8(b)와 8(c)의 전압 파형을 보면 구동전압으로 80V를 인가하여도 Y전극의 전위와 X전극의 전위가 $\pm 80V$ 가 되어 V_{ϕ} 에 $\pm 160V$ 가 제대로 인가됨을 알 수 있다.

이상과 같이 TERES회로는 유지구동전압이 일반적인 AC PDP 구동회로의 절반밖에 안되는 장점을 가지고 있으나 서지전류가 발생하는 단점이 있으며, 에너지 회수회로가 없으므로 소비전력이 높아진다.

5.2 제안회로

시뮬레이션에 사용한 파라미터는 표 2와 같으며, 스위칭소자의 게이팅 신호는 그림 6과 같게 구성하였다.

표 2 제안회로의 시뮬레이션 파라미터
Table 2 Simulation parameters of proposed circuit

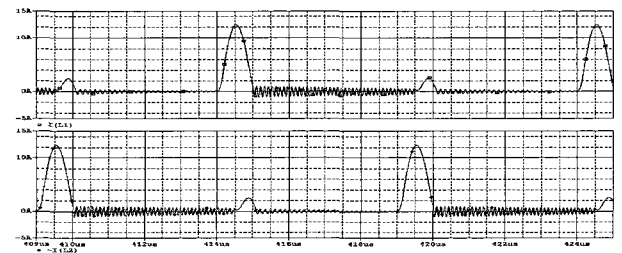
| | |
|-----------------------|-------------|
| 유지구동전압 ($V_s/2$) | 80 Vdc |
| 패널 커패시터 (C_p) | 22 nF |
| 인덕터 ($L_1=L_2$) | 4.6 μH |
| 보조 커패시터 ($C_x=C_y$) | 2.2 μF |
| 주파수 (f_s) | 100 kHz |

그림 9는 본 논문에서 제안한 구동회로를 시뮬레이션한 결과로서 그림 9(a)는 인덕터 L_1, L_2 의 전류 i_{L1} (위), i_{L2} (아래)이고, 그림 9(b)는 Y전극 및 X전극의 전압 V_Y (위) 및 V_X (아래)이다. 그리고 그림 9(c)는 패널 커패시터 양단전압 V_{ϕ} 의 파형이다.

그림 9(a)의 전류 파형을 보면 에너지 회수 및 투여 구간에서 공진 반주기동안 전류가 흐름을 알 수 있다. 그림 9(b)의 전압 파형을 보면 Y전극과 X전극에 $\pm 80V$ 가 번갈아 인가되는 것을 알 수 있다. 그리고 그림 9(c)의 V_{ϕ} 파형에서 구동전압으로 80V를 인가

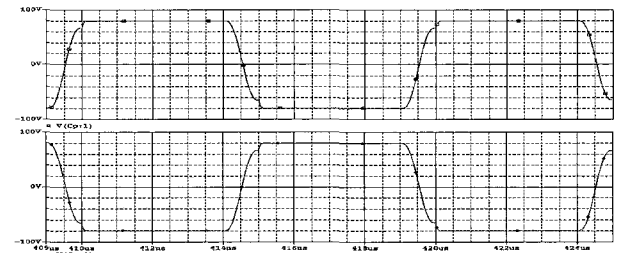
해도, 패널 커패시터에 인가되는 전압이 $+160V$ 및 $-160V$ 가 됨을 알 수 있다.

제안회로에서는 패널 커패시터의 충전 에너지를 LC 공진을 이용하여 회수 및 투여가 잇달아 이루어지도록 하였다. 이에 따라 구동회로의 스위칭소자는 방전유지 구간인 모드 1과 모드 3에서는 영전압 스위칭 동작을 하고 에너지 회수 및 투여구간인 모드 2와 모드 4에서는 영전류 스위칭 동작을 한다. 그러나 실제 회로에서는 기생 저항 및 회로내의 손실로 인하여 그림 9(c)와 같이 공진 반주기후의 V_{ϕ} 전압의 크기가 V_s 보다 약간 작아서 완벽한 ZVS가 이루어지지 않는다.



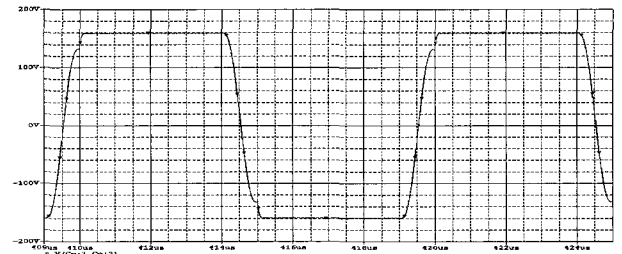
vertical : 2A/div., horizontal : 0.5 μs /div.

(a) 전류 파형(위 : i_{L1} , 아래 : i_{L2})



vertical : 20V/div., horizontal : 0.5 μs /div.

(b) 전압 파형(위 : V_Y , 아래 : V_X)



vertical : 20V/div., horizontal : 0.5 μs /div.

(c) V_{ϕ} 파형

그림 9 제안회로의 시뮬레이션 결과
Fig. 9 Simulation results of proposed circuit

에너지 회수회로가 없으면 한주기에 $C_p V_s^2/2$ 의 에너지가 4번 소비된다. 제안회로에서는 에너지 회수회로를 설치하여 이 에너지를 회수하였다. 따라서 이론상 최대로 절약할 수 있는 에너지는 C_p 가 22nF, V_s 가 160V, 스위칭주파수가 100kHz이므로 112.64[W]가 된다.

6. 시스템의 구성

본 논문에서 제안한 회로의 유용성을 입증하기 위하여 시스템을 구성하고 실험하였다.

먼저 Altera사의 EPM7064SLC44-10을 사용하여 게이팅신호 발생장치를 구성하고, MAX+II를 사용하여 필요한 신호를 구현하였다. 그림 10은 프로그램한 게이팅신호의 출력파형으로서 그림 6과 같다.

게이팅신호 발생장치의 게이팅신호를 받아 스위칭소자를 구동하기 위하여 스위칭소자 S_{x1} , S_{x2} , S_{y1} , S_{y2} 는 IR사의 IR2110을 사용하여 게이트 드라이버를 구성하였으며, 스위칭소자 S_{x3} , S_{x4} , S_{y3} , S_{y4} , S_o , S_b 는 TelCom사의 TC427과 포토커플러 6N137로 구성된 게이트 드라이버를 사용하였다.

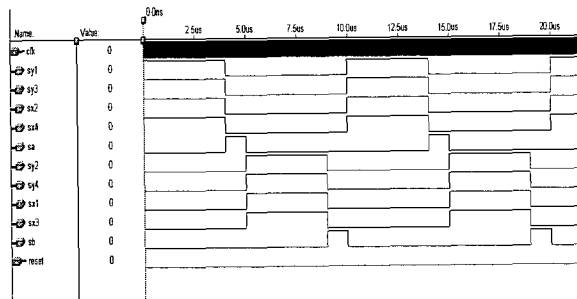


그림 10 게이팅 신호
Fig. 10 Gating signals

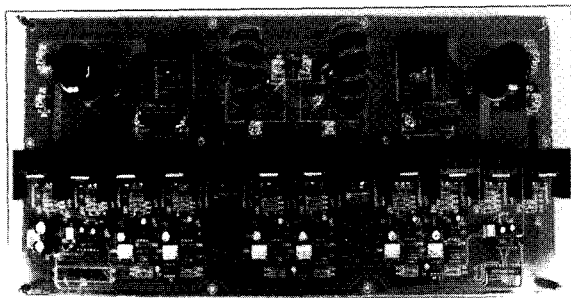


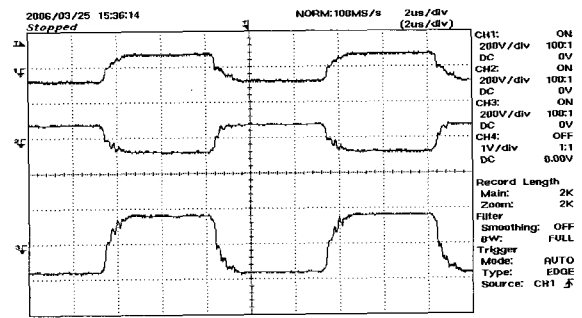
그림 11 실험 보드
Fig. 11 Experimental board

스위칭소자로는 IXYS사의 IXTQ69N30P, 다이오드는 IXYS사의 DSEC60-06A를 사용하였으며, 인덕터는 동부정밀화학(주)의 센터스트코어 S157-038A에 권선을 감아 사용하였다. 패널 커패시터는 42인치 패널의 경우 80nF으로 등가화할 수 있고, 한 개의 패널을 방전시키기 위해서 4개의 구동회로를 사용하므로 22nF을 사용하였다. 그림 11은 제안한 에너지 회수회로를 부착한 구동회로이다.

7. 실험결과 및 검토

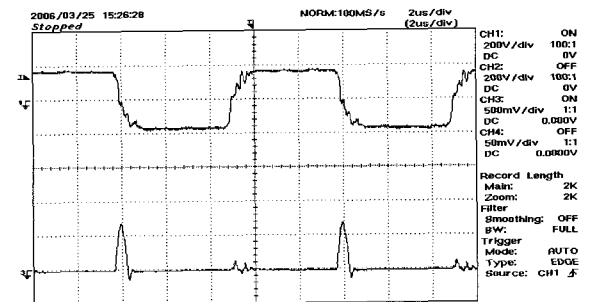
실험에서 사용한 파라미터는 시뮬레이션시의 파라미터인 표 2와 같다.

그림 12는 위로부터 Y전극의 전위 V_Y , X전극의 전위 V_X , 그리고 패널 커패시터 양단전압 V_ϕ 의 파형이다.



vertical : 200V/div. horizontal : 2 µs/div.

그림 12 제안회로의 V_Y , V_X , V_ϕ
Fig. 12 V_Y , V_X , and V_ϕ of proposed circuit



vertical : 200V/div. (25/3)A/div.,
horizontal : 2 µs/div.

그림 13 제안회로의 V_{cp} 및 i_{L1}
Fig. 13 V_{cp} and i_{L1} of proposed circuit

V_Y 와 V_X 파형을 살펴보면 Y전극 및 X전극에 +80V 및 -80V가 제대로 인가되는 것을 알 수 있다. 그리고 V_ϕ 파형을 살펴보면 V_Y V_X 의 형태로서 유지구동전압이 80V임에도 불구하고 +160V와 -160V가 제대로 인가되고 있음을 알 수 있다.

그림 13은 패널 커패시터 양단전압 V_ϕ 와 인덕터 L_1 에 흐르는 전류 i_L 의 파형으로 V_ϕ 가 +160V에서 -160V로 바뀌는 에너지 회수 및 투여구간에 i_L 이 공진 반주기동안 흐름을 알 수 있다.

본 실험은 제안한 회로의 동작을 검증하기 위해 등가 커패시터를 사용하여 실험하였으며, 그 결과 유지구동전압을 절반으로 줄여도 제대로 동작함을 확인할 수 있다. 그러나 현 상태에서는 에너지 절감량 등 정량적인 분석은 어렵다.

8. 결 론

본 논문에서는 기존의 유지구동전압 반감형 AC PDP 구동회로에 에너지 회수회로를 추가하여 효율을 높이고 성능을 개선한 새로운 구조의 유지구동전압 저감형 AC PDP용 에너지 회수회로를 제안하였다.

제안회로는 두 방전유지구간 사이에 에너지 회수 및 투여 구간을 두어 패널 커패시터의 에너지가 인덕터로 회수되었다가 다시 반대 방향으로 패널 커패시터로 투여하는 에너지 회수회로를 설치하여 소모 전력을 줄여 주었다. 기존의 유지구동전압 반감형 구동회로에 에너지 회수회로를 추가하였음에도 불구하고 능동스위칭소자의 수가 동일하다. 그리고 기존 회로와 마찬가지로 구동전압을 $V_s/2$ 로 줄였음에도 패널 커패시터에 인가되는 전압이 $+V_s$ 및 $-V_s$ 가 된다.

또한 모드 1과 모드 3에서는 턴오프시 영전압 스위칭 동작을 하고, 모드 2와 모드 4에서는 영전류 스위칭 동작을 하여 스위칭소자에서의 스위칭손실을 줄여 주었다.

기존 회로인 TERES회로와 제안회로를 시뮬레이션 하고, 그 결과를 분석하여 제안 회로의 유용성을 입증 하였다. 끝으로 제안회로를 실험하기 위한 시스템을 구성하고 실험하여 그 결과가 시뮬레이션 결과와 같음을 확인하였다.

이 연구는 2005학년도 단국대학교 대학연구비의 지원으로 연구되었음.

참 고 문 헌

- [1] 유종걸, 홍순찬, "AC PDP용 NPC 타입 멀티레벨 에너지 회수회로에 관한 연구", 전력전자학회 논문지, 제10권, 제 2호, pp. 194-202, 2005. 4.
- [2] 윤석, 김범준, 송석호, 노정욱, 홍성수, 사공석진, "내압이 절감된 Multi-level PDP 구동회로에 관한 연구", 전력전자학회 논문지, pp. 93-95, 2005. 7.
- [3] L. F. Weber and K. W. Warren, "Power Efficient Sustain Drivers and Address Drivers for Plasma Panel", U. S. Patent 5,081,400, Jan. 1992.
- [4] Sang-Kyoo Han and Myung-Joong Youn, "High Performance and Low Cost Single Switch Current-Fed Energy Recovery Circuits for AC Plasma Display Panels", Journal of Power Electronics, Vol. 6, No. 3, pp. 253-263, 2006. 7.
- [5] T. Kishi et al, "A New Driving Technology for PDPs with Cost Effective Sustain Circuit", SID'01 Digest, pp. 1236-1239, 2001.
- [6] Dong-Myung Lee, Sang-Shin Kwak, Sang-Hun Park, and Jin-Woo Jung, "Low Cost and High Efficiency Driving System for AC PDPs", Proc. of PESC, pp. 2508-2513, 2006. 6.
- [7] 최은하, 조광섭, "PDP의 에너지 회수 기술", 월간반도체, Vol. 154, pp. 49-55, 2000. 12.

저 자 소 개



임승범(林承範)

1979년 2월 11일생. 2004년 단국대 공대 전기공학과 졸업. 2006년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.



홍순찬(洪淳瓚)

1973년 서울대 전기공학과 졸업. 1975년 동 대학원 전기공학과 졸업(석사). 1985년 동 대학원 전기공학과 졸업(공학박사). 1975년~1978년 해군사관학교 교수부 전기공학실 전임강사. 1978년~현재 단국대 전기공학전공 교수. 1986년~1987년 미국 텍사스 A&M 대학교 방문교수. 1997년~2000년 대한전기학회 이사. 2002년 당 학회 회장. 2002년~2005년 단국대 공과대학 학장.