

Six Switch를 적용한 Three-level PDP Sustain Circuit

盧政煜[†], 南沅錫^{*}, 韓翔圭^{**}, 洪成洙^{***}, 司空石鎭^{****}, 梁鶴哲[§]

Three-level PDP Sustain circuits with Six-switches

Chung-Wook Roh, Won-Seok Nam, Sang-Kyoo Han, Sung-Soo Hong, Suk-Chin Sakong, and Hak-Cheol Yang

요 약

AC Plasma display panel(AC-PDP) 구동을 위한 Six-switch를 적용한 Three-level PDP Sustain 회로를 제안한다. 제안 회로는 기존 회로의 Sustain 스위치와 Clamp 다이오드의 내압이 절반이 되어 특성이 우수한 반도체 소자의 채택이 가능하며, 높은 전력 효율을 가지는 장점을 가지므로 AC-PDP 구동 회로 설계에 매우 적합하다. 본 논문에서는 기존 회로와 제안 회로의 비교 분석 및 시뮬레이션과 실험 결과를 보인다.

ABSTRACT

A three-level sustain circuit with six-switches for an ac plasma display panel (AC-PDP) drive is proposed. The proposed circuit features half the voltage stresses of sustain switches and clamp diodes and significantly reduced power losses compared with those of the conventional ones. This circuit, realizable with reduced cost of the semiconductor devices, gives a significant improvement in the power efficiency, essential for the design of a drive circuit for the AC-PDP. A comparative analysis and experimental results are presented to show the validity of the proposed sustainer circuit.

Key Words : Multi-level, Three-level, PDP, Sustainer, Sustain circuit

1. 서 론

플라즈마 디스플레이 장치는 LCD에 비해 밝은 화면을 얻을 수 있고, LCD나 Projection 방식에 비해 수명이 길 뿐만 아니라 시야 각이 매우 넓고, 충격과 외부 자기장에 거의 영향을 받지 않으며 온도 특성 또한 매우 우수하며 제조 공정이 CRT 공정과 공통되는 부분이 많아 현재 CRT 공정의 많은 부분을 그대로 사용할 수 있다는 장점이 있어 최근 디스플레이 업체들은 40

인치에서 60인치사이의 벽걸이형 TV로 플라즈마 디스플레이를 많이 사용하여 왔다.^[1]

AC plasma display panel (PDP) driver는 패널에서 gas discharge current를 발생시키기 위해, 직류 전압을 고주파수의 교류 전압으로 바꾸는 고전력 스위칭 회로를 필요로 하는데, 이러한 회로를 ‘Sustain 회로’라고 부르며 4개의 Sustain 스위치를 가진 Full bridge type이 가장 대표적인 회로이다. PDP는 그 특성이 Capacitor와 유사하기 때문에, Sustain 회로는 Sustain 구간동안 발생하는 Gas discharge current뿐만 아니라, 그 만큼이나 큰 크기의 PDP 충·방전 전류를 감당해야하므로 상당한 전도 손실이 발생한다. 또한 패널 캐패시턴스의 충·방전 시 발생하는 스위치의 스위칭 손실은 상당히 큰 값으로서, 이를 개선하기 위해 ERC(Energy Recovery Circuits)로 알려진 LC 공진회로 기술이 제안되었고 널리 사용되어왔다.^[2,3] 하지만

[†]교신저자 : 정회원, 국민대학교 전자정보통신공학부 조교수
E-mail : drno@kookmin.ac.kr

^{*}정회원, 국민대학교 전자정보통신공학부 박사과정

^{**}정회원, 국민대학교 전자정보통신공학부 전임강사

^{***}정회원, 국민대학교 전자정보통신공학부 부교수

^{****}정회원, 국민대학교 전자정보통신공학부 교수

[§]정회원, 삼성 SDI 책임 연구원

접수일자 : 2006. 7. 31 1차 심사 : 2006. 8. 30

2차 심사 : 2006. 10. 7 심사완료 : 2006. 10. 26

인덕터가 패널과 공진을 끝마친 후 발생하는 환류 전류는 PDP 시스템 효율 저감의 한 원인이 된다.

플라즈마 디스플레이 패널은 발광효율(lm/W)이 낮은 단점이 있어, 발광 효율을 높이기 위해 Xe 가스 함량을 높이고 Long-gap discharge 의 패널구조를 띄는 추세를 보인다. 이에 따라 필요한 Sustain 전압은 점점 상승하고 있어서(2005년도 삼성: 215V), 높은 전류와 높아지는 내압을 견디면서도 성능이 우수한 스위치 소자의 선택은 점점 어려워진다.^[4,5] 때문에 PDP에 적합한 전용 스위치 소자의 개발이 필요하고, 이에 따라 단가 또한 상승될 것으로 예상된다.

본 논문에서는 ERC부 손실의 주 요인이 되는 환류 전류의 해석을 통해 환류 전류를 저감시키는 ERC를 가지며, Sustain 스위치의 내압이 기존에 비해 절반이 되는 PDP Sustain 회로를 제안한다

2. 기존 PDP 구동회로

그림 1은 기존 L. Webber에 의해 제안된 PDP Sustain 회로도이고, 그림 2는 기존 회로의 주요 동작 파형도이다. 패널(C_P)은 스위치 S_r 의 동작을 통해 인덕터 L_P 와 V_S 전압까지 상승하여 반주기 공진을 하고 다이오드 D_{R1} 에 의해 패널 전압은 V_S 를 유지하게 된다. 패널 전압이 V_S 전압까지 상승하게 되면 S_{s1} 스위치를 도통하여 패널 전압을 유지하게 되는데, 이때 인덕터 L_P 의 양단의 전압에 의해서 기생 공진을 한다. 이렇게 발생된 기생 공진은 A노드의 전압이 V_S 가 되고 인덕터 역전류가 최대가 될 때 다이오드 D_{R2} 가 도통되어 유지된다. 이러한 전류는 패널의 동작과 무관하므로 환류 전류(Circulating current)라고 부르며 ERC부 효율에 악영향을 미친다. 그림 3은 구간 $[t_{1a}-t_{1b}]$ 와 구간 $[t_{1b}-t_2]$ 에서 발생하는 환류 전류를 해석하기 위한 등가회로이다. 해석을 위해 스위치와 다이오드에 대해 다음과 같이 가정하며 위첨자 *를 붙여 제안 회로와 구분한다.

1. 다이오드 : ERC(Energy recovery circuits) 다이오드는 도통저항 $R_{d,ER}^*$, 도통 전압 $V_{d,ER}^*$ 을 가지며, 차단 시 병렬 기생 캐패시터 $C_{d,ER}^*$ 이 있는 이상적인 다이오드로 가정한다. (Clamping 다이오드는 $R_{d,C}^*$, $V_{d,C}^*$, $C_{d,C}^*$)
2. 스위치 : ERC 스위치는 도통저항 $R_{ds,on}^*$, 출력 기생 캐패시턴스 $C_{ds,ER}^*$ (Sustain 스위치는 $R_{ds,Sus}^*$, $C_{d,Sus}^*$)과 Body diode 가 존재하는 이상적인 스위치 소자로 가정한다.

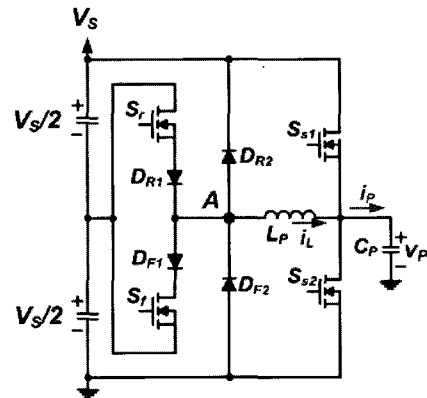


그림 1 기존 PDP Sustain 회로도
Fig. 1 Conventional PDP Sustain circuits

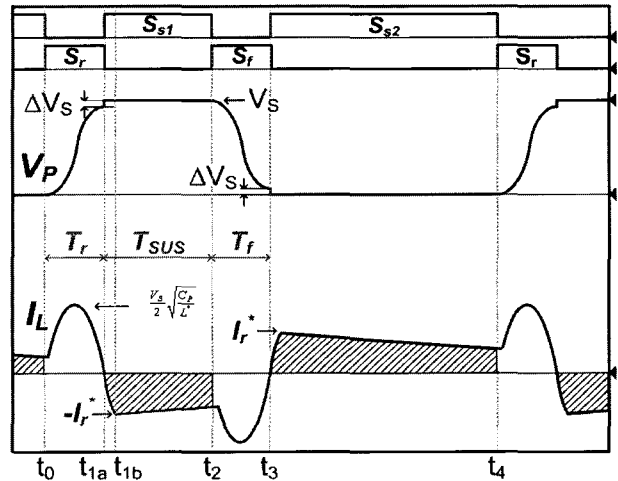


그림 2 기존 Sustain 회로의 주요 전압·전류 파형도
Fig. 2 Key waveforms of conventional PDP Sustain circuits

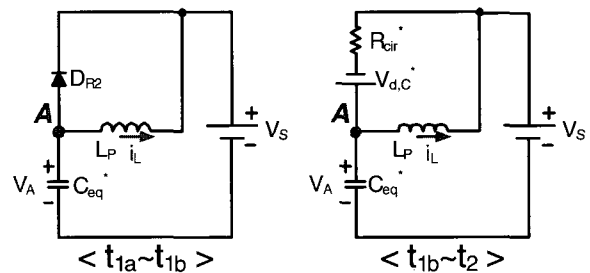


그림 3 환류 전류 해석을 위한 등가 회로
Fig. 3 Equivalent circuit diagram during $t_{1a}-t_{12}$

여기에서 C_{eq}^* 는 노드 A에서의 등가 캐패시턴스이며, R_{cir}^* 는 환류 전류 경로상의 등가 저항으로 다음과 같은 값을 갖는다.

$$C_{eq}^* = C_{d,ER}^* + 2C_{d,C}^* + C_{ds,ER}^* \quad (1)$$

$$R_{cir}^* = R_{d,C}^* + R_{ds,sus}^* \quad (2)$$

구간 $[t_{1a}-t_{1b}]$ 동안 L_P 에 흐르는 전류 i_L^* 과 전압 V_A 는 다음과 같다.

$$V_A = V_S \left(1 - \frac{1}{2} \cos \omega_{n,A} t \right) \quad (3)$$

$$i_L^*(t) = -\frac{V_S}{2} \left(\sqrt{\frac{C_{eq}^*}{L}} \sin \omega_{n,A} t \right) \quad (4)$$

여기에서 $\omega_{n,A} = 1/\sqrt{L^*C_{eq}^*}$ 이다.

구간 $[t_{1b}-t_2]$ 는 V_A 전압이 V_S 가 되어 다이오드 D_{R2} 가 도통이 되는 시점부터 시작된다. 여기에서 $t_{1b}-t_{1a} = \pi\sqrt{L^*C_{eq}^*}/2$ 가 된다.

$$i_L(t) = \frac{V_{d,C}^*}{R_{Cir}^*} - \left(\frac{V_S}{2} \sqrt{\frac{C_{eq}^*}{L}} + \frac{V_{d,C}^*}{R_{Cir}^*} \right) e^{-\frac{R_{Cir}^*}{L}t} \quad (5)$$

식 5에서 환류 전류 크기는 인덕터의 노드 A에서의 등가 캐패시턴스에 제공근에 비례하며, 환류 전류 감소 기술기는 환류 전류 경로상의 도통 전압과 저항 성분에 의해 감소됨을 알 수 있다.

3. 제안 PDP 구동회로

2장에서는 기존회로의 환류 전류 크기는 인덕터와 A노드에서의 등가 캐패시턴스 값에 의존하는 것을 확인하였다. 제안 회로는 ERC(Energy recovery circuits)의 구조 변경을 통해 기생공진시의 등가 캐패시턴스를 줄임으로서 환류 전류의 크기를 줄였으며, Sustain 스위치를 Multi-level 로 구현함에 따라 Sustain 스위치 ($S_{S1}, S_{S2}, S_{S3}, S_{S4}$)와 Clamp 다이오드(D_{R2}, D_{F2})의 내압이 기존 회로에 비해 절반인 $V_S/2$ 를 갖는다는 장점을 갖는다. 그림 4 와 그림 5 는 제안 PDP Sustain 회로도 와 주요 동작 파형도를 나타낸다.

제안 회로의 구간별 동작은 다음과 같다.

Mode 0 $[t_0$ 이전] : 스위치 S_{S4} 와 S_{S3} 가 도통되어 있어, 패널 전압은 0V, 인덕터 L_{P1} 에 흐르는 전류는 0A 를 유지한다.

Mode 1 $[t_0-t_1]$: 스위치 S_{S4} 가 차단, S_r 이 도통되어 전류 경로는 $V_S/2-D_{R1}-L_{P1}-S_r-C_P$ 와 같이 형성되어 패널 전압은 공진을 통해 $V_S/2 + R_{eq}V_S\sqrt{C_P L}/2$ 까지 상승한다. 이때 패널의 전압과 인덕터 전류는 다음과 같다.

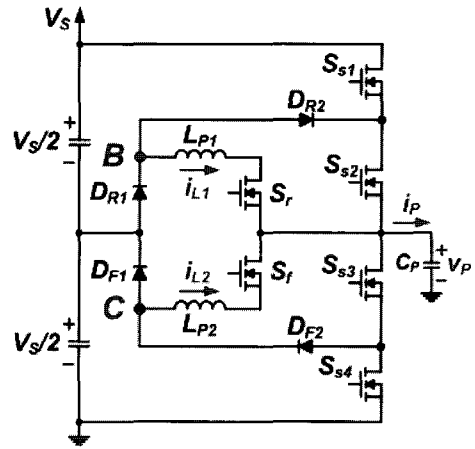


그림 4 제안 PDP Sustain 회로도
Fig. 4 Proposed PDP Sustain circuits

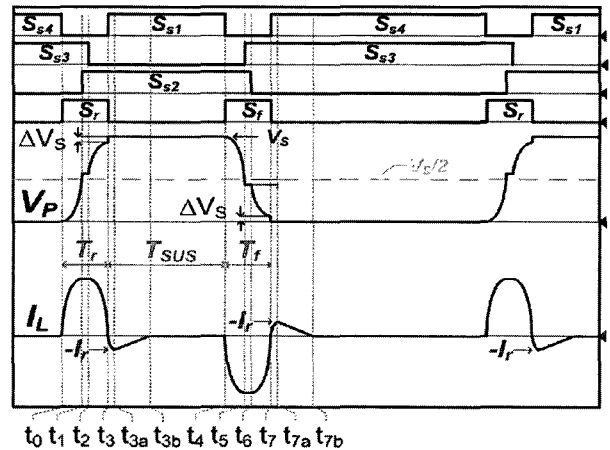


그림 5 제안 Sustain 회로의 주요 전압·전류 파형도
Fig. 5 Key waveforms of proposed PDP Sustain circuits

$$v_p(t) = \frac{V_S}{2} \left(1 - e^{-\xi\omega_d t} \cos \omega_d t - \frac{\xi e^{-\xi\omega_d t}}{\sqrt{1-\xi^2}} \sin \omega_d t \right) \quad (6)$$

$$i_p(t) = \frac{V_S e^{-\xi\omega_d t}}{2L\omega_d} \sin \omega_d t \quad (7)$$

여기서 $\omega_n = 1/\sqrt{LC_P}$, $\zeta = R_{eq}\sqrt{C_P/L}$ 그리고 $\omega_d = \omega_n\sqrt{1-\zeta^2}$ 이다. R_{eq} 는 패널의 총·방전시 전류 경로 상에 보이는 기생 저항성분의 총 합으로 다음 식으로 나타난다.

$$R_{eq} = R_{ds,sus} + R_{ds,ER} + R_{d,ER} + R_{d,C} \quad (8)$$

Mode 2 $[t_1-t_2]$: $V_S/2 + R_{eq}V_S\sqrt{C_P L}/2$ 까지 패널 전압이 상승하여 다이오드 D_{F1} 와 D_{F2} 가 도통이 된다.

이때 전류 경로는 $L_{P1}-S_r-S_{S3}-D_{F1}-D_{F2}$ 와 같이 형성되

고, 인덕터 L_{P1} 양단 전압은 $R_{eq} V_S \sqrt{C_P L} / 2$ 이 되나, 이 구간의 시간 t_{21} 은 매우 짧은 시간으로서 i_{L1} 전류와 패널 전압 V_P 는 일정하게 유지한다.

Mode 3 [t_2-t_3] : 스위치 S_{S2} 가 도통된 상태에서, 스위치 S_{S3} 가 차단이 되어 Mode 1의 나머지 공진을 진행한다. 이때 패널의 전압과 인덕터 전류는 다음과 같다.

$$v_p(t) = \frac{V_S}{2} \left(1 - e^{-\xi \omega_d t} \cos(\omega_d + 4/\pi)t - \frac{\xi e^{-\xi \omega_d t}}{\sqrt{1-\xi^2}} \sin(\omega_d + 4/\pi)t \right) \quad (9)$$

$$i_p(t) = \frac{V_S e^{-\xi \omega_d t}}{2L\omega_d} \sin(\omega_d + 4/\pi)t \quad (10)$$

패널 전압은 0V에서 $V_S - \Delta V_S$ 까지 상승한다.

Mode 4 [t_3-t_{3a}] : 스위치 S_{S1} 이 도통되어 패널 전압은 V_S 를 유지하고 인덕터 L_{P1} 과 노드 B에서 보이는 등가 캐패시턴스는 초기값을 가지고 공진을 시작한다. 이때 인덕터에 흐르는 전류 i_{L1} 과 노드 B의 전압 V_B 는 다음과 같다.

$$V_B(t) = \frac{V_S}{2} \left(\frac{C_{ds, sr}}{C_{d, DR1} + C_{d, DR2} + C_{ds, sr}} \right) \left(1 - \frac{1}{2} \cos \omega_{n, B} t \right) + \frac{V_S}{2} \quad (11)$$

$$i_L(t) = -\frac{V_S}{2} \left(\sqrt{\frac{C_{eq}}{L_{P1}}} \right) \sin \omega_{n, B} t \quad (12)$$

여기에서 $\omega_{n, B} = 1/\sqrt{LC_{eq}}$, $C_{eq} \approx C_{d, C} + C_{d, ER}$ 이고 $R_{Cir} \approx R_{d, C} + R_{ds, Sus} + R_{ds, ER}$ 이다.

Mode 5 [$t_{3a}-t_{3b}$] : V_B 전압이 V_S 가 되면 다이오드 D_{R2} 와 에너지 회수 스위치 S_r 의 Body diode가 도통된다. 이 순간의 인덕터 전류 크기 $I_r = \frac{V_S}{2} \sqrt{\frac{C_{eq}}{L}}$ 가 되고 인덕터 양단 전압은 근사적으로 다이오드 D_{R2} 의 도통 전압 $V_{d, C}$ 와 MOSFET의 Body diode의 도통 전압 $V_{b, ER}$ 의 합과 같다. 이 구간 동안의 인덕터 양단 전압 V_{LP1} 과 전류 i_{L1} 은 다음과 같다.

$$v_{LP1}(t) = 2V_{d, on} - 2 \left(R_{d, C} \frac{V_S}{2} \left(\sqrt{\frac{C_{eq}}{L}} \right) + V_{d, on} \right) e^{-\frac{2R_{d, C}}{L}t} \quad (13)$$

$$i_{L1}(t) = \frac{V_{d, on}}{R_{Cir}} - \left(\frac{V_S}{2} \left(\sqrt{\frac{C_{eq}}{L}} \right) + \frac{V_{d, on}}{R_{d, C}} \right) e^{-\frac{2R_{d, C}}{L}t} \quad (14)$$

Mode 6 [$t_{3b}-t_4$] : 패널 전압은 V_S 를 유지하고 인덕터 L_{P1} 에 흐르는 전류는 0A를 유지한다.

Mode 7 [t_4-t_5] : 스위치 S_{S1} 이 차단, S_r 가 도통되어 전류 경로는 $C_P-S_r-L_{P2}-D_{F1}-V_S/2$ 와 같이 형성되어 공진을 한다. 이때 패널의 전압과 인덕터 전류는 다음과 같다.

$$v_p(t) = \frac{V_S}{2} \left(1 + e^{-\xi \omega_d t} \cos \omega_d t + \frac{\xi e^{-\xi \omega_d t}}{\sqrt{1-\xi^2}} \sin \omega_d t \right) \quad (15)$$

$$i_p(t) = -\frac{V_S e^{-\xi \omega_d t}}{2L\omega_d} \sin \omega_d t \quad (16)$$

Mode 8 [t_5-t_6] : $V_S/2 - R_{eq} V_S \sqrt{C_P L} / 2$ 까지 패널 전압이 낮아져 다이오드 D_{R1} 와 D_{R2} 가 도통이 된다. 이때 전류는 $L_{P1}-D_{F1}-D_{R1}-D_{R2}-S_{S2}-S_r$ 의 경로를 형성하여 인덕터 L_{P1} 양단 전압은 $R_{eq} V_S \sqrt{C_P L} / 2$ 이 되나, 이 구간의 시간 t_{65} 는 매우 짧은 시간으로서 i_{L2} 전류와 패널 전압은 일정하게 유지한다.

Mode 9 [t_6-t_7] : 스위치 S_{S3} 가 도통된 상태에서, 스위치 S_{S2} 가 차단이 되어 Mode 7의 나머지 공진을 진행한다. 패널의 전압과 인덕터 전류는 다음과 같다.

$$v_p(t) = \frac{V_S}{2} \left(1 + e^{-\xi \omega_d t} \cos(\omega_d + 4/\pi)t + \frac{\xi e^{-\xi \omega_d t}}{\sqrt{1-\xi^2}} \sin(\omega_d + 4/\pi)t \right) \quad (17)$$

$$i_p(t) = -\frac{V_S e^{-\xi \omega_d t}}{2L\omega_d} \sin(\omega_d + 4/\pi)t \quad (18)$$

패널 전압은 0V에서 ΔV_S 까지 하강한다.

Mode 10 [t_7-t_{7a}] : 스위치 S_{S4} 가 도통되어 패널 전압은 0V를 유지하고 인덕터 L_{P2} 와 노드 C에서 보이는 등가 캐패시턴스는 초기값을 가지고 공진을 시작한다. 이때 인덕터에 흐르는 전류 i_{L2} 과 노드 C의 전압 V_C 는 다음과 같다.

$$V_C(t) = \frac{V_S}{2} - \frac{V_S}{2} \left(\frac{C_{ds, sr}}{C_{d, DF1} + C_{d, DF2} + C_{ds, sr}} \right) \left(1 - \frac{1}{2} \cos \omega_{n, B} t \right) \quad (19)$$

$$i_{L2}(t) = \frac{V_S}{2} \left(\sqrt{\frac{C_{eq}}{L_{P2}}} \right) \sin \omega_{n, B} t \quad (20)$$

Mode 11 [$t_{7a}-t_{7b}$] : V_C 전압이 0V가 되면 다이오드 D_{F2} 와 ER 스위치 S_r 의 Body diode가 도통된다. 이때의 인덕터 전류 크기는 $I_r = \frac{V_S}{2} \sqrt{\frac{C_{eq}}{L}}$ 가 되고 인덕터 양단 전압은 근사적으로 다이오드 D_{F2} 의 도통 전압 $V_{d, C}$ 와 MOSFETs의 Body diode의 도통 전압 $V_{b, ER}$ 의 합으로 2개의 다이오드 도통 전압과 같다. 이 구간 동안의 인덕터 양단 전압 V_{LP2} 와 전류 i_{L2} 는 다음과 같다.

$$v_{LP2}(t) = 2V_{d,on} - 2 \left(R_{d,c} \frac{V_s}{2} \left(\sqrt{\frac{C_{eq}}{L}} + V_{d,on} \right) e^{-\frac{2R_{d,c}t}{L}} \right) \quad (21)$$

$$i_{L2}(t) = \left(\frac{V_s}{2} \left(\sqrt{\frac{C_{eq}}{L}} + \frac{V_{d,on}}{R_{d,c}} \right) e^{-\frac{2R_{d,c}t}{L}} - \frac{V_{d,on}}{R_{d,c}} \right) \quad (22)$$

Mode 12 [$t_{7b}-t_0$] : 패널 전압은 0V를 유지하고 인덕터 L_{P2} 에 흐르는 전류는 0A를 유지함으로써 한주기 동작을 마친다.

제안 회로는 기생 공진 시 등가 캐패시턴스의 크기가 기존 회로의 ERC부에 비해 작으므로 환류 전류의 크기가 줄어들며 감쇠 또한 크다는 것을 식 (5)와 식 (15)을 통해 확인할 수 있다

4. 실험

기존 회로와 제안회로를 제작하여 42인치급 패널에 해당되는 캐패시터에 적용하여 실험을 하였다.

시뮬레이션과 실험에 사용된 반도체 소자는 회로 특성만의 비교를 위해 두 회로 모두 같은 소자를 채택하였으며, 반도체 소자의 사양은 표 1에 나타내었다. 제안 회로는 기존 회로에 비해 2배 많은 Sustain 스위치를 사용하지만, Sustain 스위치와 Clamp 다이오드의 내압은 기존 회로의 절반만을 가지므로 우수한 특성의 반도체 소자를 선정할 수 있다. 반도체 소자는 일반적으로 내압이 감소하면 기생 캐패시턴스가 줄어들고, MOSFET은 도통 저항 성분이 감소하며, 단가 또한 감소한다. 본 논문에서는 소자 특성에 따른 이점 없이 동등한 조건에서 비교하기 위해 같은 소자를 사용하였지만, 적절한 내압의 소자를 선택하는 경우 제안 회로는 더욱 우수한 효율을 보이며 Sustain 스위치의 증가에 따른 단가에서의 불이익은 없을 것으로 사료된다.

실험과 시뮬레이션을 위한 동작 조건은 다음과 같다.

- 동작 주파수 f_s : 200kHz
- 충전 시간 $T_r(=T_f)$: 500ns
- V_s 전압 유지 시간 T_{sus} : 1500ns
- Ground 유지 시간 T_{sus} : 2500ns
- PDP 패널 캐패시턴스 C_p : 70nF
- 공진 인덕터 $L_p=L_{P1}=L_{P2}$: 360nH
- 1 TV frame 시간 T_{frame} : 19.6ms
- 1 TV frame 동안 Pulse 수 N : 960개

표 1 반도체 소자의 사양

Table 1 Specification of the Semiconductor devices

Sustain Switch (IXTK102N30P)		ER Switch (IXTK62N25)	
$V_{DSS, ID}$	300V, 50A	$V_{DSS, ID}$	250V, 62A
$R_{ds, sus}$	0.033 Ω	$R_{ds, ER}$	0.035 Ω
$C_{ds, sus}$	1150pF	$C_{ds, ER}$	1125pF
ER diode (DSEK60-02)		Clamp Diode (DSEC60-03)	
V_R, I_D	200V, 34X2A	V_R, I_D	300V, 30X2A
$R_{d, ER}$	0.006 Ω	$R_{d, C}$	0.012 Ω
$V_{d, ER}$	0.87V	$V_{d, C}$	0.87V
$C_{d, ER}$	700pF	$C_{d, C}$	700pF

4.1 모의 실험

표 1의 소자 특성을 이용한 시뮬레이션 파형도를 기존 회로는 그림 5에, 제안 회로는 그림 6에 나타내었다. 그림 6과 그림 7은 상단부터 패널 전압(V_p), 인덕터 전류(I_{LP}), Sustain 스위치 역방향 전압($V_{ds, Ss1}$, $V_{ds, Ss2}$, $V_{ds, Ss3}$, $V_{ds, Ss4}$), ER 스위치 역방향 전압($V_{ds, Sr}$, $V_{ds, Sf}$), ER 다이오드 역방향 전압($V_{d, ERr}$, $V_{d, ERt}$), Clamp 다이오드 역방향 전압($V_{d, Cl1}$, $V_{d, Cl2}$) 순으로 나타내었다. 기존 회로의 환류 전류는 8.6A, 제안 회로는 5.8A로서 제안 회로의 환류 전류의 크기는 32% 가량 작아졌으며, S_r 스위치의 도통 순간에 제안회로의 환류 전류는 0A로서 모두 감쇠되었지만, 기존 회로의 환류 전류는 4.2A로서 남아있게 되어 ER 스위치의 도통 순간에 스위칭 손실로서 발생하게 된다. 또한 ERC의 스위치 도통 순간에 기존 회로는 ER 스위치와 2개의 Clamp 다이오드의 기생 캐패시턴스를 $V_s/2$ 로 충·방전시키므로 스위칭 손실이 크나 제안 회로의 경우 패널의 공진과 함께 충·방전하므로 스위칭 손실이 작으며, 식 (23)과 식 (24)은 기존 ER 스위치의 스위칭 손실과 제안 ER 스위치의 스위칭 손실을 나타낸다.

$$P_{Sw, ERr}^* = \left[\frac{1}{2} \left(C_{ds, ER}^* + 2C_{d, C}^* \right) \left(\frac{V_s}{2} \right)^2 \right] f_s + \frac{V_s I_{r, on} T_r^*}{4T_s} \cdot \frac{T_{pulse}}{T_{frame}} \quad (23)$$

$$P_{Sw, ERr} = \left[\frac{1}{2} C_{ds, ER} \left(\frac{V_s}{2} \right)^2 \right] f_s \cdot \frac{T_{pulse}}{T_{frame}} \quad (24)$$

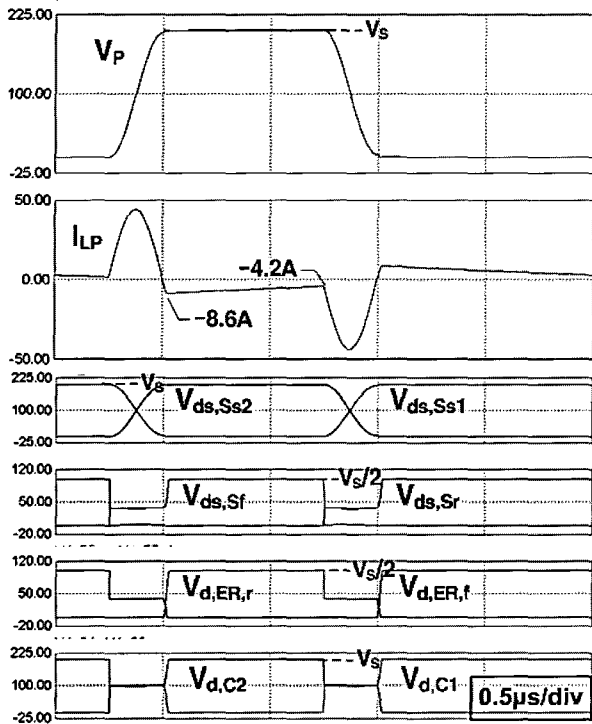


그림 6 기존 회로의 모의 실험 결과 주요 파형도
Fig. 6 Simulation waveforms of conventional circuits

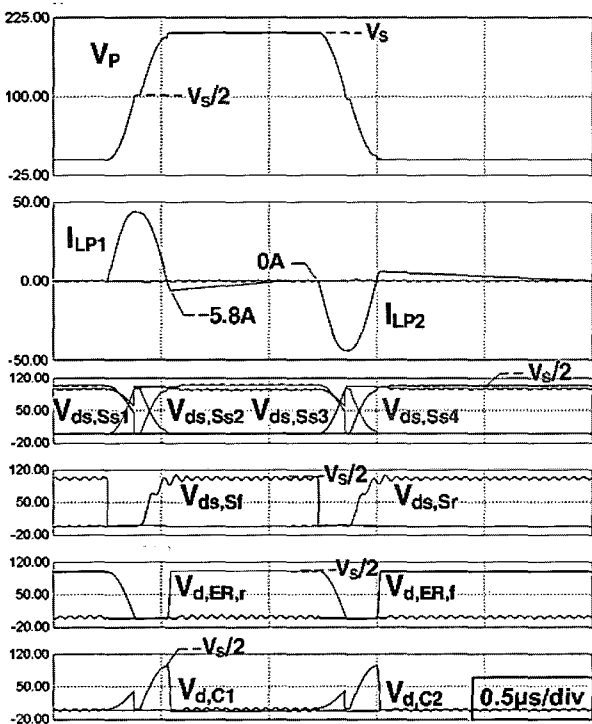


그림 7 제안 회로의 모의 실험 결과 주요 파형도
Fig. 7 Simulation waveforms of proposed circuits

Sustain 스위치의 도통 순간에서의 Clamp 다이오드와 ER 다이오드에서의 전압 변화는 인덕터와의 기생 공진하여 발생하는 것으로 이에 의해 환류 전류가 발생하며 Sustain 스위치의 스위칭 손실과는 무관하다.

반도체 소자의 전압 스트레스는 그림 6의 기존 회로의 경우, ERC부는 $V_s/2$ 이며, Sustain 스위치와 Clamp 다이오드는 V_s 인 것에 비해, 제안 회로는 그림 7에서 모두 $V_s/2$ 로 Sustain 전압의 절반인 것을 알 수 있다.

기존 회로와 제안 회로의 소자별 전도 손실과 스위칭 손실을 계산한 값을 그림 8에 도표로서 나타내었다. 계산된 결과로서 제안 회로의 손실이 25.75% 더 적게 나타났으며, 손실 저감의 주된 요인은 다음의 3가지로 요약할 수 있다.

1. 환류 전류의 감소를 통한 Clamp 다이오드의 전도 손실 감소
2. 환류 전류의 감소를 크게 하여, ERC 스위치의 도통 순간에는 0A로 되어 스위칭 손실 감소
3. Clamp 다이오드의 역방향 기생 캐패시턴스의 충·방전시 패널과 같이 공진함으로써 ER 스위치의 스위칭 손실 감소

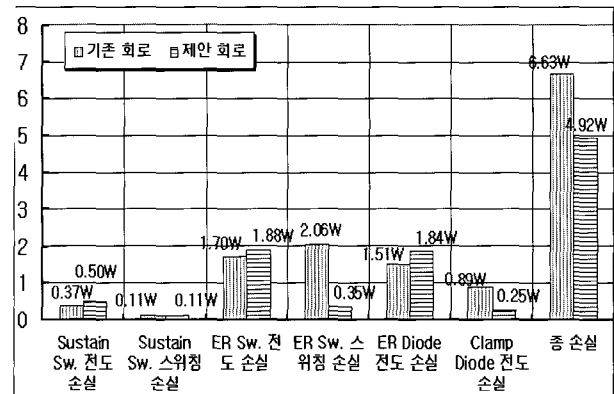


그림 8 계산된 전력 손실
Fig. 8 Estimated power loss

그림 9과 그림 10은 각각 기존 회로와 제안 회로의 주요 전압·전류 파형도이다. 실험에서 기존 회로의 환류 전류는 7A, 제안 회로의 환류 전류는 3.8A로서 45.7%로서 예상보다 크게 줄었으며, S_f 스위치의 도통 순간에 제안 회로의 환류 전류는 0A로서 모두 감쇠되었지만, 기존 회로의 환류 전류는 2.2A로서 남아 있음을 확인할 수 있다. ER 스위치의 도통 시에 남아 있는 인덕터 전류에 의해 ERC 스위치의 스위칭 손실은 더욱 커진다. 실험을 통해 V_s 단 전원에서 측정된

소비 전력은 기존 회로와 제안회로가 각각 13W, 9.6W로서 26.15%로 줄어들어 제안 회로의 효율이 더 우수한 것을 확인하였다. 제안 회로의 반도체 소자 역방향 전압을 그림 10(b)와 그림 10(c)에 나타내었다. 그림 10(b)는 패널 전압과 Sustain 스위치 4개의 역방향 전압을 나타내며 최대 역방향 전압은 125V로서 $V_s/2$ 보다 약간 큰 전압 스트레스를 보였고, 그림 9(c)는 패널 전압과 ER 스위치 그리고 ER 다이오드의 역방향 전압을 나타내며, 최대 역방향 전압은 122V로서 $V_s/2$ 보다 약간 큰 전압 스트레스를 보인다.

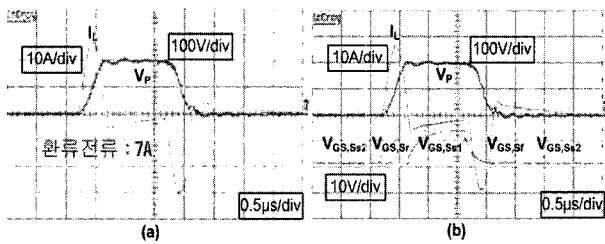


그림 9 기존 회로의 실험 파형
(a) 패널 전압과 인덕터 전류
(b) 스위치 구동 파형

Fig. 9 Experimental waveforms of the conventional circuits

(a) Panel voltage and inductor current
(b) Gate-source voltage of S_{S1} , S_{S2} , S_r and S_r

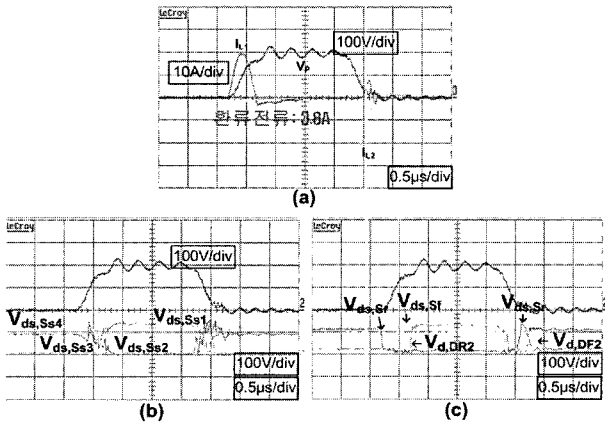


그림 10 제안 회로의 실험 파형
(a) 패널 전압과 인덕터 전류
(b) Sustain 스위치 전압
(c) ER스위치와 다이오드 전압

Fig. 10 Experimental waveforms of the proposed circuits

(a) Panel voltage and inductor current
(b) Voltage of the sustain switches
(c) Voltage of the ER switches and the diodes

5. 결 론

본 논문에서는 Six Switch를 적용한 Three-level PDP Sustain 회로를 제안하였다. 제안 회로는 기존 회로에 비해 크게 두 가지 장점을 가진다. 첫째, 환류 전류의 저감으로 인하여 동작 손실이 약 26% 정도 감소하였다. 둘째, Sustain 스위치와 Clamp 다이오드의 내압이 기존 회로에 비해 절반으로 줄어, Sustain 전압 상승 추세에 따른 대응이 가능하고 낮은 내압의 저단 가·고효율 반도체 소자의 채택이 가능하다.

따라서 제안 회로는 AC-PDP 구동 회로에 적합할 것으로 예상된다.

참 고 문 헌

- [1] J. Castellano, "Market Trends for Display in Consumer Television", 2000 SID Symposium, pp. 407-409.
- [2] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.
- [3] L.F.Webber and M.B.Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display", 1987 SID Int. Symposium, New Orleans, pp. 92-95.
- [4] Hyun Kim, et al, "Long Gap discharge characteristics based on control of voltage distribution among three electrodes for positive column AC-PDPs", 2003 SID digest, pp. 40- 43.
- [5] Y.Hashimoto, et. al. "Invited paper:High-Luminance and highly muninous-efficient AC-PDP with DelTA cell structure", 2001 SID Digest, pp.1328-1331.
- [6] Chung-Wook Roh, Member, IEEE , Sung-Soo Hong, Seokchin-Sagong, "High performance energy recovery sustain circuit for plasma display panel with half the low device voltage ratings" ISCE 2005 p.456~p.461.
- [7] Chung-Wook Roh, Member, IEEE, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, Senior Member, IEEE "Multilevel Voltage Wave-Shaping Display Driver for AC Plasma Display Panel Application" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 6, JUNE 2003 p.935~p.947.
- [8] Sang-Kyoo Han, Jun-Young Lee, Gun-Woo Moon, Myung-Joong Youn, Chang-Bae Park, Nam-Sung Jung, and Jung-Pil Park "A New High-Efficient Energy-Recovery Circuit for Plasma Display Panel", 전력전자학회 논문지 제 7권 제 2호 2002년 4월 pp.121-128.
- [9] Jung-soo Kim, Chung-Wook Roh, Sung-soo Hong,

and Sug-Chin Sakong "A Study on Performance Characteristics of Multi-level PDP Drive Circuit in Accordance of Signal Timing Variation" 전력전자학회 논문지 제 10권 제 6호 2005년 12월 pp.560-568.

[10] Won-seok Nam, Sung-soo Hong, and Sug-Chin Sakong and Chung-Wook Roh "A Study on gate driver with Boot-strap chain to drive Multi-level PDP driver application" 전력전자학회 논문지 제 10권 제 6호 2005년 12월 pp.560-568.

저 자 소 개



노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업, 1995년 동 대학원 전기 및 전자 공학과 졸업(석사), 2000년 동 대학원 전기 및 전자 공학과 졸업(공학박), 2000년~2004년 삼성 전자 (주) 영상 디스플레이 사업부 책임 연구원, 2004년~현재 국민대학교 전자정보통신공학부 조교수.



남원석(南沅錫)

1977년 4월 11일생. 2004년 국민대학교 공과대학 전자정보통신공학부 졸업, 2006년 동 대학원 전자공학과 졸업(석사), 2006년 동 대학원 박사과정 입학



한상규(韓翔圭)

1973년 12월 13일 생. 1999년 2월 부산대학교 전기공학과 졸업, 2001년 2월 한국과학기술원 전자전산학과 졸업(석사), 2005년 2월 동 대학원 전자전산학과 졸업(공학박), 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원, 2005년 9월~현재 국민대학교 전자정보통신공학부 전임강사.



홍성수(洪成洙)

1961년 1월 25일 생. 1984년 서울대학교 전기공학과 졸업, 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사), 1992년 동 대학원 전기 및 전자공학과 졸업(공학박), 1984년~1999년 현대 전자(주) 정보통신 연구소 책임연구원, 1999년~현재

국민대학교 전자정보통신공학부 부교수.



사공석진(司空石鎭)

1951년 3월 23일 생. 1976년 고려대학교 전자공학과 졸업, 1981년 동 대학원 전자공학과 졸업(석사), 1985년 동 대학원 전자공학과 졸업(공학박), 1977년~1981년 모토로라코리아 응용전자 연구실 선임연구원, 1990년~1991년 스위스 ETH초빙교수, 1989년~1992년 스위스 HTS 객원연구원, 1982년~현재 국민대학교 전자정보통신공학부 교수.



양학철(梁鶴哲)

1968년 6월 24일 생. 1991년 연세대학교 전자공학과 졸업. 1991년~ 현재 삼성 SDI 재직.