

높은 열처리 온도를 갖는 GOI 웨이퍼의 직접접합

변영태[†] · 김선호

한국과학기술연구원 광기술연구센터, 서울 136-791

Direct Bonding of GOI Wafers with High Annealing Temperatures

Young Tae Byun[†] and Sun Ho Kim

Photonics Research Center, Korea Institute of Science and Technology, P.O.Box 131,
Cheongryang, Seoul, Korea, 136-791

(2006년 7월 3일 받음, 2006년 10월 18일 최종수정본 받음)

Abstract A direct wafer bonding process necessary for GaAs-on-insulator (GOI) fabrication with high thermal annealing temperatures was studied by using PECVD oxides between gallium arsenide and silicon wafers. In order to apply some uniform pressure on initially-bonded wafer pairs, a graphite sample holder was used for wafer bonding. Also, a tool for measuring the tensile forces was fabricated to measure the wafer bonding strengths of both initially-bonded and thermally-annealed samples. GaAs/SiO₂/Si wafers with 0.5- μ m-thick PECVD oxides were annealed from 100°C to 600°C. Maximum bonding strengths of about 84 N were obtained in the annealing temperature range of 400-500°C. The bonded wafers were not separated up to 600°C. As a result, the GOI wafers with high annealing temperatures were demonstrated for the first time.

Key words GaAs-on-Insulator (GOI), Wafer direct bonding, PECVD oxide, Bonding strength.

1. 서 론

다양한 종류의 광전 기능소자들이 하나의 칩상에서 구현되는 광전 집적회로(optoelectronic integrated circuits; OEICs)는 단일 칩상에 광전소자들이 모두 집적될 때 광전소자간의 광결합 문제가 완벽하게 제거될 수 있는 장점이 있다. 이런 이유 때문에 광전소자의 단일집적(monolithic integration)뿐만 아니라 이종집적(hybrid integration)에 관한 연구가 활발히 진행되고 있다.¹⁾

단결정 에피박막의 격자상수가 기판의 격자상수와 거의 같은 경우에 에피박막은 MOCVD(metal organic chemical vapor deposition), MBE(molecular beam epitaxy) 또는 CBE(chemical beam epitaxy)와 같이 잘 확립된 에피택션 기법에 의해 성장될 수 있다. 지금까지 광집적회로의 제작을 위해 개발된 단일집적 기술로는 butt-joint 재성장 기법,²⁾ 선택영역 성장(selective area growth; SAG) 방법³⁾ 등이 있다. 그러나 단일집적은 여러 번의 식각과 에피성장 과정이 필요하기 때문에 고비용이고 작업량이 제한되는 단점이 있다.

반면에 기판 위에 형성되는 얇은 박막이 기판과 아주 다른 격자 상수를 갖거나, 다결정성 또는 비결정성일 때 에피택션 기법이 이용될 수 없다. 이 문제는 격자상수가

다른 두 기판을 직접 접합하는 웨이퍼 접합기술(direct wafer bonding technology)⁴⁾을 이용하여 해결될 수 있다. 즉, 단결정 GaAs 기판이 격자상수가 다른 Si 기판에 접합된 후, 얇은 단결정 박막을 제외한 나머지 GaAs 기판이 제거되면 GaAs 박막이 Si 기판 위에 형성되는 GaAs-on-Insulator (GOI) 웨이퍼가 제작된다.

GOI 웨이퍼는 Smart-cut 기술⁵⁾을 응용한 일련의 여러 제조공정으로 구성된다. 그 중 웨이퍼 접합 공정의 한 예로 GaAs와 Si 웨이퍼가 직접 접합된 GaAs/Si와 GaAs/SiO₂/Si 웨이퍼의 접합강도가 보고되었다.⁶⁾ 상기 웨이퍼들은 접합력을 증가시키기 위해 350°C 이상에서 열처리 될 때 접합된 GaAs와 Si가 분리되기 때문에 보고된 GOI 웨이퍼는 반도체 광소자 제작을 위해 Ohmic 전극이 형성되는 380-450°C의 열처리 공정에 이용될 수 없다. 이 문제를 해결하기 위해서 본 논문은 400°C 이상의 열처리 온도에서도 접합된 GOI 웨이퍼가 분리되지 않는 GaAs/SiO₂/Si 제조 공정에 대하여 연구하였다.

2. 실험 방법

GOI 웨이퍼가 제작되기 위해서는 열에 의해 실리콘 기판이 일정한 두께로 산화되는 열산화(thermal oxidation) 공정,⁷⁾ PECVD를 이용하여 GaAs 기판의 상층부에 일정한 두께의 산화막이 형성되는 진공증착 공정,⁸⁾ 일정한 두

[†]E-Mail : byt427@kist.re.kr

개의 GaAs 박막을 분리하기 위해 양성자를 산화막 두께보다 깊이 주입하는 이온주입 공정,^{9,10)} 이온 주입된 웨이퍼가 다른 실리콘 기판에 붙여지는 웨이퍼 접합 공정,⁶⁾ 접합된 웨이퍼가 고온에서 열처리됨으로써 양성자 이온이 주입된 층이 분리되는 열처리 공정, 분리된 박막 표면이 연마되는 공정이 수행되어야 한다. Fig. 1은 GOI 웨이퍼의 제작 공정도이다. GOI 웨이퍼의 제조공정 기술 가운데 GaAs와 Si 웨이퍼들이 직접 접합되는 웨이퍼 접합(wafer bonding) 공정들이 본 절에서 자세히 설명된다.

먼저 웨이퍼 직접 접합에 사용된 단결정 시료는 (100)의 결정방향을 갖는 2인치 반직경 GaAs 웨이퍼와 비저항이 12~18 Ω·cm이고 결정방향이 (100)인 p-type의 2인치 Si 웨이퍼 이었다. 웨이퍼 직접 접합에 앞서 GOI 웨이퍼의 접합력을 향상시키기 위해서 PECVD를 이용하여 GaAs 표면에 일정한 두께의 Si₃N₄의 보호막과 SiO₂ 박막이 증착되고, 양질의 SiO₂ 박막을 얻기 위해서 열산화막 공정이 수행되었다.⁸⁾ 또한 실리콘 표면에 천연 산화막보다 두께운 SiO₂ 산화막을 만들기 위해 열산화막이 습식 산화방식으로 성장되었다. 고온용 열산화로(thermal oxidation furnace)를 이용하여 열산화막이 성장되기 위한 조건들은 이미 상세하게 발표된 바 있다.⁷⁾

직접 웨이퍼 접합은 거울처럼 연마되고 편평한 세정된 웨이퍼들이 상온에서 접촉해 없이 접촉되었을 때, 서로 van der Waals 힘에 의해 국소적인 인력으로 접합되는 현상을 말한다. 웨이퍼 직접 접합을 위해 PECVD 산화막과 열산화막이 형성된 각각의 시료는 따뜻한 유기 용매제인 TCE(trichloroethylene), 아세톤, 메탄올을 이용하여 초기 세정된 후 탈이온수 (18 MΩ)로 깨끗하게 세척되고, 질소 가스를 이용하여 수분이 건조 되었다. 실리콘

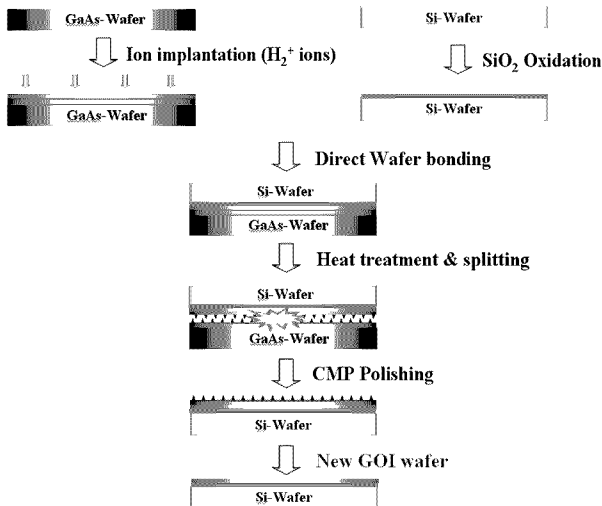


Fig. 1. Schematic diagram of fabrication process for GOI wafers.

과 GaAs 웨이퍼는 modified RCA (NH₄OH:H₂O₂:H₂O =1:4:6) 용액에 수 분씩 담궈짐으로서 표면에 OH-기가 형성되어 친수성이 되었다. Modified RCA 용액에서 꺼내진 두 시료의 표면은 탈이온수로 세척되고 질소가스로 건조되었다. 이제 각각의 시료는 산화박막이 서로 마주보게 포개어진 상태에서 테프론 트위저를 이용하여 시료 중심부분에 압력이 인가 되었다. 이 과정에서 OH-기들 사이의 초기 접합이 이루어진 두 시료는 Van der Walls 힘에 의해 서로 떨어지지 않는다.

상온에서 얻어진 초기 접합은 상당히 약하기 때문에 초기 접합된 웨이퍼 한 쌍은 고온 열처리 공정을 거쳐 접합 경계면의 결합력이 강해져야 한다. 두 시편 접합면의 균일성을 향상시키기 위해 초기접합된 시편은 반도체 웨이퍼 접합을 위해 특별히 고안된 흑연시료 고정장치¹¹⁾에 장착된다. Fig. 2는 반도체 웨이퍼 접합을 위한 흑연시료 고정장치의 사진이다. 사진의 돔(dome) 구조는 세 개의 볼트가 각각 다른 힘으로 조여져도 시료 전면에 균일한 힘이 분산되어 가해질 수 있게 한다. 그러나 더 균일한 압력이 시편에 인가되도록 세 개의 볼트는 다이알게이지가 장착된 토크렌치를 이용하여 동일한 토크로 고정되었다. 마지막으로 균일한 접합을 위해 30분간 시료 고정 장치에서 압력이 가해진 시편은 시료 고정장치에서 꺼내진 후 초기 접합력이 측정되었다. 그리고 열처리 온도에 따른 접합력의 크기를 측정하기 위해 초기 접합된 시료들은 RTA 장비를 이용하여 100°C부터 600°C까지 100°C의 간격으로 60분씩 열처리 되었다.

상기 공정으로 접합된 시료는 서로 반대방향으로 당기는 힘, 즉 장력(tensile force)을 이용하여 두 웨이퍼 사이의 접합력이 측정 되었다. 접합력 측정에 이용된 350-μm-GaAs 기판의 크기는 5×10 mm이고, GaAs 기판이 접합되는 Si 기판은 더 큰 것이 이용되었다. 장력은 Fig. 3(a)와 같이 접합되어 있는 GaAs/SiO₂/Si 시료에서 Si과 GaAs 웨이퍼를 서로 반대 방향으로 당기어 두 웨이퍼

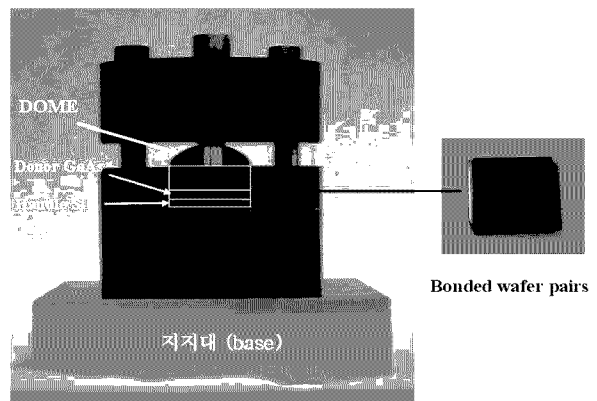


Fig. 2. Photograph of the graphite sample holder for semiconductor wafer bonding.

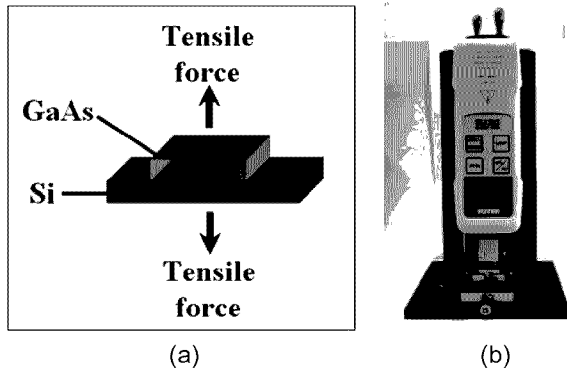


Fig. 3. (a) Schematic diagram showing the method of bonding-strength measurement. (b) Photograph of the tool for measuring tensile forces.

들이 분리될 때 측정된 최대의 힘에 의해 결정된다. Fig. 3(b)는 본 실험에서 장력을 측정하기 위해 새로 제작된 웨이퍼 접합력 측정장치의 사진이다. 장력의 세기는 일본 IMADA사의 digital force gauge(MODEL DPS-50)를 이용하여 측정되었다. 측정할 수 있는 힘의 범위가 0~490 N인 게이지는 수직방향으로 이동될 수 있는 병진기(translator) 위에 고정된다. 그리고 측정될 시료는 2차원 마이크로 병진기(micro-translator) 위에 고정된 후 아래에서 위로 병진기가 이동되면서 두 웨이퍼가 분리되는 힘이 측정되었다.

3. 결과 및 고찰

반도체 광전소자 분야에 활용될 수 있는 GOI나 SOI와 같은 Semiconductor-on-insulator 웨이퍼가 직접 접합 기법으로 제조될 때 웨이퍼의 접합력이 충분히 강해야 한다.¹²⁾ 강한 접합력을 얻기 위해서는 초기접합 후 고온 열처리 과정에서 GaAs와 SiO₂의 열팽창 계수(thermal expansion coefficient: TEC) 차에 의한 크랙(crack)이 나타나지 않아야 한다. 실제로 GaAs와 SiO₂의 TEC는 각각 $5.73 \times 10^{-6}/^{\circ}\text{C}$ 와 $0.6 \times 10^{-6}/^{\circ}\text{C}$ 이기 때문에 GaAs와 SiO₂ 사이의 TEC 차이는 11배 이상 된다. 이와 같이 큰 TEC 차이를 완화하기 위해서는 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 의 열팽창 계수를 갖는 Si₃N₄ 박막이 완충층(buffer layer)의 역할을 하기 위해 GaAs와 SiO₂ 산화막 사이에 증착되는 것이 바람직하다. 그러나 이 경우에도 GaAs와 Si₃N₄ 박막 사이의 TEC가 약 두 배인 반면에 Si₃N₄과 SiO₂ 사이의 TEC 차이는 약 4배 정도로 크다. 따라서 PECVD로 증착된 GaAs/500-Å-Si₃N₄/SiO₂ 시료에서 산화온도의 함수로 산화막 표면의 크랙이 형성되지 않는 산화막의 두께가 먼저 조사되어야 한다.

PECVD 산화막 표면의 크랙형성 여부를 조사하기 위한 열처리 시간이 3시간일 때 GaAs/Si₃N₄/SiO₂ 시료의

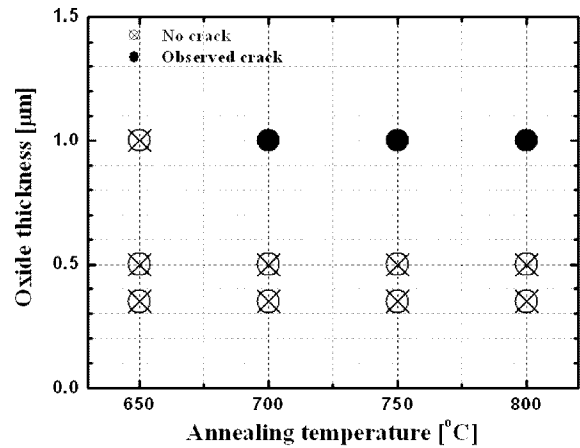


Fig. 4. Dependence of formation conditions of PECVD oxide crack on the thickness of PECVD oxide layer and annealing temperature.

열처리 온도와 산화막 두께에 따라 크랙이 형성되는 조건이 Fig. 4에서 보여진다. 열처리 온도가 650°C일 때 PECVD 산화막의 두께는 1.0 μm까지 크랙이 생기지 않는다. 그러나 열처리 온도가 650~800°C 범위에 있을 때 크랙이 생기지 않는 PECVD 산화막 두께는 0.5 μm 이하이고, 각 온도에서 산화막의 두께가 증가됨에 따라 크랙이 나타나게 된다. 그 이유는 열긴장 에너지(thermal strain energy)가 온도가 높을 수록 크고, 동일한 온도에서는 물질의 두께가 증가할수록 더 커지기 때문이다.¹³⁾ Fig. 4에 의하면 상온부터 800°C까지 열처리될 때 전체 온도영역에서 크랙이 안 나타나는 PECVD 산화막의 최대 두께가 0.5 μm임을 알 수 있다. 따라서 본 논문에서 웨이퍼 직접 접합 공정을 위해 선택된 PECVD 산화막의 두께는 0.5 μm이었다.

마지막으로 초기 접합된 시료가 RTA에서 60분간 열처리된 후 Fig. 3(b)를 이용하여 열처리 온도의 함수로 GaAs/SiO₂/Si 웨이퍼의 접합력이 측정 되었다. Fig. 5는 GaAs 표면 위에 증착된 PECVD 산화막의 두께가 0.5 μm일 때 GaAs/SiO₂/Si 웨이퍼 구조에서 열처리 온도의 함수로 측정된 접합력이다. 상온에서 측정된 초기 접합력은 42 N이었다. 이 접합력은 열처리 온도가 100°C부터 400°C까지 증가됨에 따라 85 N까지 증가된 다음에 500°C까지 거의 일정하게 유지되었다. 그리고 열처리 온도가 더 증가됨에 따라 접합력이 감소되어 600°C에서는 63 N이 되었는데, 이 값은 300°C에서의 접합력과 거의 같다. 그러므로 Fig. 5에 의하면 접합력은 400~500°C의 온도영역에서 84~85 N의 최대 접합력을 중심으로 하여 대칭적으로 변하는 것으로 추정된다.

한편 최대 접합력 세기의 정도를 알아보기 위해서 실리콘과 GaAs 웨이퍼가 순간 접착제로 접합된 시료에서 측정된 접합력은 115 N이었다. 여기서 사용된 순간 접착

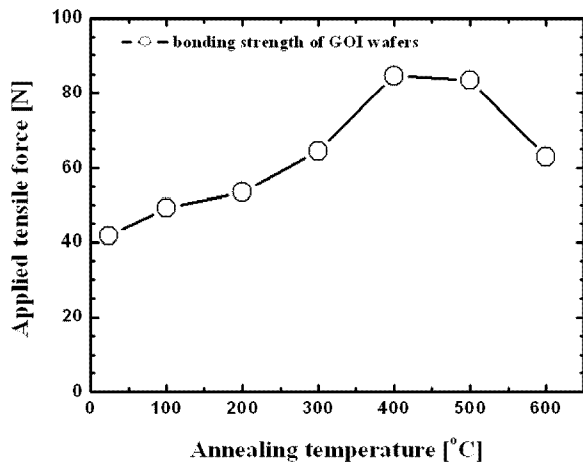


Fig. 5. Dependence of bonding strength on annealing temperature of GaAs/SiO₂/Si wafers.

제는 록타이트 아일랜드사의 LOCTITE 401이고, Fig. 5의 직접 접합력 측정에 사용된 크기와 같은 GaAs와 Si 시료가 상온에서 접착되고 2시간이 경과된 후에 Fig. 5의 접합력을 얻은 방법으로 순간 접착제의 접합력이 측정되었다. Fig. 5의 최대 접합력은 순간 접착제의 접합력의 74% 정도이고 참고문헌⁶⁾에서 보고된 값들보다 크다. 따라서 600°C 이상의 열처리 온도에서 1시간 동안 열처리되어도 직접 접합된 실리콘과 GaAs 웨이퍼가 분리되지 않고 400~500°C의 온도영역에서 84~85 N의 최대 접합력을 갖는 GOI 웨이퍼의 제조 공정이 처음으로 확립되었다.

4. 결 론

실리콘과 GaAs 웨이퍼가 직접 접합될 때 두 웨이퍼 사이의 열팽창 계수의 차이로 인해 접합력을 증가시키기 위한 열처리 공정에서 두 웨이퍼는 약 160°C 부근에서 분리되는 것으로 알려져 왔다. 이 문제를 해결하기 위한 방법으로 Si과 GaAs 표면에 형성된 산화막을 이용한 SiO₂-SiO₂ 접합이 연구되었으나, 열처리 온도가 350°C 이상에서 두 웨이퍼는 분리되었다. 따라서 GOI 웨이퍼는 400°C 전후에서 Ohmic 전극용 열처리 공정이 필요한 반도체 전자소자나 광소자 제작에 이용될 수 없다.

본 논문에서는 GOI 웨이퍼의 열처리 온도를 400°C 이

상으로 증가시키기 위해 다음의 제조공정들이 개발 되었다. 첫째, GaAs와 SiO₂ 사이의 열팽창 계수 차이를 줄이기 위해 완충층으로 Si₃N₄가 도입되었다. 둘째, SiO₂의 두께를 0.5 μm로 최적화하는 새로운 GOI 제조공정이 확립되었다. 셋째, 웨이퍼의 접합력이 장력으로 측정될 수 있는 새로 장치가 고안되었다. 마지막으로 위에서 언급된 방법을 이용하여 400~500°C의 열처리 온도 영역에서 84 N의 최대 접합력을 갖는 GaAs/SiO₂/Si 웨이퍼가 처음으로 제작되었다. 따라서 GaAs/SiO₂/Si 웨이퍼는 Ohmic 전극용 열처리 온도 (380~450°C)에서 분리되지 않기 때문에 반도체 광전소자 제작에 활용될 수 있을 것으로 기대된다.

참 고 문 헌

1. P. D. Han and J. Zou, Appl. Phys. Lett., **72**, 2424 (1998).
2. J. Binsma, P. Thijs, T. VanDongen, E. Jansen, A. Staring, G. Van-DenHoven, and L. Tiemeijer, IEICE Trans. Electron., **E80-C**, 675 (1997).
3. M. Aoki, M. Suzuki, H. Sano, T. Kawano, T. Ido, T. Taniwatari, K. Uomi, and A. Takai, IEEE J Quantum Electron., **29**, 2088 (1993).
4. Q-Y Tong, U.M. Gösele, "Semiconductor Wafer Bonding: Science and Technology", John Wiley & Sons, Inc, pp.205 (1999).
5. M. Bruel, Electron. Lett., **31**, 1201 (1995).
6. J. K. Park, Y. T. Byun and J. Park, Sae Muli, **51**, 322 (2005).
7. Y. T. Byun and H. K. Kim, Sae Muli, **46**, 297 (2003).
8. Y. T. Byun, Y. M. Jhon and S. H. Kim, Sae Muli, **51**, 254 (2005).
9. H. K. Kim, T. G. Kim, S. H. Kim, Y. T. Byun, S. K. Han and H. J. Woo, in Proceedings of the Optical Society of Korea Annual Meeting 2004 (Chonnam National University, Korea, 12-13 February 2004), pp.314-315.
10. Y. T. Byun, H. K. Kim, T. G. Kim, S. H. Kim, S. K. Han and H. J. Woo, in Proceedings of the Optical Society of Korea Annual Meeting 2004 (Chonnam National University, Korea, 12-13 February 2004), pp.316-317.
11. Y. T. Byun, J. H. Kim, S. L. and S. H. Kim, Korea, patent number 10-0507331, 2005.
12. H. Wada and T. Kamijoh, Jpn. J. Appl. Phys. **33**, Part 1, No. **9A**, 4878 (1994).
13. Shinpei Ogawa, Masahiro Imada and Susumu Nodab, Appl. Phys. Lett., **82**, 3406 (2003).