

## 코발트 니켈 합금 구조에서 생성된 실리사이드의 마이크로 핀홀의 발생

송오성<sup>†</sup> · 김상엽 · 전장배<sup>\*</sup> · 김문제<sup>\*</sup>

서울시립대학교 신소재공학과

<sup>\*</sup>텍사스달라스주립대학교 전기공학부

### Micro-pinholes in Composite Cobalt Nickel Silicides

Ohsung Song<sup>†</sup>, SangYeob Kim, Jangbae Jeon<sup>\*</sup> and M. J. Kim<sup>\*</sup>

Department of Materials Science and Engineering, University of Seoul, Cheongmang-dong,  
Tongdaemun, Seoul 130-743, Korea

<sup>\*</sup>University of Texas at Dallas, Electrical Engineering, 2601 N. Floyd Rd., Richardson, TX 75083, USA

(2006년 8월 29일 받음, 2006년 10월 18일 최종수정본 받음)

**Abstract** We fabricated thermal evaporated 10 nm-Ni<sub>x</sub>Co<sub>1-x</sub> (x=0.2, 0.5 and 0.8) / (poly)Si films to form nano-thick cobalt nickel composite silicides by a rapid thermal annealing at 700~1100°C for 40 seconds. A field emission scanning electron microscope and a micro-Raman spectrometer were employed for microstructure and silicon residual stress characterization, respectively. We observed self-aligned micro-pinholes on single crystal silicon substrates silicidized at 1100°C. Raman silicon peak shift indicates that the residual tensile strain of 10<sup>-3</sup> in single crystal silicon substrates existed after the silicide process. We propose thermal stress from silicide exothermic reaction and high temperature silicidation annealing may cause the pinholes. Those pinholes are expected to be avoided by lowering the silicidation temperature. Our results imply that we may use our newly proposed composite silicides to induce the appropriate strained layer in silicon substrates.

**Keywords** pinholes, composite silicide, nickel cobalt silicide, Raman spectrometer, thermal stress.

### 1. 서 론

실리사이드는 현대 CMOS 공정에서 단결정으로 구성된 활성화 영역과 폴리실리콘 게이트 상부에 마스크 없이 실리사이드(self-aligned silicide)공정으로 구현되어 후속 금속 배선층과의 오믹 콘택을 만들고 금속층과 실리콘의 확산방지를 담당하며 콘택에지 중 실리콘의 식각 선택비를 갖게 하여 하루 막의 에칭을 보호하는 역할을 담당하는 중요한 소재이다.

실리사이드는 최소선폰이 감소하여 공정난이도가 증가하며 기존의 CoSi<sub>2</sub>나 NiSi 실리사이드가 용집현상과 열적 안정성 등의 문제를 야기하여 최근에는 이들을 합금시켜 상점만을 사용하려는 복합실리사이드가 개발되고 있다.<sup>1,2)</sup>

그러나 기존의 CoSi<sub>2</sub>와 같은 실리사이드에서는 그 동안 원인은 명확히 밝혀지지 않았으나 실리사이드 공정 이후에 특히 단결정 실리콘 기판 상부의 실리사이드에서 마이크로급 크기의 핀홀이 존재할 수 있음이 알려져 왔다. 이러한 예로서, Fig. 1에 0.25 μm 급 CMOS 선폰에서 실

리사이드 공정을 통하여 플라즈마 표면 Co를 세척 후 증착하고 800°C에서 40초간 쾌속열처리 후 활성화 영역에서 관찰된 핀홀의 모습을 나타내었다. 직경 0.04 μm 정도의 핀홀이 깊이 0.04 μm 정도로 생성되었음을 알 수 있다. 동일한 공정으로 제작된 폴리게이트 부에서는 핀홀이 확인되지 않았다. 이러한 핀홀은 최종적으로 완성된 드라지스터에서 누설전류를 커지게 하는 문제가 있었다. 또한 소오스와 드레인 영역에 이온 주입시 약 30 nm의 실리콘 산화막을 써서 실리콘 표면을 보호하여 균일한 실리콘 표면에 실리사이드 공정을 진행한 경우 성공적으로 핀홀을 방지할 수 있었다.

Fig. 2는 아몰퍼스 실리콘 층에 200°C의 기판온도를 유지하고 TiSi<sub>2</sub>를 RF 스퍼터를 써서 직접 기판 전면에 증착하고 850°C에서 3시간 동안 쾌속열처리 한 후 관찰된 핀홀의 모습들이다. 약 30~60 nm의 핀홀들이 실리사이드의 표면부에서 관찰됨을 알 수 있다. 반면에 동일한 조건에서 폴리실리콘 기판에 진행한 경우에는 핀홀이 관찰되지 않았다. 따라서 단결정과 비슷한 아몰퍼스 실리콘 층에 TiSix가 특정위치에서 우선적인 확산이 진행되어 생긴 핀홀이라고 판단된다.<sup>3)</sup>

또다른 예로서, Fig. 3은 실리콘 기판 전면에 1 nm 의

<sup>†</sup>E-Mail : songos@uos.ac.kr

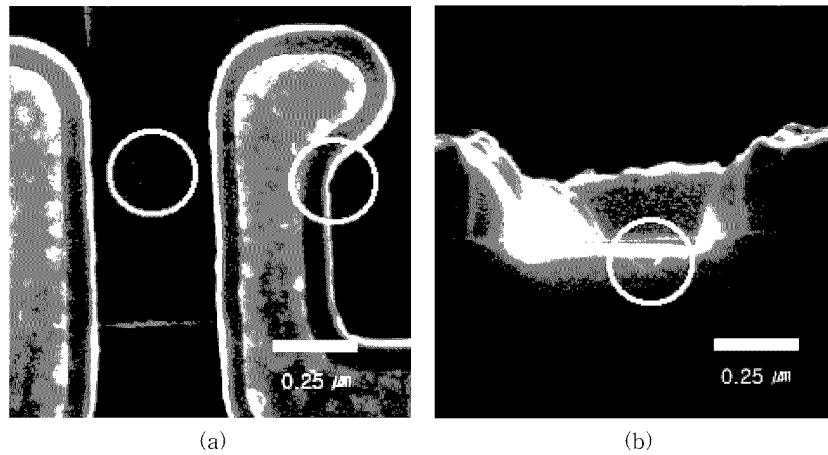


Fig. 1. SEM images of pinholes in actives of 0.25 μm-CMOS devices. (a) plane view and (b) cross sectional view.

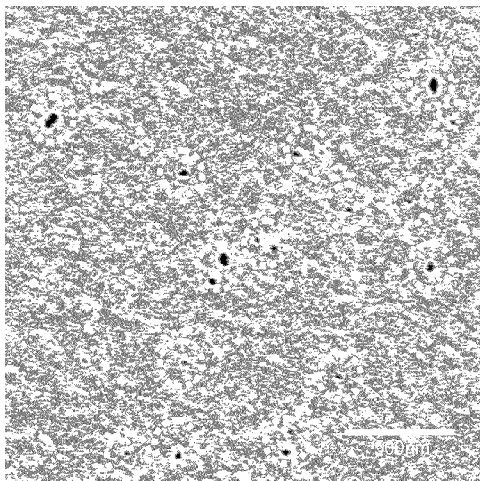


Fig. 2. SEM image of pinholes in TiSix composite silicides on the amorphous silicon substrate after 850°C-3 hrs silicidation.

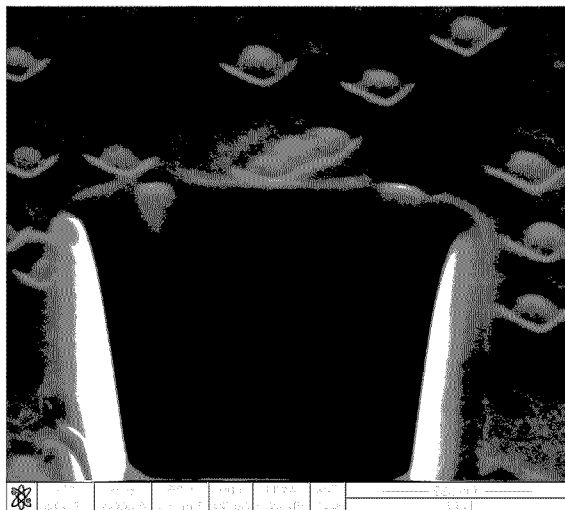


Fig. 3. SEM image of the nano-size pinholes in NiPtSix/Si(100) after 1100°C-40 sec RTA silicidation.

Pt와 10 nm의 Ni를 열증착기로 성막하고 패속열처리로 1100°C에서 40초간 열처리한 후 만들어진 실리사이드 표면에서 관찰된 한 변이 약 100 nm인 나노급 정방형 핀홀들의 모습이다. 사진의 큰 피트는 Ga<sup>+</sup> 이온으로 FIB 가공하여 두께 확인을 위하여 만든 트렌치이다. 이러한 트렌치로 박막의 두께와 핀홀의 깊이도 확인할 수 있었다. 동일한 공정으로 제조된 폴리실리콘 기판에서는 이러한 핀홀이 관찰되지 않았다. 이러한 나노급 두께의 핀홀은 1000°C 이상의 고온에서 이차원적으로 [110]방향을 따라 자가정렬적으로 생성되는 특징이 있었다. 한편 동일한 공정에서 온도만을 900°C 이하로 낮춘 경우에는 이러한 핀홀이 관찰되지 않았다.

이러한 외에도 Ruan 등<sup>4)</sup>은 Si(111)위의 CoSi<sub>2</sub>에서의 핀홀의 생성을 보고하였고, Belousov 등<sup>5)</sup>도 (100), (111) 단결정 실리콘 기판위의 CoSi<sub>2</sub> 층에서 여러 가지 형태의 마이크로 크기의 핀홀의 생성을 보고하고 있다.

이러한 기존의 여러 가지 실리사이드 공정에서의 핀홀 발생의 보고를 정리하면, 핀홀은 이제까지 단결정이나 아몰퍼스 실리콘 기판에 대해서 CoSi<sub>2</sub>, NiSi 및 이들의 복합실리사이드 등의 실리사이드 층을 형성할 때 발생하였고, 비교적 실리사이드화 온도가 고온이거나 실리사이드 공정 전에 단결정 실리콘 표면부에 이온주입에 의한 손상이 있는 경우 발생하는 특징이 있었다. 반면에 폴리실리콘 기판에 대해서는 아직 보고된 바가 없다.

이와 같은 핀홀의 생성은 후속 콘택에치 공정에서 선택비를 가지고 실리콘부분의 에치를 막아야 할 실리사이드의 스톱핑 레이어로서의 기능을 국부적으로 잃게 하여 소오스나 드레인부에 치명적인 스파이킹 현상을 초래하거나 작동 중 누설전류를 발생시켜 트랜지스터의 파괴를 일으키는 문제를 일으킬 것이 예상된다.

따라서 이러한 새로이 제안된 복합형 코발트 니켈 실리사이드에 대해서도 혹시 핀홀이 발생하는지의 확인이

필요하고 만약 발생한다면 이러한 핀홀의 발생 원인과 조건을 확인하여 궁극적으로 핀홀 발생을 제어하는 것이 중요하다.

본 연구에서는 살리사이드 공정을 상정하여 단결정과 다결정 실리콘 기판에 나노급 코발트 니켈 복합살리사이드를 만들고 쾌속열처리기로 1100°C까지 처리하여 살리사이드화 온도에 따른 핀홀의 생성유무와 이때의 살리사이드 하부의 실리콘의 스트레스 변화를 마이크로 라만 분석기로 측정하여 보았다.

## 2. 실험 방법

활성화영역을 상정하여 직경 10 cm의 단결정 실리콘 (100) 기판과 게이트를 상정한 70 nm 폴리실리콘/ 200 nm 열산화 실리콘산화물층/실리콘(100) 구조의 기판을 준비하였다. 준비된 단결정과 폴리실리콘 기판 전면을 자연산화막을 HF 크리닝으로 자연산화막을 제거하고 이후에 열증착기를 이용하여 Ni<sub>0.2</sub>Co<sub>0.8</sub>, Ni<sub>0.5</sub>Co<sub>0.5</sub>, Ni<sub>0.8</sub>Co<sub>0.2</sub>의 Ni의 상대 조성이 다른 니켈 코발트 합금 소오스를 이용하여 각각 Ni 조성이 다른 두께 10 nm의 합금박막을 성막하였다.

완성된 각 조성의 단결정, 폴리실리콘 기판의 시편을 쾌속열처리기를 사용하여 40초간 온도를 700, 900, 1000, 1100°C의 조건으로 살리사이드화 온도를 변화시키면서 살리사이드층을 형성시켰다. 30% 황산용액에 10분간 침시켜 필요 없는 금속층을 제거하였다.

비교군을 위해서 합금박막을 증착하지 않은 단결정, 폴리실리콘 기판도 같은 조건으로 쾌속열처리를 진행하였다.

완성된 각 조건의 살리사이드는 사점면저항 측정기로 살리사이드의 생성을 확인하고 광발산주사전자현미경을 활용하여 80,000배의 고배율 하에서 표면부의 핀홀 발생 유무와 형상을 확인하였다.

Micro-Raman Spectrometer(Jobin Yvon사 Lab Ram HR model)을 사용하여 시료 표면에 Laser 초점을 맞추

고 632.817 nm의 레이저가 시료에 입사하여 반사되어 나올 때의 에너지 손실을 측정하는 것으로 400~3000 cm<sup>-1</sup>까지 측정하였다.<sup>5)</sup>

마이크로 라만 스펙트럼을 이용하여 살리사이드 상의 변화를 측정하는 것과 함께, 특히 레이저의 표면투과효과는 살리사이드 하부의 실리콘의 메인 피크까지 검출이 가능하여 실리콘에서의 라만 피크변동( $\Delta w_0$ )을 고려하여 Eq. (1)에 의해 살리사이드 박막 생성에 의한 실리콘의 스트레스( $\sigma$ )와 스트레인( $\epsilon$ )의 측정을 시도하였다. 이차원적인 열스트레스 등의 원인으로 실리콘의 메인피크는 아래 식 (1)과 같은 변동량을 갖고 이때의 잔류 스트레스와의 관계를 갖는다.<sup>6,7)</sup>

$$\begin{aligned} \sigma &= -435\Delta w_0 [\text{MPa}] \\ \epsilon &= \frac{-435\Delta w_0}{E} = 2.289 \times 10^{-3} \end{aligned} \quad (1)$$

여기서 E는 실리콘의 탄성계수로 190 GPa로 주어진다. 식 (1)로부터 살리사이드 공정조건에 따른 하부 실리콘의 잔류응력을 판단하였다.

## 3. 실험 결과

핀홀의 형성이 기판에 의존하는지를 알아보기 위해 Fig. 4에는 금속층의 증착 없이 1100°C와 1200°C에서 40초간 열처리한 단결정 표면사진을 보였다. 그 이하 온도에서 열처리한 경우도 마찬가지로 특이한 핀홀의 모습은 관찰할 수 없었다. 동일한 조건에서 폴리실리콘 기판을 1200°C까지 처리한 경우도 핀홀은 관찰되지 않았다. 따라서 살리사이드 공정의 부가 없이 단순히 실리콘 기판의 고온 열처리로는 핀홀이 형성되지 않음을 확인하였다.

Figs. 5~7에는 합금의 조성에 따른 각각의 결과를 보여주고 있으며, Fig. 5에는 1100°C에서 열처리한 10 nm Ni<sub>0.2</sub>Co<sub>0.8</sub> 합금박막으로부터 형성된 살리사이드의 단결정

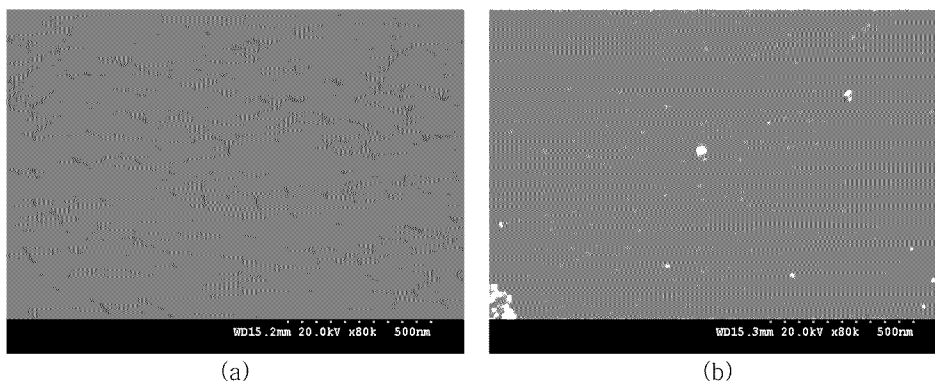
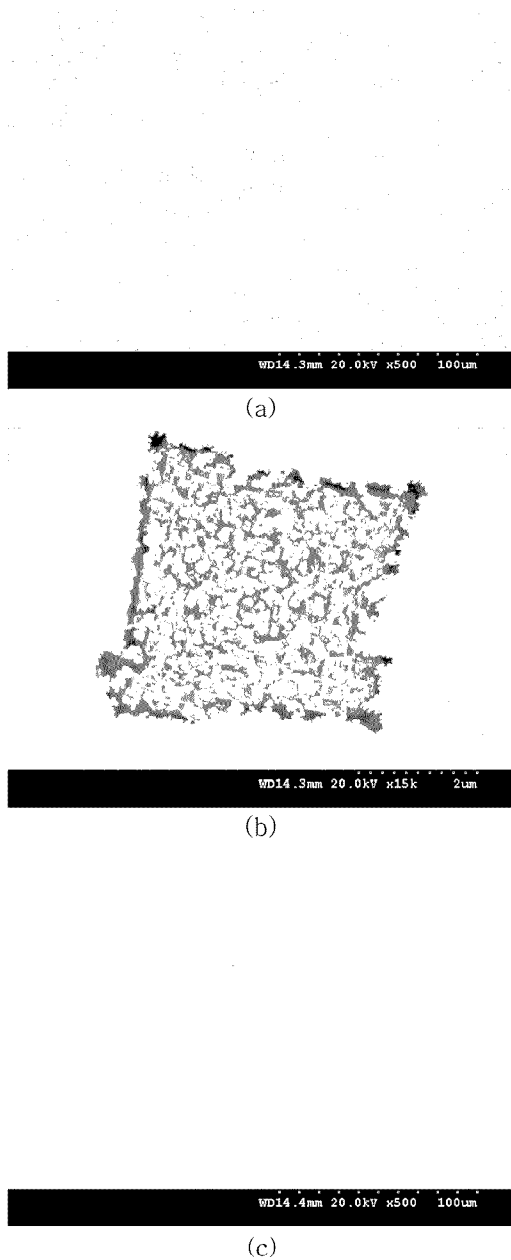


Fig. 4. SEM images of bare single crystal silicon wafers with rapid thermal annealing for 40 seconds at (a) 1100°C and (b) 1200°C.

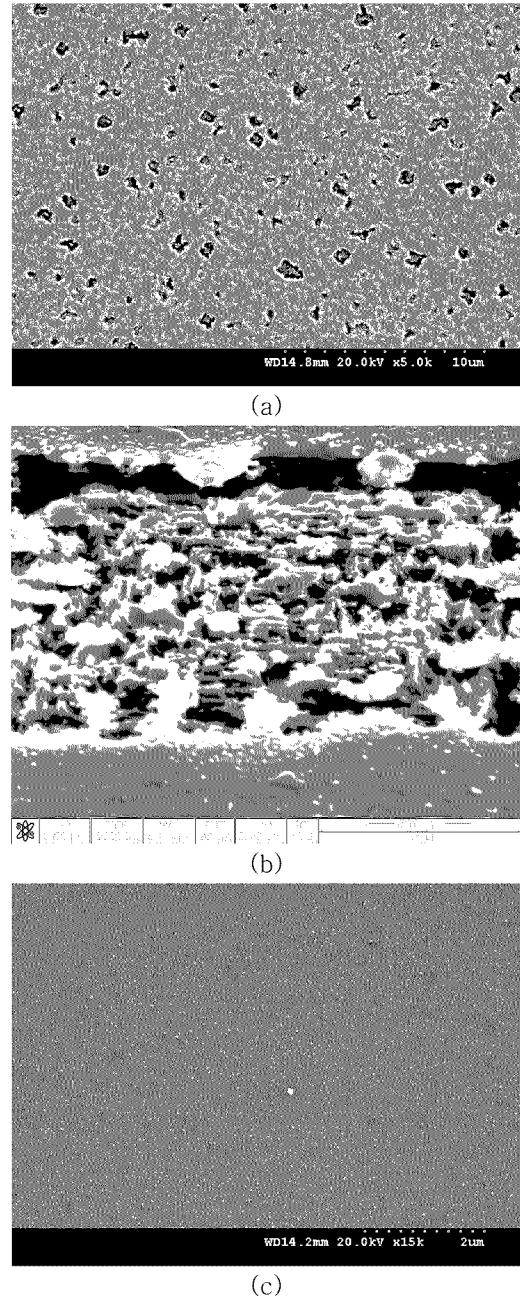
과 폴리실리콘기판의 표면형상을 보이고 있다. (a)에는 단결정기판인 경우  $0.002 \text{ ca}/\mu\text{m}^2$ 의 밀도로 약  $2 \mu\text{m}$ 의 정방형으로 규칙성을 가지고 실리사이드 표면에 생성된 핀홀의 모습을 보였다. (b)에는 이들의 확대된 표면형상을 보이고 있는데 생성된 실리사이드의 두께는 20 nm에 불과한데 실제 핀홀의 깊이는 약 200 nm 정도로 많은 실리콘 층이 없어진 모습을 하고 있고 핀홀 내부에는 실리콘의 파편들이 무질서하게 보이고 있다. (c)에는 (a)와 동일한 배율의 폴리실리콘 기판위에 형성된 실리사이드



**Fig. 5.** SEM images of pinholes in silicides from  $\text{Ni}_{0.2}\text{Co}_{0.8}$  structure silicidized at  $1100^\circ\text{C}$ . (a) pinholes on single crystal silicon, (b) enlarged pinhole image of (a), and (c) no pinholes on polycrystalline silicon substrates.

드층의 표면형상을 보였는데, (a)와 같은 핀홀은 생성되지 않았음을 알 수 있다.  $1000^\circ\text{C}$  이하의 열처리에 의한 동일한 조성에서의 실리사이드층에서는 (a)와 같은 핀홀이 발견되지 않았다.

Fig. 6에는 10 nm- $\text{Ni}_{0.5}\text{Co}_{0.5}$  합금박막으로부터  $1100^\circ\text{C}$  조건에서 열처리 하여 생성된 실리사이드의 표면형상을 보이고 있다. (a)의 단결정에서는  $0.28 \text{ ca}/\mu\text{m}^2$ 의 밀도를



**Fig. 6.** SEM images of pinholes in silicides from  $\text{Ni}_{0.5}\text{Co}_{0.5}$  structure silicidized at  $1100^\circ\text{C}$ . (a) pinholes on single crystal silicon, (b) enlarged pinhole image of (a), and (c) no pinholes on polycrystalline silicon substrates.

가지고 많은 핀홀들이 생성되었음을 알 수 있고 앞서 보인  $\text{Ni}_{0.2}\text{Co}_{0.8}$ 인 경우와 비교하여 삼각형의 핀홀이 섞여 보이는 특징이 있었다. 그러나 대부분은 한 변이 약  $1\ \mu\text{m}$ 인 정방형을 유지하고 있었다.

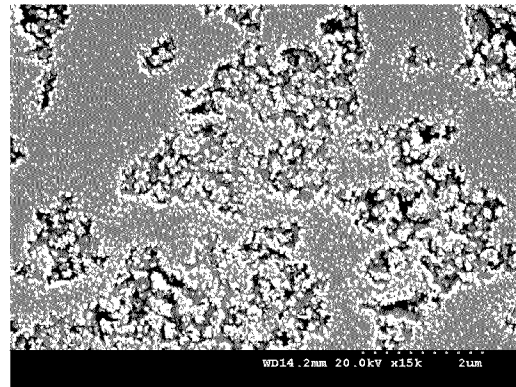
(b)에는 (a)를 고배율로 확대한 모습으로 약  $0.2\ \mu\text{m}$ 의 두께를 가지고 핀홀내부에 실리사이드층으로 보이는 파편이 널린 것과 실리콘이 [110] 방향성을 가지고 파괴되었음을 나타내고 있다. 따라서 이러한 배경에서 핀홀의 생성은 2차원적인 국부적인 스트레스와 관련이 있는 것을 암시하고 있다. (c)에는 동일한 조성의 금속박막을 폴리실리콘 기판위에 형성시키고 이를  $1100^\circ\text{C}$ 로 열처리한 경우로서 기판만 다른 동일한 공정임에도 폴리실리콘 기판의 경우에는 핀홀이 보이지 않음을 나타내고 있다.

Fig. 7에는  $10\ \text{nm-Ni}_{0.8}\text{Co}_{0.2}$  합금박막이 증착된 실리콘 기판을  $1100^\circ\text{C}$ 에서 퀘속열처리하여 생성시킨 실리사이드층의 표면형상을 나타내고 있다. (a)의 단결정 실리콘기판인 경우에는 불규칙한 고밀도의 핀홀들이 형성되어 있고 다른 조성들에 비해 생성된 핀홀의 깊이가  $0.1\ \mu\text{m}$  정도로 얇은 특징이 있었다. (b)에 이러한 핀홀들의 확대되고  $52^\circ$  기울어진 모습을 나타내었는데 약  $50\ \text{nm}$  정도의 응집상들이 섞여 있는 모습을 보이고 있다. (c)는 폴리실리콘 기판 위에 형성된 실리사이드로 다른 조성에 비해서 명확한  $50\ \text{nm}$  정도의 결정립계와 응집상이 보이고 있다.

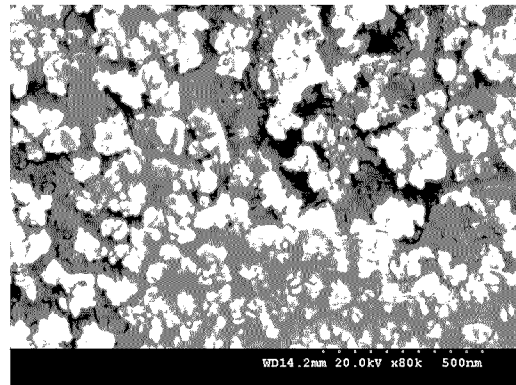
이상과 같이 코발트 니켈 복합실리사이드는  $1100^\circ\text{C}$  이상의 고온 열처리에서 단결정기판 위에 진행된 경우에만 마이크로크기의 핀홀이 형성됨을 확인하였다. 이러한 핀홀의 형상과 밀도는 초기의 코발트 니켈의 상대 조성에 영향 받았다.

일반적으로 실리사이드 반응이 일어나면 실리콘 기판은 상부의 실리사이드가 부피 팽창을 하므로 어느 정도의 이축 방향의 (+) 인장 스트레인을 받을 것이 예상되지만 이에 대한 정량화가 필요하다. 이를 위해서 Fig. 8에는 라만 스펙트럼에 의한 단결정 기판과 다결정 기판에서의 각 조성에서 실리사이드 온도 변화에 따른 실리콘 성분의 Raman Shift를 보였다. 단결정 실리콘의 기준이 되는  $521.080\ \text{cm}^{-1}$ 을 기준으로 정성적으로 단결정 기판에서는 음의 방향으로 변화가 일어나고 있음을 알 수 있다.

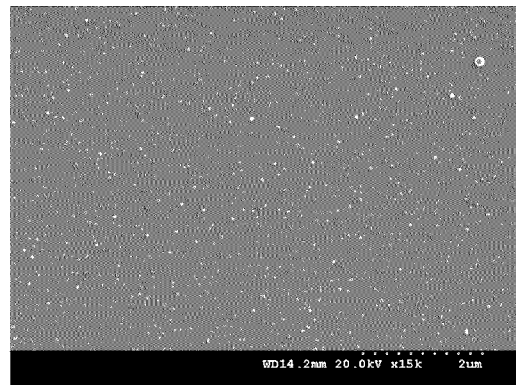
(a)의  $\text{Ni}_{0.2}\text{Co}_{0.8}$  조성의 합금박막으로부터  $700^\circ\text{C}$ 와  $1100^\circ\text{C}$ 로 기판별로 실리사이드화 시킨 경우는 단결정에서는  $1100^\circ\text{C}$  열처리에서 실리콘 고유피크가  $520.440\ \text{cm}^{-1}$ 으로 음의 방향으로 이동하였다. 식 (1)에 의하여 판단하면  $\sim 1.465 \times 10^3$ 의 비교적 큰 잔류 인장스트레인을 가짐을 알 수 있다. 일반적으로 실리사이드반응을 실리사이드층의 약 2.3배 이상의 격심한 부피팽창을 가져오므로 하부의 실리콘이 인장잔류응력을 받는 것을 예상 할



(a)



(b)



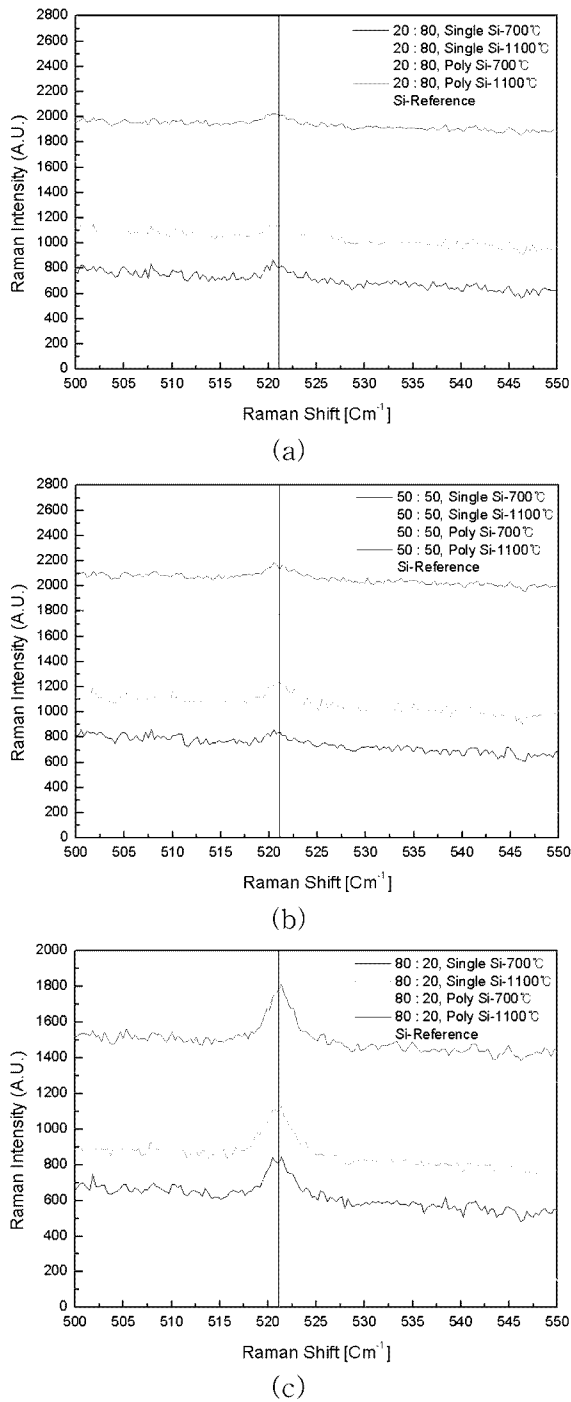
(c)

**Fig. 7.** SEM images of pinholes in silicides from  $\text{Ni}_{0.8}\text{Co}_{0.2}$  structure silicidized at  $1100^\circ\text{C}$ . (a) pinholes on single crystal silicon, (b) enlarged pinhole image of (a), and (c) no pinholes on polycrystalline silicon substrates.

수 있다.

폴리실리콘 기판의 경우는 라만 측정레이저가 투과가 상부의 실리사이드층을 투과하지 못하여 많은 노이즈를 가져서 매우 판단이 곤란한 정도이므로 판단할 수 없었다. 또한  $\text{CoSi}_2$ 의 고유라만피크는  $267\ \text{cm}^{-1}$ 이라서 본 실험장비의 스캔영역을 벗어나서 실리사이드 물질 자체의 스트레스는 검토하지 않았다.

(b)의  $\text{Ni}_{0.5}\text{Co}_{0.5}$ 조성의 합금박막으로부터 실리사이드화



**Fig. 8.** Micro-Raman silicon main peaks of the CoNi composite silicides with silicidation temperature and single/poly silicon substrates formed from (a)  $\text{Ni}_{0.2}\text{Co}_{0.8}$ , (b)  $\text{Ni}_{0.5}\text{Co}_{0.5}$ , and (c)  $\text{Ni}_{0.8}\text{Co}_{0.2}$  film structures.

시킨 경우는 (a)에서와 마찬가지로 폴리실리콘 기판에서의 고유 실리콘 라만피크는 판단 할 수 없었고, 단결정 기판에 대해서는 각각 라만 실리콘 고유 피크의 이동이 700°C와 1100°C에서 각각 -0.430, -0.613으로 잔류 인장

스트레인이 각각  $+0.984 \times 10^{-3}$ ,  $+1.403 \times 10^{-3}$ 으로 판단되었다. 즉, 온도가 증가하면서 잔류 인장 스트레인이 커지는 현상을 보이고 있다.

(c)의  $\text{Ni}_{0.8}\text{Co}_{0.2}$  조성의 합금박막으로부터 살리사이드 공정을 처리한 경우는 단결정기판에서는 고유피크변위가 700°C와 1100°C에서 각각 -0.5850, -0.613으로 예상되는 잔류인장스트레인은  $1.259 \times 10^{-3}$ ,  $1.403 \times 10^{-3}$ 이다. 역시 온도가 증가하면서 매우 큰 스트레인이 작용함을 보이고 있다. 한편 폴리기판에서는 판단이 가능한 피크를 보이는데 700°C와 1100°C에서의 변위가 각각 +0.180, +0.240으로 잔류 압축 스트레인이  $4.120 \times 10^{-4}$ ,  $5.434 \times 10^{-4}$  존재함을 보이고 있다.

따라서 복합실리사이드 박막 하부의 실리콘의 잔류 응력은, 실리사이드 공정에 쓰인 복합실리사이드의 조성에 따라 달라지지만 정성적으로 살리사이드화 온도가 올라갈수록 더 큰 잔류스트레인이 발생하였고, 단결정기판에는  $\sim 10^{-3}$ 급의 큰 인장 스트레인이, 폴리실리콘에서는  $10^{-4}$ 정도의 단결정 실리콘 기판 보다는 작은 압축 스트레인이 존재한다고 예상되었다.

실리콘에서의 스트레인은 일반적인 박막공정의 진행에 따라 벌크상태에서는  $10^{-5}$  정도로 측정되는 것이 상례였다. 그러나 본 연구에서와 같이 나노급 소자에서 실리사이드 박막의 생성에 따라 나노급 소자에서  $10^{-3}$  정도의 잔류스트레인이 존재하고 있다는 것은 매우 중요하다. 실제 Huang<sup>10)</sup>은 CBED기법을 통하여 나노급 shallow trench 구조 부근의 실리콘이  $10^{-3}$  정도의 압축 스트레인을 가진다고 확인한 바 있으며 본 실험의 결과와 비슷한 정도의 스트레인이 나노급 소자에서는 충분히 가능하다고 판단된다.

또한 본 실험에서 보인 이러한 코발트 니켈 복합실리사이드의 편흔의 특징은  $\text{Co}_{0.8}\text{Ni}_{0.2}$ ,  $\text{Co}_{0.5}\text{Ni}_{0.5}$ 의 조성에서는 비교적 정방향으로 특정한 방향인 [110]방향을 따라 자가정렬적으로 생기는 경향을 보이고 있다. 이는 열팽창에 의한 이차원적인 biaxial thermal stress가 편흔 발생에 관여하고 있음을 나타내고 있다.

이미 I. Belouv 등<sup>5)</sup>에 의하면 열역학적인 모델에 의한 설명으로서,  $\text{CoSi}_2$ 의 실리사이드 공정에서 생긴 편흔은  $\text{CoSi}_2$ 의 실리사이드화 과정에서 특정한 실리콘 표면 위치에서 먼저 실리사이드화 반응이 일어나면서  $\text{Co}+\text{Si} \rightarrow \text{CoSi}$ 가 되는 발열과정이 생기고 실리콘과 코발트의 열팽창 스트레스에 의하여  $\text{CoSi}_2$ 의 활성화에너지는 144에서 79 kJ/mol로 감소하여, 궁극적으로 이 우선 실리사이드 영역이  $3.1 \times 10^{-13} \text{ m}^2$ 이 넘으면 국부적인 용융온도에 버금가는 열이 발생하여 결국 한번이 0.5~2.6  $\mu\text{m}$  정도의 편흔이 생성된다고 설명한 바 있다. 이러한 설명은 본 실험에서 발견된 고온의 니켈코발트 복합실리사이드에서의 편흔의 크기와 매우 잘 일치하고 있다. 이와 같

은 실험은, 본 연구와 같이 코발트와 니켈의 혼합 실리사이드로서  $\text{CoSi}_2$ 가 발생할 수 있으므로 적합한 실험이라고 생각된다.

따라서 복합실리사이드의 편층의 생성은 실리사이드 반응이 먼저 일어날 수 있는 국부적인 표면결함이 있어야 하고, 비교적 고온에서 실리사이드가 처리되어 국부적으로 큰 열팽창스트레스가 발생되어야 편층 생성에 필요한 국부적과괴 또는 용융을 일으키는 과정이 가능하다.

바꾸어 말하면 실리사이드에서 편층의 발생을 억제하려면 단결정에서 우선성장이 가능한 표면사이드를 없애거나, 비교적 저온에서 실리사이드화를 진행시켜 열팽창스트레스를 완화시킨다면 도움이 될 수 있다고 판단된다.

이러한 예측은 기존의 보고나 본 실험에서와 같이, 표면 사이드가 등방적으로 무수히 많은 다결정실리콘이나 아몰퍼스실리콘 기판에서는 편층이 보고되고 있지 않은 점, 비교적  $1000^\circ\text{C}$  이하의 저온에서는 편층이 보고되지 않은 것과 잘 일치하고 있다.

마이크로 라만 분석으로 확인된 바와 같이 복합 실리사이드 공정에서의 잔류 응력은 피할 수 없다. 부정적인 잔류 응력의 영향으로 매우 큰  $10^3$  정도의 잔류 스트레스는 궁극적으로 소자의 성능을 저하시키는 편층을 만들 수 있었다.

그러나 이러한 복합실리사이드 공정에서 필연적으로 생기는 잔류응력의 긍정적인 이용도 가능하다고 예상된다. 실리콘의 활성화 영역에 복합실리사이드의 조성과 온도 조절을 통한 실리사이드 공정을 통하여 적절한 잔류스트레스를 만들어, 기존의  $\text{SiGe}$  구조와 같이 복잡한 에피택시들 만들어 모빌리티를 향상시키려던 노력을 대신하여 스트레인드 레이어를 만들어 소자의 속도를 향상시키는 것도 가능하다고 예상되었다. 또한 이러한 편층의 생성이 실리사이드의 조성과 특정한 온도범위에 따라 사가정 별적으로 특정방향으로 방향성과 규칙성을 가지고 생성됨을 이용하여 이 편층들을 코밀도 정보 저장장치의 캐퍼시터나 스토리지 셀로 활용하는 것도 가능하다고 기대되었다.

#### 4. 결 론

본 연구에서는 실리사이드 공정을 상징하여 단결정과 다결정 실리콘 기판에 나노급 코발트 니켈 복합실리사이드를 만들고 패속열처리기로  $1100^\circ\text{C}$ 까지 처리하여 실리사이드화 온도에 따른 편층의 생성유무와 이때의 실리사이드 하부의 실리콘의 스트레스 변화를 마이크로 라만 분석기로 측정하여 보았다.

1. 새로이 제안된 코발트 니켈 복합실리사이드에서도 기

존 코발트실리사이드와 같이 단결정 기판에서  $1100^\circ\text{C}$ 의 고온 실리사이드화 조건에서 마이크로급의 편층이 발생하였다.

2. 단결정기판에서 생긴 실리사이드층의 편층의 크기, 모양, 밀도는 코발트니켈복합실리사이드의 조성과 기판의 종류에 영향을 받았다.

3. 마이크로 스펙트럼의 실리콘 고유피크의 변위로 판단한 결과 실리사이드 하부의 실리콘은 단결정인 경우  $1100^\circ\text{C}$ 에서  $1.4 \times 10^3$ 의 큰 이차원적인 잔류 인장스트레스를 가질 수 있었고, 폴리실리콘에서는  $10^4$  정도의 잔류 압축 스트레스를 가졌다.

4. 복합실리사이드에서 편층은 단결정 기판에서의 실리사이드화 우선 반응과 국부적인 반응열, 고온 실리사이드화 온도에서의 열팽창 스트레스가 작용하여 발생하였다.

5. 복합실리사이드의 편층 발생은 실리사이드화 온도를 낮추어 방지가 가능하였고, 실리사이드 공정 조건을 조절하면 하나 실리콘의 잔류 응력이 긍정적인 기능을 갖도록 할 수 있다고 기대되었다.

#### 감사의 글

본 연구는 한국과학재단의 특장기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

#### 참 고 문 헌

1. O. Song, S. Cheong, D. Kim and Y. Choi, Kor. J. Mater. Res., 14(11), 769, (2004).
2. O. Song, S. Cheong and D. Kim, Kor. J. Mater. Res., 14(12), 846, (2004).
3. S. Cheong and O. Song, Kor. J. Mater. Res., 12(11), 883, (2002).
4. L. Ruan and D. M. Chen, Appl. Phys. Lett., 72(26), 3464, (1998).
5. I. Belousov, E. Rudenko, S. Linzen and P. Seidel, Thin solid film, 325, 145, (1998).
6. W. H. Weber and R. Merlin, Springer New York, 55, (2000).
7. Yilan Kang, Yu Qiu, Z. Lei and Ming Hu, Optics and Lasers in Engineering, 43, 847, (2005).
8. F. M. Liu, J. H. Ye, B. Ren, Z. L. Yang, Y. Y. Liao, A. See, L. Chan and Z. Q. Tian, Thin Solid Films, 471, 257, (2005).
9. I. Belousov, A. Grib, S. Linzen and P. Seidel, Nuclear Instruments and Methods in Physics Research B, 186, 61, (2002).
10. Jiang Huang, PhD thesis of University of Texas at Dallas, (2006).