

논문 2006-43SD-2-6

# 새로운 자동 튜닝 기능을 가지고 있는 CMOS 다중 모드 기저 대역 필터의 설계

## ( A Design of CMOS Multi-Mode Baseband Filter with New Automatic Tuning )

이 강 윤\*, 구 현 철\*, 허 정\*

(Kang-Yoon Lee, Hyunchul Ku, and Jeong Hur)

## 요 약

본 논문에서는 PDC/GSM/EDGE/WCDMA를 동시에 지원하는 CMOS 다중 모드 기저대역 필터의 구조 및 새롭게 제안하는 자동 튜닝 방법을 제시한다. 기저 대역 채널 선택 필터를 구현하기 위해서 5차 Chebyshev 저대역 통과 필터를 설계하였다. 면적을 최소화하기 위해서 각 모드들 사이의 저항과 커패시터가 효율적으로 공유되었다. 또한, 공정 변화에 의한 영향을 상쇄시키기 위한 새로운 차단 주파수 튜닝 방법이 제안 되었다. 새로운 튜닝 방법은 면적과 MOS 스위치에 의한 노이즈의 영향을 줄일 수 있다.

## Abstract

This paper presents a CMOS multi-mode baseband filter architecture to support PDC/GSM/EDGE/WCDMA and its new automatic tuning method. 5-th order Chebyshev low pass filter is designed for implementing the baseband channel-select filter. Capacitors and resistors were shared efficiently between modes to minimize the area. And, the new cut-off frequency tuning method is proposed to compensate the process variation. This method can reduce the area and the noise level due to MOS switches.

**Keywords** : 필터, 튜닝, 기저대역, 다중 모드, 차단 주파수

## I. 서 론

멀티 미디어 데이터를 전송하기 위한 3세대 통신 표준이 널리 사용됨에 따라 새로운 광 대역 (wideband) 표준 뿐 아니라, 기존의 협 대역 (narrow band) 시스템을 동시에 지원할 수 있는 셀룰라 단말기에 대한 수요가 증가하고 있다.<sup>[2]</sup> 2세대 통신의 경우 수십 kHz의 대역폭을 가지는 반면, 광 대역 시스템의 경우 수 MHz의 대역폭을 가진다.<sup>[1][2]</sup> 따라서, 여러 시스템을 동시에 지원하려면 아날로그 채널 선택 필터의 차단 주파수

(cut-off frequency)는 적어도 수십 배 이상의 범위에 걸쳐서 변할 수 있어야 한다. 하지만, 필터의 통과주파수가 이렇게 크게 변하려면 면적과 전력 소모가 증가하게 된다. 제안하는 다중모드 필터는 커패시터와 저항을 공유함으로써 면적을 최소화하고 전류소모를 최적화할 수 있다. 또한, 새롭게 제안하는 튜닝 방법은 주요한 잡음원 (Noise Source)중의 하나인 프로그래머블 커패시터 어레이에 필요한 스위치의 수를 줄일 수 있다.

본 논문은 다음과 같이 구성된다. II장에서는 멀티 모드를 지원하기 위한 기저대역 필터의 구조 및 새롭게 제안하는 필터 튜닝 방법에 대해서 설명한다. III장에서는 설계된 필터의 모의실험 결과를 보이며, IV장에서는 결론을 맺는다.

\* 정회원, 건국대학교 정보통신대학 전자공학부  
(Department of Electronic Eng. Konkuk University)  
접수일자 : 2005년7월14일 수정완료일 : 2006년1월25일

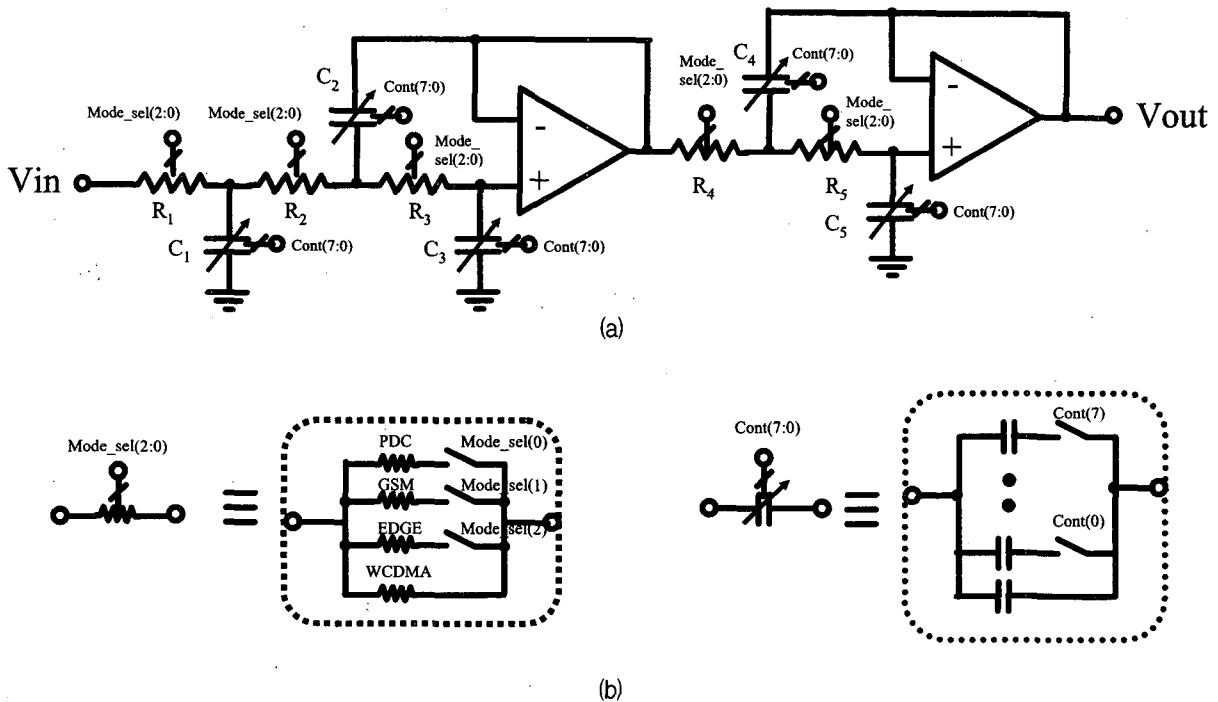


그림 1. (a) 기저대역 필터의 schematic (b) 저항 매트릭스와 커패시터 매트릭스  
 Fig. 1. (a) Schematic of the baseband filter (b) Resistor matrices and capacitor matrices.

## II. 다중 모드 기저 대역 필터

### 1. 기저 대역 필터 회로의 구조

그림 1(a)는 설계한 active-RC 5차 Chebyshev 필터의 schematic을 보여주고 있다. 그림 1(b)는 멀티 모드를 지원하기 위한 저항 매트릭스와 커패시터 매트릭스를 보여주고 있다. 저항 매트릭스는 저항들과 스위치들로 구성되어 있다. 스위치들은 표 1에 정의된 Mode\_Sel (2:0) 신호에 의해서 제어를 받는다. WCDMA용 필터의 경우 저항이 가장 작고, PDC용 필터의 경우 저항이 아무 스위치에도 연결이 되어 있지 않다.

“Filter Solution”이라는 상용 Tool을 이용하여 저항의 크기와 커패시터의 크기를 결정하였다. 각 모드별로 필요한 저항과 커패시터를 공유하도록 정하였다. 즉, PDC의 경우 가장 큰 커패시터 값을 필요로 하므로, GSM/EDGE/WCDMA 모드에서 필요한 커패시터도 공유할 수 있다. GSM의 경우에도 EDGE/WCDMA 모드에서 필요한 커패시터와 공유할 수 있다. 또한, EDGE의 경우에도 WCDMA 모드에서 필요한 커패시터와 공유할 수 있다.

PDC, GSM, EDGE, WCDMA의 대역폭은 각각 13kHz, 100kHz, 760kHz, 2.1MHz이다.

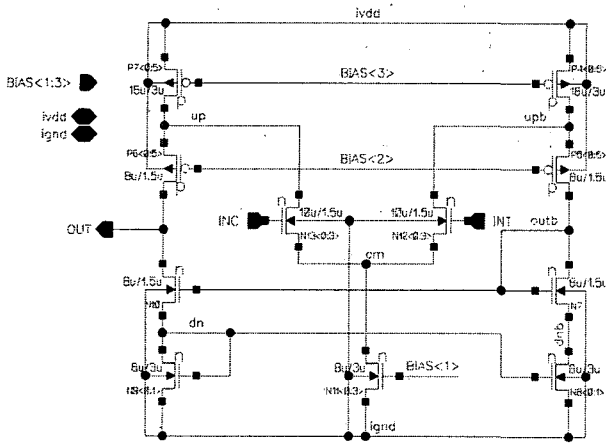
표 1. 모드의 정의 및 해당 대역폭

Table 1. Mode definition and corresponding bandwidths.

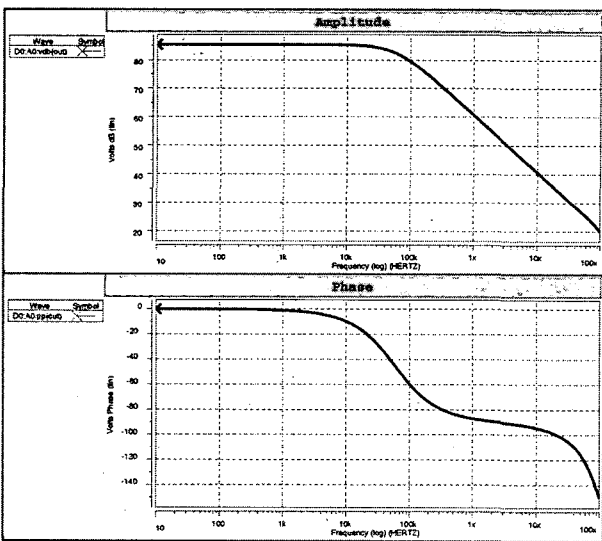
Mode_sel(2:0)	Standard	Bandwidth
"000"	PDC	13kHz
"001"	GSM	100kHz
"011"	EDGE	760kHz
"111"	WCDMA	2.1MHz

Mode\_sel(2:0) 비트들은 시리얼 인터페이스를 통해서 세팅이 되며, thermometer code의 형태로 표현된다. 필터 차단 주파수 (cut-off frequency)는 프로그래머블 커패시터 매트릭스를 이용해서 튜닝 가능하도록 설계되었다. 커패시터 매트릭스는 커패시터와 스위치로 구성되어 있다. 각 모드에 필요한 제어 비트는 2비트이므로, 4가지 모드를 지원하기 위해서 총 8비트가 필요하다. 8비트의 튜닝 비트들, Cont(7:0) 은 모드에 따라서 온 칩 튜닝 블록에 의해서 결정된다.

PDC모드의 경우 대역폭이 가장 낮으므로 가장 큰 수동 소자 값이 필요하게 되고, 많은 면적을 차지한다.<sup>[1]</sup> 커패시터 매트릭스가 전체 면적을 좌우하므로 각 모드들에 필요한 커패시터들이 최대한 공유되었다. 같은 대역폭을 구현한다고 할 때, 저항 값과 커패시터 값 사이에 trade-off관계가 성립한다. 열잡음 (thermal noise)을



(a)



(b)

그림 2. op-amp의 (a) sch  
Fig. 2. (a) schematic (b) ac-simulation result of op-ampematic (b) ac-simulation 결과

줄이기 위해서 저항 값을 줄이면, 커패시터 값이 커지게 되고 면적이 증가한다. 반면, 면적을 줄이기 위해서 커패시터 값이 줄어들수록, 저항 값이 커져야 하고 노이즈 레벨이 올라가게 된다. 따라서, 노이즈 레벨과 면적을 최적화하기 위한 저항 값과 커패시터의 값이 결정되었다.

그림 2(a)는 그림 1(a)의 필터에서 사용한 연산 증폭기의 schematic을 보여주고 있다. 그림 2(b)는 ac-simulation 결과를 보여주고 있다. BIAS<1>을 조정함으로써, 연산 증폭기의 DC-Gain을 조정할 수 있도록 설계하였다. BIAS<1>의 Nominal 조건에서 연산 증폭기의 DC-Gain이 85dB가 되도록 설계하였다.

2. 새로운 필터 튜닝 방법

일반적으로, 저항 값과 커패시터 값은 공정 변화에

의해서  $\pm 15\%$ 정도는 변할 수 있다. 따라서, 연속 시간 필터 (continuous time filter)의 경우 차단 주파수 (cut-off frequency)가 많이 변하게 되고, 소자 값을 조정함으로써 보상되어야 한다. 그림 3(a)에서 보여주는 바와 같이 기존의 튜닝 회로는 VCO에 기반을 둔 방법을 사용하여 왔다<sup>[7]</sup>. 하지만, 이러한 튜닝 방법은 프로 그래머블 커패시터 어레이를 가지고 있는 active-RC 회로에는 적합하지 않다. PLL내에 있는 loop filter의 출력은 아날로그 전압이므로 커패시터 매트릭스와 직접 인터페이스를 할 수 없다.

그림 3(b)는 제안하는 2단계 (two-step) 튜닝 방법을 보여주고 있다. 커패시터의 변화를 상쇄할 수 있는 튜닝 범위를 넓히고, 튜닝 해상도를 정밀하게 높이기 위해서는 일반적으로 많은 튜닝 커패시턴스 레벨이 필요하다.<sup>[3],[5],[6]</sup> 하지만, 제안하는 2단계 튜닝 방법에서는 단 두 비트만이 필요하다.

클락 생성기 (Clock generator)는 coarse tuning controller와 fine tuning controller에 필요한 클럭들 clk0와 clk1을 생성한다. 비교기 (comparator)를 위한 기준 전압들, Vref\_ct, RefL, RefH, RefM, 은 기준 전압 생성기 (reference voltage generator)에서 생성된다.

튜닝 블록의 동작은 다음과 같다. 메인 커패시터 튜닝 단계 전에, 저항의 변화를 상쇄하기 위해서 reference tuning loop가 동작한다. 커패시터에 정해진 시간동안에 일정한 전류를 흘려야 하기 때문에, current source에 있는 저항의 변화를 상쇄해야한다. 저항 값도 공정 변화에 의해서  $\pm 15\%$ 정도는 변할 수 있기 때문에, reference tuning loop에 의해서 저항의 변화를 상쇄할 수 있다.

reference tuning loop에서는 Pbias 전압과 Vref 전압을 비교해서 vres(2:0)비트를 결정한다. Pbias 전압이 Vref 전압보다 높으면, 저항 load가 줄어야 하고, vres(2:0) 값이 증가해야 한다. 반대로, Pbias 전압이 Vref 전압보다 낮으면, 저항 load가 커져야하고, vres(2:0) 값이 감소해야 한다. pbias 전압이 Vref 전압과 최대한 같아지면 reference tuning이 완성된다.

reference tuning 후에, 메인 커패시터 튜닝이 coarse tuning과 fine tuning의 두 단계로 이루어진다. 그림 4는 제안하는 2단계 튜닝 방법의 타이밍 다이어그램이다.

기본적으로 공정에 의한 커패시터의 영향을 상쇄하기 위해서 사용한 방법은 커패시터에 정해진 시간동안에 일정한 전류로 충전을 시켜서 얻어지는 전압과 기준전압을 비교해서 커패시터 값이 설계치보다 커졌는지 줄

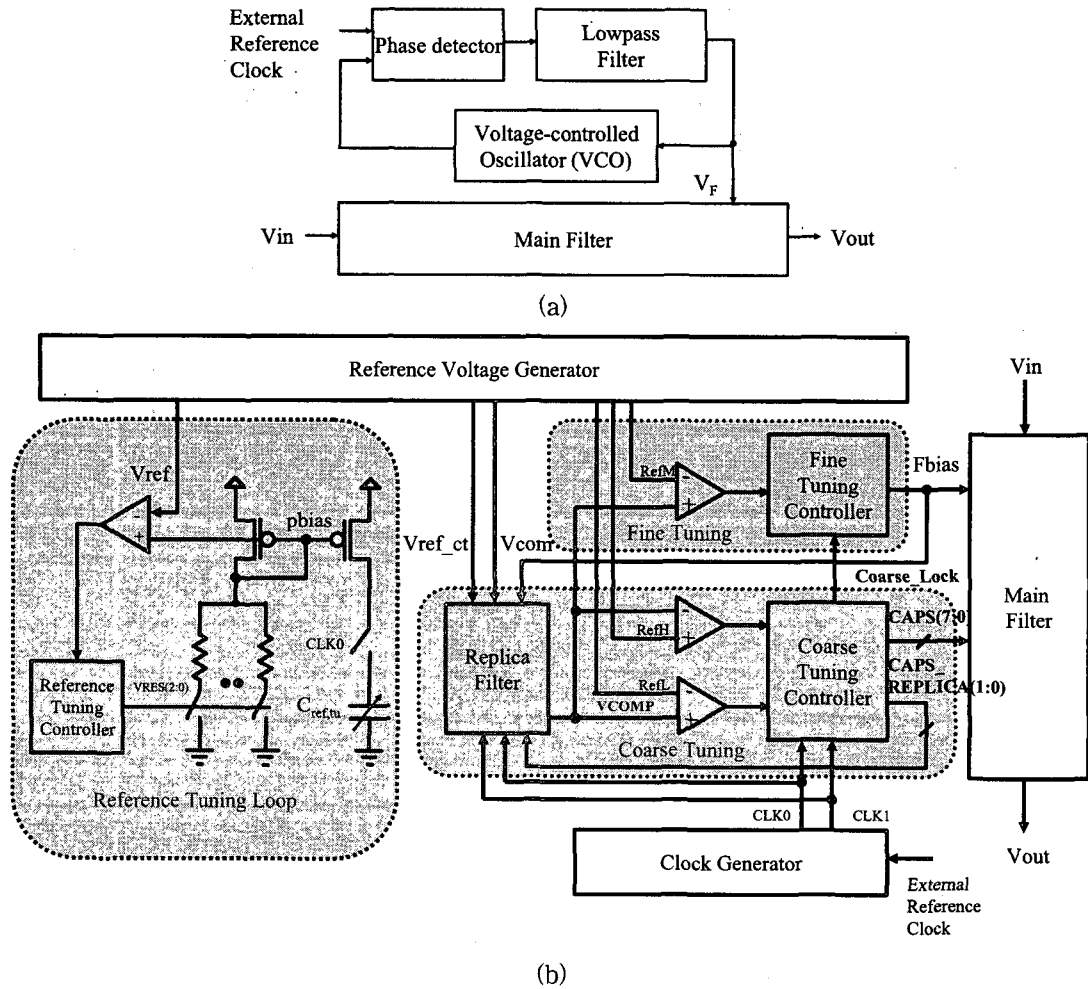


그림 3. (a) 기존의 튜닝 방법 (b) 제안하는 2단계 튜닝 방법  
 Fig. 3. (a) Conventional tuning method. (b) Proposed two-step tuning method.

어 들었는지 판단을 해서 커패시턴스의 변화를 상쇄하는 것이다. 일정한 전류를 얻기 위해서는 current source를 구성하는 저항의 변화를 상쇄해야하고, 이를 위해서 reference tuning loop가 필요하다. 정해진 시간을 얻기 위해서 reference clock을 분주해서 clk0와 clk1을 만들고, 이 clock들이 기준 시간을 얻는데 사용된다.

1단계는 coarse tuning 단계로서 replica 필터 내부에 있는 커패시터에 충전된 전압 VCOMP 전압이 RefL과 RefH사이로 들어올 때까지 CAPS(1:0)값이 튜닝이 된다.

각 모드에 대해서 두개의 제어 신호들이 필요하고, 따라서, 총 8개의 제어 신호들이 필요하다. CAPS(1:0)은 한 모드에 대응되는 두 비트의 제어신호를 나타낸 것이다. CAPS(7:2)에 해당되는 6개의 제어 신호들은 나머지 3가지 모드에 해당되는 제어 신호들이다. 그림 3(b)에서 CAPS\_REPLICA(1:0)은 Replica 필터로 들어가고, CAPS(7:0)은 Main 필터로 들어간다.

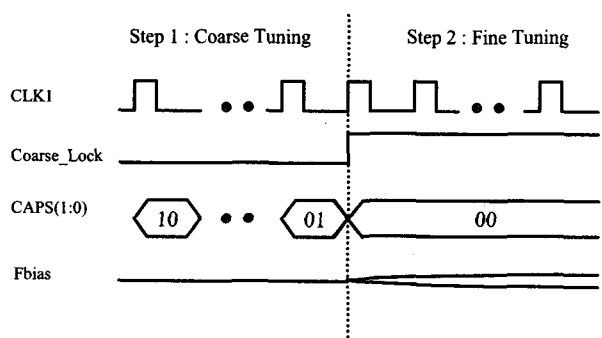


그림 4. 제안하는 튜닝 방법의 타이밍 다이어그램  
 Fig. 4. Timing diagram of the proposed tuning method.

하지만, 실제로는 하나의 모드만으로 동작하기 때문에 튜닝 회로에 의해서 바뀌는 값은 2비트뿐이다. 나머지 6비트들은 모드들 사이에 커패시턴스를 공유하기 위해서 Static하게 세팅이 되는 값들이다.

그림 5(a)는 그림 3의 전체 블록 다이어그램 내에서 replica 필터에 해당되는 부분을 자세하게 보여주고 있

다. Coarse Tuning내에 있는 replica 필터는 Main 필터에 있는 회로와 같은 연산 증폭기를 사용하고 있으며,  $C_{tu}$ 는 그림 1의  $C_2$ 와 같은 커패시터이다.  $clk0$ 와  $clk1$ 이 모두 high인 동안에는 노드 X의 전압이  $V_{com}$ 과 같아진다. 그 다음  $clk1$ 이 high이고,  $clk0$ 가 high에서 low로 내려가면, 식 1과 같이  $V_{COMP}$  전압이 결정된다.

$$V_{COMP} = V_{com} - \frac{1}{RC_{tu}} (V_{ref\_ct} - V_{com}) T \quad (1)$$

replica 필터 내부에 있는  $C_{tu}$ 에  $clk0 = low$ ,  $clk1 = high$ 인 동안에 충전된 전압  $V_{COMP}$ 가 정해진 구간  $refL$ 과  $refH$ 사이에 들어오면 coarse tuning이 끝났다고 판단한다.

그림 5(b)의 coarse tuning 블록 내에 있는 비교기에서  $V_{COMP}$  전압이  $refL$ 과  $refH$ 와 비교된다. 공정에서 커패시터가 증가해서  $C_{tu}$ 가 너무 커졌다면,  $V_{COMP}$  전압이 너무 높아지고,  $V_{COMP}$  전압이  $refH$ 보다 높으면, CAPS(1:0)이 감소한다. 반면에, 공정에서 커패시터가 감소해서  $C_{tu}$ 가 너무 작아졌다고 하면,  $V_{COMP}$  전압이 너무 낮아지고,  $V_{COMP}$  전압이  $refL$ 보다 낮으면, CAPS(1:0)이 증가한다. 이렇게 해서  $V_{COMP}$  전압이  $refL$ 과  $refH$ 사이에 들어오면 Coarse\_Lock 신호가 low에서 high로 올라간다.

Coarse tuning 단계가 끝나면, CAPS(1:0)의 resolution에 의한 Accuracy 에러를 극복하기 위해서 좀 더 정밀하게 튜닝을 하는 fine tuning 단계가 시작된다. fine tuning 단계에서도 마찬가지로 replica 내부에 있는 커패시터에 충전된 전압  $V_{COMP}$ 와 기준 전압이 비교를 해서 커패시터가 설계치보다 큰지 작은지 판단을 해서 변화를 상쇄시키도록 동작을 한다. Coarse tuning이 끝나면 Coarse\_Lock 신호가 low에서 high로 올라간다. Coarse\_Lock 신호가 low에서 high로 올라간 후, 2단계에서는 fine tuning control block에 의해서 차단 주파수 (cut-off frequency)가 튜닝 된다. 그림 5에 있는 바와 같이  $F_{bias}$  전압이 연산 증폭기 (op-amp)의 tail current를 제어한다.<sup>[4]</sup>  $F_{bias}$ 는 그림 2의 연산 증폭기의 회로도에서 BIAS<1>에 연결된다.  $F_{bias}$  전압에 따라서 연산 증폭기의 DC 전압 이득이 결정된다. 연산 증폭기의 DC 전압 이득이 무한대라면, 차단 주파수 (cut-off frequency)는 변하지 않는다. 하지만, 연산 증폭기의 DC 전압 이득이 유한하기 때문에 차단 주파수 (cut-off

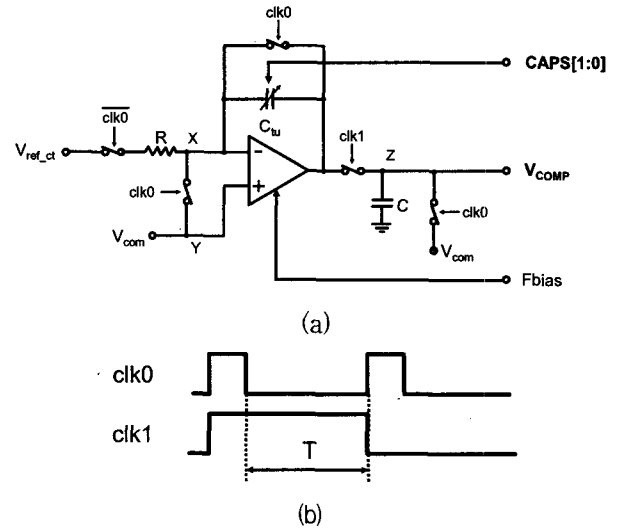


그림 5. Coarse Tuning 블록내의 replica 필터의 (a) 블록 다이어그램 (b) 타이밍 다이어그램

Fig. 5. (a) Block diagram. (b) timing diagram of the replica filter within the coarse tuning block.

frequency)는 연산 증폭기의 DC 전압 이득이 변함에 따라서 변한다.

일반적으로 연산 증폭기의 DC-gain이 바뀌면 차단 주파수 (cut-off frequency)에 영향을 주면서 동시에 quality factor에 영향을 주게 된다. 본 설계에서는 차단 주파수 (cut-off frequency)를 튜닝하는 frequency tuning에 주안점을 두었다. 만약, two-step tuning의 1 단계인 coarse tuning의 과정이 없다면, quality factor가 너무 많이 영향을 받지만, Coarse Tuning과 같이 결합해서 사용함으로써 quality factor도 맞출 수 있다. quality factor를 튜닝해주는 Q-Tuning을 하지 않아도 spec을 만족하도록 마진을 두어서 설계를 하였다.

그림 2(b)의 fine tuning 블록내에 있는 비교기에서  $F_{bias}$  전압이  $refM$  전압과 비교된다. Coarse tuning과 마찬가지로,  $V_{COMP}$  전압이  $refM$  전압보다 크면, replica 필터내에 있는 커패시터가 너무 작다는 것을 의미하고, 따라서,  $F_{bias}$  전압이 증가해야 한다. 반면,  $V_{COMP}$  전압이  $refM$  전압보다 작으면,  $F_{bias}$  전압이 감소해야 한다.  $F_{bias}$  전압의 영역은 0.8V에서 1.2V 사이가 되도록 설계 되었다. 전류를 줄이기 위해서 연산 증폭기 자체의 대역폭도 모드에 따라서 조정 가능하도록 하였다. 또한, 연산 증폭기의 트랜지스터 사이즈는  $1/f$  노이즈의 영향을 줄이기 위해서 면적이 허용하는 범위 내에서 크게 설계되었다.

### III. 실험 결과

필터는 0.35  $\mu\text{m}$  CMOS 공정으로 설계되었다. 공급 전압은 3V이고, 칩 면적은 3.8  $\text{mm}^2$ 이다. 전체 필터의 면적이 2.0mm x 1.9mm이고, 그중에서 튜닝 블록에 해당되는 면적은 1.2mm x 0.5mm이다. 그림 6은 제작된 칩의 칩 사진이다. 공정은 MIM 커패시턴스와 high sheet poly 저항 옵션을 가지고 있는 1-poly, 5-metal Mixed-Mode UMC 0.35  $\mu\text{m}$ 공정을 사용하였다. 그림 7은 WCDMA 모드에서 각 코드에 대해서 변하는 필터의 크기 응답 특성 (amplitude response)을 보여주고 있다. 표 1에 표시되어 있는 바와 같이, WCDMA 모드에서

차단 주파수는 2.1MHz이다. 전류 소모는 PDC/GSM/EDGE/WCDMA 각 모드에 대해서 각각 5.2mA, 6.1mA, 7.1mA, 8.0mA이다.

PDC 모드에서 연산 증폭기의 전압 이득과 대역폭이 WCDMA 모드에 비해서 작도록 설계되었기 때문에, PDC모드에서의 전류 소모가 WCDMA모드에서의 전류 소모보다 작다. 주파수 튜닝 범위는 10kHz에서 3MHz이다.

그림 8, 그림 9, 그림 10은 각각 EDGE, GSM, PDC 모드에서의 필터의 크기 응답 특성을 보여주고 있다.

Out-of-Band IIP3는 IM3 테스트를 통해서 결정이 되었다. PDC 모드에서는 20kHz와 30kHz에 +15dBm의

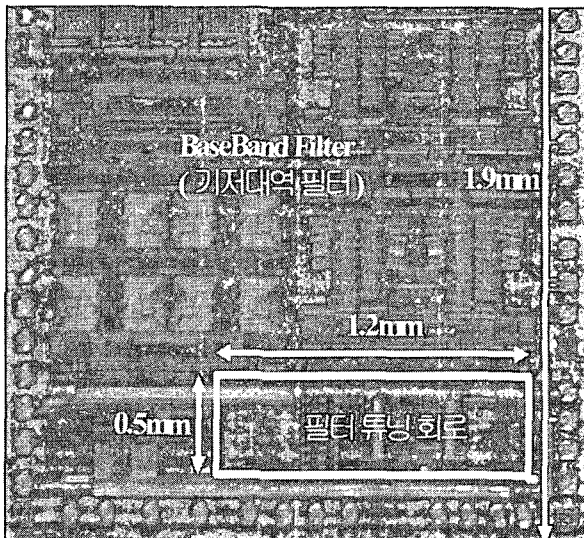


그림 6. 필터의 칩 사진

Fig. 6. Microphotograph of the filter.

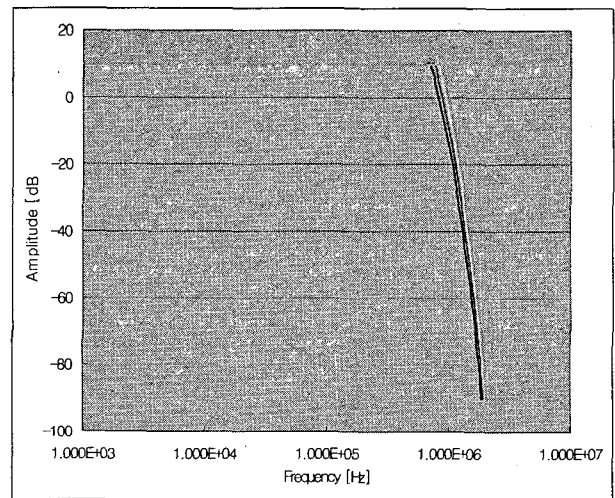


그림 8. EDGE 모드에서 필터의 크기 응답 특성

Fig. 8. Amplitude response of the filter in EDGE mode.

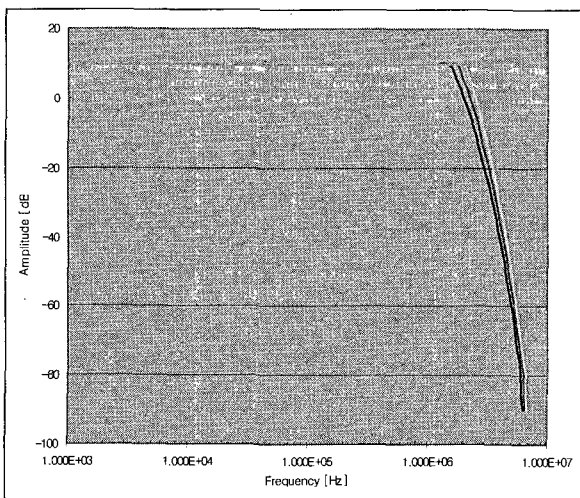


그림 7. WCDMA 모드에서 필터의 크기 응답 특성

Fig. 7. Amplitude response of the filter in WDMA mode.

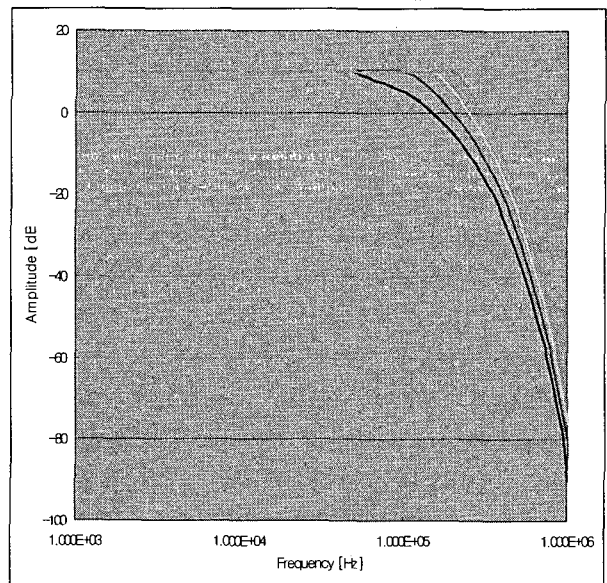


그림 9. GSM 모드에서 필터의 크기 응답 특성

Fig. 9. Amplitude response of the filter in GSM mode.

two-tone을 인가했을 때, IM3 성분이 -77dBm이 되도록 설계했다.

WCDMA 모드에서는 1.8MHz와 3MHz에 +14dBm의 two-tone을 인가했을 때, out-of-band IM3성분이 -68dBm이하가 되도록 설계하였다.

필터의 input-referred 평균 노이즈 밀도는 각 모드에 대해서 각각 205nV/Hz, 130nV/Hz, 85nV/Hz, 54 nV/Hz이다. 각 모드에서 통과 밴드 ripple은 0.5dB이하가 되도록 설계하였다. stopband 감쇄는 각 모드에 대해서 각각 79dB, 79dB, 75dB, 75dB로 설계 되었다. 표 2는 설계된 필터의 성능을 요약한 결과이다.

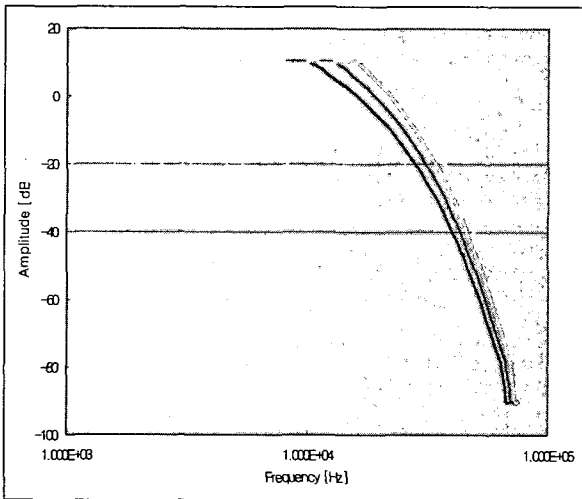


그림 10. PDC 모드에서 필터의 크기 응답 특성  
Fig. 10. Amplitude response of the filter in PDC mode.

표 2. 성능 요약  
Table 2. Performance summary.

Technology	0.35 $\mu$ m CMOS			
Chip area	3.8 mm <sup>2</sup>			
Supply voltage	3 V			
Tuning range	10kHz ~ 3MHz			
	PDC	GSM	EDGE	WCDMA
Current (mA)	5.2	6.1	7.1	8.0
IIP3 (dBm)	28	25	23	21
Noise (nV/Hz)	250	130	85	54
Passband ripple	0.5	0.5	0.5	0.5
Stopband rejection	79	79	75	75

표 3. 참고 문헌 [1]과의 성능 비교  
Table 3. Performance comparison with reference [1].

	참고 문헌 [1]	본 논문
Technology	0.35 $\mu$ m CMOS	0.35 $\mu$ m CMOS
Chip area	4.8 mm <sup>2</sup>	3.8 mm <sup>2</sup>
Current	9.4mA (WCDMA)	8.0mA (WCDMA)
Noise (Input Referred)	47 $\mu$ V	20 $\mu$ V

표 4. 참고 문헌 [7]과의 성능 비교  
Table 4. Performance comparison with reference [7].

	참고 문헌 [7]	본 논문
Technology	0.6 $\mu$ m CMOS	0.35 $\mu$ m CMOS
Chip area (튜닝 블록)	0.8 mm <sup>2</sup>	0.6 mm <sup>2</sup>
Power Consumption	90mW	24mW (WCDMA)

표 3은 참고 문헌 [1]과의 성능을 비교한 자료이다. 공정은 같은 0.35  $\mu$ m CMOS 공정을 사용하였으며, 칩 면적은 참고 문헌 [1]의 4.8 mm<sup>2</sup>에 비해서, 본 논문이 1mm<sup>2</sup>정도 작은 3.8mm<sup>2</sup>이다.

또한, 소모 전류는 WCDMA 모드에서 8.0mA로서, 참고 문헌 [1]에 비해서 1.0mA 작다. 또한, Input referred noise는 참고 문헌 [1]에 비해서 50%이하이다. 2단계 튜닝 방법을 사용함으로써, 튜닝 커패시터에 들어가는 스위치의 개수를 줄일 수 있고, 따라서 노이즈를 50%이하로 줄일 수 있었다.

표 4는 참고 문헌 [7]에서 사용한 기존의 PLL을 이용한 회로와의 비교 자료이다.

제한하는 2단계 튜닝회로는 값을 Digital로 저장하기 때문에, Power-On시 초기에만 동작을 해서, CAPS 값을 결정한 후에, 꺼지기 때문에, 튜닝회로 자체의 전력 소모는 문제가 되지 않는다는 장점이 있다.

보통Power-On시 또는 Rx/Tx Slot사이의 Guard-Time동안에 필터 튜닝을 하는데, 튜닝 커패시터에 연결되어 있는 스위치의 개수를 2비트로 줄임으로써, 튜닝에 필요한 시간을 줄일 수 있는 장점이 있다. 예를 들어서, 10비트의 디지털 튜닝 제어비트만으로 구성을 했을 경우, Linear Search를 할 경우, 2<sup>10</sup> 번의 Scan이 필요하게 되지만, 2비트의 디지털 튜닝 제어 비트만으로 구성을 했을 경우, 2<sup>2</sup> 번의 Scan만이 필요하게 된다. 따라서, 튜닝에 필요한 시간을 줄일 수 있는 장점이 있다.

또한, 기존의 PLL회로에 기반을 둔 참고문헌 [7]에 비

해서 디지털적으로 Control이 용이하다는 장점이 있다. 참고문헌 [7]에서 사용한 PLL Based Tuning 회로의 면적은  $0.8\text{mm}^2$ 이고, 전력 소모는 90mW이다. 튜닝 범위가 6-43MHz로 PDC에 비해서 넓어서 필요한 커패시턴스의 양이 작음에도 불구하고, 더 넓은 면적을 차지함을 알 수 있다.

또한, 제안하는 2단계 튜닝 방법의 경우 실제로 모델과 연동해서 BER을 측정할 때, Filter의 Cut-Off 주파수뿐 아니라, Group Delay, Gain Ripple등이 Critical한 영향을 주게 되는데, Digital Control을 함으로써, 측정 시 조정 가능한 Factor를 넣을 수 있다는 장점이 있다. 모델을 설계하는 회사에 따라서 특성이 다르기 때문에 Filter의 특성을 Digital적으로 미세하게 조정을 해주어야 하는 경우가 많이 있다. 이럴 경우에 대비해서 필터의 차단 주파수 (cut-off frequency)를 Serial Program Interface를 통해서 조정할 수 있는 장점이 있다.

#### IV. 결 론

본 논문에서는 다중 모드를 지원하는 CMOS 기저대역 필터를 제시하였다. 면적을 최소화하기 위해서 커패시터와 저항이 최대한 공유되었다. 제안하는 2단계 튜닝 방법은 스위치의 수를 줄일 수 있고 따라서 노이즈와 면적을 줄일 수 있다.

#### 참 고 문 헌

- [1] Tuomas Hollman, Saska Lindfors, Mika Lainsirinne, Jarkko Jussila, and Kari A.I. Halonen "A 2.7-V CMOS Dual-Mode Baseband Filter for PDC and WCDMA," IEEE J. Solid-State Circuits, vol. 36, pp.1148-1153, July 2001.
- [2] Hussain A. Alzaher, Hassan O. Elwan, and Mohammed Ismail "A CMOS Highly Linear Channel-SelectFilter for 3G Multistandard Integrated Wireless Receivers," IEEE J. Solid- State Circuits, vol. 37, pp.27-37, Jan. 2002.
- [3] A.M. Durham, W. Redman-White, and J.B. Hughes, "High linearity continuous-time filters in 5-V VLSI CMOS," IEEE J. Solid-State Circuits, vol. 27, pp.1270-1276, Sept. 1992.
- [4] R. Gastello, F. Montecchi, F.Rezzi, and A. Baschiroto, "Low-voltage analog filters," IEEE Trans. Circuits Syst. I, vol. 42, pp.827-840, Nov. 1995.
- [5] J. Hughes, N. Bird, and R. Soin, "Self-tuned RC-active filters for VLSI," IEE Electronics Letters, vol. 34, pp.1479-1480, July 1998.
- [6] T. Salo, S. Lindfors, T. Hollman, "Programmable Direct Digital Tuning Circuit for a Continuous-Time Filter," Proc. ESSCIRC'00, pp.168-171, Sept. 2000.
- [7] Iuri Mehr, David R. Welland, "A CMOS Continuous-Time Gm-C Filter for PRML Read Channel Applications at 150Mb/s and Beyond," IEEE J. Solid-State Circuits, vol. 32, pp.499-513, April 1997.

#### 저 자 소 개



**이 강 윤**(정회원)  
 2003년 서울대학교 전기공학부 박사 졸업.  
 2003년 ~ 2005년 (주) 지씨티리 씨치 책임연구원.  
 2005년 ~ 현재 건국대학교 전자공학부 조교수.

<주관심분야: 아날로그 집적회로, RF 회로 설계, 아날로그/디지털 Mixed Mode설계>



**허 정**(정회원)  
 1983년 서울대학교 전자공학과 석사 졸업.  
 1991년 서울대학교 전자공학과 박사 졸업.  
 1991년 ~ 현재 건국대학교 전자공학부 교수.

<주관심분야: 안테나, RF 및 Microwave 회로>



**구 현 철**(정회원)  
 2003년 미국 Georgia 공과대학교 전기전자공학과 박사졸업.  
 2004년 ~ 2005년 삼성전자 정보통신총괄 책임연구원.  
 2005년 ~ 현재 건국대학교 전자공학부 조교수.

<주관심분야: RF 및 Microwave 회로>